

THÈSE

présentée devant

L'ÉCOLE CENTRALE DE LYON

pour obtenir le grade de **DOCTEUR DE L'ECL**

Spécialité : **Dispositifs de l'Électronique Intégrée**

par

Matthieu Brière

Maître ès Sciences UCBL

Flot de conception hiérarchique d'un système hétérogène. Prototypage virtuel d'un réseau d'interconnexion optique intégré.

Soutenue publiquement le 29 Novembre 2005 devant la commission d'examen :

Composition du jury

Président : A. Greiner

Rapporteurs : P. Garda
L. Torres

Examineurs : G. Guillot
J.-M. Fedeli

Directeurs : F. Gaffiot
I. O'Connor

A	ALLARD Bruno	<i>maître de conférences</i>	CEGELY	INSA
	AIT-EL-HADJ Smail	<i>enseignant</i>	GRESTI	ECL
	AURIOL Philippe	<i>professeur</i>	CEGELY	ECL
B	BAILLY Christophe	<i>professeur</i>	LMFA	ECL
	BATAILLE Jean	<i>professeur</i>	LMFA	UCBL
	BAYADA Guy	<i>professeur</i>	MAPLY	INSA
	BENHADID Hamda	<i>professeur</i>	LMFA	UCBL
	BERGHEAU Jean-Michel	<i>professeur</i>	LTDS	ENISE
	BEROUAL Abderrahmane	<i>professeur</i>	CEGELY	ECL
	BERTOGLIO Jean-Pierre	<i>directeur de recherche</i>	LMFA	CNRS
	BLANC-BENON Philippe	<i>directeur de recherche</i>	LMFA	CNRS
	BUFFAT Marc	<i>professeur</i>	LMFA	UCBL
	BURAIIS Noël	<i>professeur</i>	CEGELY	UCBL
	BUREAU Jean-Claude	<i>professeur</i>	CEGELY	INSA
C	CAMBON Claude	<i>directeur de recherche</i>	LMFA	CNRS
	CAMBOU Bernard	<i>professeur</i>	LTDS	ECL
	CARRIERE Philippe	<i>chargé de recherche</i>	LMFA	CNRS
	CHAMBAT Michèle	<i>professeur</i>	MAPLY	UCBL
	CHAMPAGNE Jean-Yves	<i>maître de conférences</i>	LMFA	INSA
	CHAMPOUSSIN J-Claude	<i>professeur</i>	LMFA	ECL
	CHANTE Jean-Pierre	<i>professeur</i>	CEGELY	INSA
	CHEN Liming	<i>professeur</i>	ICTT	ECL
	CLERC Guy	<i>professeur</i>	CEGELY	UCBL
	CLOAREC Jean-Pierre			
	COQUILLET Bernard	<i>maître de conférences</i>	LTDS	ECL
	CREPEL Pierre	<i>chargé de recherche</i>	MAPLY	CNRS
	D	DAVID Bertrand	<i>professeur</i>	ICTT
DANESCU Alexandre		<i>maître de conférences</i>	LTDS	ECL
E	ESCODIE Dany	<i>directeur de recherche</i>	LMFA	CNRS
F	FERRAND Pascal	<i>directeur de recherche</i>	LMFA	CNRS
	FOUVRY Siegfried	<i>chargé de recherche</i>	LTDS	CNRS
G	GAFFIOT Frédéric	<i>professeur</i>	LEOM	ECL

	GAGNAIRE Alain	maître de conférences	LEOM	ECL
	GALLAND Marie-Annick	maître de conférences	LMFA	ECL
	GARRIGUES Michel	directeur de recherche	LEOM	CNRS
	GAY Bernard	professeur	LMFA	UCBL
	GENCE Jean-Noël	professeur	LMFA	UCBL
	GENDRY Michel	chargé de recherche	LEOM	CNRS
	GEORGES Jean-Marie	professeur émérite	LTDS	ECL
	GODEFERD Fabien			
	GRENET Geneviève	directeur de recherche	LEOM	CNRS
	GUIRALDENQ Pierre	professeur émérite	IFOS	ECL
H	HAMADICHE Mahmoud	maître de conférences	LMFA	UCBL
	HEIBIG Arnaud	professeur	MAPLY	INSA
	HELLOUIN Yves	maître de conférences	-	ECL
	HENRY Daniel	chargé de recherche	LMFA	CNRS
	HERTZ Dominique	past	LTDS	ECL
	HOLLINGER Guy	directeur de recherche	LEOM	CNRS
I	ICHCHOU Mohamed	maître de conférences	LTDS	ECL
J	JAFFREZIC-RENAULT Nicole	directeur de recherche	CEGELY	CNRS
	JEANDEL Denis	professeur	LMFA	ECL
	JEZEQUEL Louis	professeur	LTDS	ECL
	JOSEPH Jacques	professeur	LEOM	ECL
	JUVE Daniel	professeur	LMFA	ECL
	JUVE Denyse	ingénieur de recherche	LMFA	ECL
K	KAPSA Philippe	directeur de recherche	LTDS	CNRS
	KRÄHENBÜHL Laurent	directeur de recherche	CEGELY	CNRS
	KRAWCZYK Stanislas	directeur de recherche	LEOM	CNRS
L	LACHAL Aimé	PRAG	MAPLY	INSA
	LANCE Michel	professeur	LMFA	UCBL
	LANGLADE-BOMBA Cécile	maître de conférences	LTDS	ECL
	LE BOT Alain	chargé de recherche	LTDS	CNRS
	LE HELLEY Michel	professeur	-	ECL
	LE RIBAUTL Catherine	chargée de recherche	LMFA	CNRS

	<i>LEBOEUF Francis</i>	<i>professeur</i>	LMFA	ECL
	<i>LOHEAC Jean-Pierre</i>	<i>maître de conférences</i>	MAPLY	ECL
	<i>LOUBET Jean-Luc</i>	<i>directeur de recherche</i>	LTDS	CNRS
	<i>LYONNET Patrick</i>	<i>professeur</i>	LTDS	ENISE
M	<i>MAITRE Jean-François</i>	<i>professeur émérite</i>	MAPLY	ECL
	<i>MARION Martine</i>	<i>professeur</i>	MAPLY	ECL
	<i>MARTELET Claude</i>	<i>professeur</i>	CEGELY	ECL
	<i>MARTIN Jean-Michel</i>	<i>professeur</i>	LTDS	ECL
	<i>MARTIN Jean-René</i>	<i>professeur émérite</i>	LEOM	ECL
	<i>MASSON Jean-Pierre</i>	<i>professeur</i>	CEGELY	UCBL
	<i>MATHIA Thomas</i>	<i>directeur de recherche</i>	LTDS	CNRS
	<i>MAZUYER Denis</i>	<i>professeur</i>	LTDS	ECL
	<i>MIDOL Alain</i>	<i>maître de conférences</i>	LTDS	UCBL
	<i>MOREL Hervé</i>	<i>chargé de recherche</i>	CEGELY	CNRS
	<i>MOREL Robert</i>	<i>professeur</i>	LMFA	INSA
	<i>MOUSSAOUI Mohand</i>	<i>professeur</i>	MAPLY	ECL
	<i>MUSY François</i>	<i>maître de conférences</i>	MAPLY	ECL
N	<i>NICOLAS Alain</i>	<i>professeur</i>	CEGELY	ECL
	<i>NICOLAS Laurent</i>	<i>directeur de recherche</i>	CEGELY	CNRS
O	<i>O'CONNOR Ian</i>	<i>maître de conférences</i>	LEOM	ECL
P	<i>PERKINS Richard</i>	<i>professeur</i>	LMFA	ECL
	<i>PERRET-LIAUDET Joël</i>	<i>maître de conférences</i>	LTDS	ECL
	<i>PHANER-GOUTORBE Magali</i>	<i>maître de conférences</i>	LEOM	ECL
	<i>POUSIN Jérôme</i>	<i>professeur</i>	MAPLY	INSA
	<i>PONSONNET Laurence</i>	<i>maître de conférences</i>	CEGELY	ECL
	<i>PREVOT Patrick</i>	<i>professeur</i>	ICTT	INSA
R	<i>REBOUX Jean-Luc</i>	<i>professeur</i>	LTDS	ENISE
	<i>RETIF Jean-Marie</i>	<i>maître de conférences</i>	CEGELY	INSA
	<i>ROBACH Yves</i>	<i>professeur</i>	LEOM	ECL
	<i>ROGER Michel</i>	<i>professeur</i>	LMFA	ECL
	<i>ROJAT Gérard</i>	<i>professeur</i>	CEGELY	UCBL
	<i>ROUSSEAU Jacques</i>	<i>professeur émérite</i>	LTDS	ENISE
	<i>ROUY Elisabeth</i>	<i>professeur</i>	MAPLY	ECL

S	SALVIA Michelle	maître de conférences	LTDS	ECL
	SANDRI Dominique	maître de conférences	MAPLY	UCBL
	SCHATZMAN Michelle	directeur de recherche	MAPLY	CNRS
	SCOTT Julian	professeur	LMFA	ECL
	SIDOROFF François	professeur	LTDS	ECL
	SIMOENS Serge	chargé de recherche	LMFA	CNRS
	SOUTEYRAND Eliane	directeur de recherche	LEOM	CNRS
	STREMSDOERFER Guy	professeur	LTDS	ECL
SUNYACH Michel	professeur	LMFA	UCBL	
T	TARDY Jacques	directeur de recherche	LEOM	CNRS
	THOMAS Gérard	professeur	LAGEP UCBL	ECL
	THOUVEREZ Fabrice	professeur	LTDS	ECL
	TREBINJAC Isabelle	maître de conférences	LMFA	ECL
	TREHEUX Daniel	professeur	LTDS	ECL
V	VANNES André-Bernard	professeur émérite	LTDS	ECL
	VIKTOROVITCH Pierre	directeur de recherche	LEOM	CNRS
	VINCENT Léo	professeur	LTDS	ECL
	VOLLAIRE Christian	maître de conférences	CEGELY	ECL
	VOLPERT Vitaly	directeur de recherche	MAPLY	CNRS
Z	ZAHOUANI Hassan	professeur	LTDS	ENISE
	ZINE Abdel-Malek	maître de conférences	MAPLY	ECL

Remerciements

Cette thèse s'est déroulée au Laboratoire d'Électronique Optoélectronique et Microsystèmes (LEOM - UMR 5512) de l'École Centrale de Lyon, dans l'équipe *Conception de Systèmes Électronique et Photonique Intégrés* dirigée par Ian O'Connor. Je remercie Monsieur Guy Hollinger, Directeur du LEOM, de m'avoir accueilli dans son laboratoire.

Je remercie particulièrement mes deux directeurs de thèse, Messieurs Ian O'Connor et Frédéric Gaffiot qui m'ont donné la chance de travailler au sein de leur équipe. Ils ont su m'encadrer tout au long de ces trois années et ont toujours su me consacrer un peu de leur temps à mes résultats ainsi qu'à ma rédaction. Je tiens également à les remercier sur le plan humain pour leur enthousiasme et leurs encouragements.

Je tiens à remercier les rapporteurs de cette thèse Patrick Garda et Lionel Torres pour la rapidité avec laquelle ils ont lu mon manuscrit et l'intérêt qu'ils ont porté à mon travail. Merci également aux autres membres du jury qui ont accepté de juger ce travail : Gérard Guillot, Jean-Marc Fedeli et en particulier j'exprime mes sincères remerciements à Monsieur le Professeur Alain Greiner, Directeur Adjoint du laboratoire LIP6, pour l'honneur qu'il m'a fait en acceptant de présider le jury de cette thèse.

Je tiens également à saluer et remercier tous les membres de la salle *CAO* et de l'équipe conception, où j'ai passé plus de temps lors de ces trois dernières années qu'à mon propre domicile.

Je souhaite remercier tout spécialement et très sincèrement Fabien sans qui cette thèse ne serait pas ce qu'elle est tant du point de vue scientifique que du point de vue aspect général. Ses conseils, son aide, sa motivation et sa présence permanente m'ont permis d'avancer toujours plus loin et de relever les défis liés aux nombreux problèmes apparaissant jour après jour. Qu'il trouve ici l'expression de mes sincères gratitude.

Pour finir, je tiens à remercier toute ma famille, et tout particulièrement mes parents et ma sœur, qui ont dû, et su, me supporter tout au long de ces trois années. Leur soutien et leur patience au long de la thèse m'ont été d'une aide inestimable.

Résumé

Grâce à l'augmentation continue de la densité d'intégration, les systèmes intégrés pourront, à brève échéance, comprendre plusieurs dizaines de blocs fonctionnels (cœur de processeur, mémoires, fonctions spécialisées). Les débits globaux de communication entre ces blocs atteindront plusieurs centaines de gigabit par seconde. Les architectures classiques des réseaux d'interconnexion (multibus), associées aux méthodes classiques de conception des interconnexions, ne permettront pas d'atteindre de tels débits.

À l'avenir, les échanges de données entre les blocs fonctionnels seront assurés par des réseaux de communications intégrés (NoC - Network on Chip), dont l'architecture sera issue du monde des télécommunications. Le réseau d'interconnexion sera considéré comme un bloc fonctionnel spécifique (bloc IP). Par ailleurs, l'optique intégrée, associée aux techniques de télécommunication optique, fait partie des alternatives susceptibles de dépasser les limites imposées par le transfert de données sur des pistes métalliques classiques.

Ce travail a pour objectif d'évaluer les performances (débit, latence, puissance consommée) d'un réseau de communication optique intégré (ONoC - Optical Network on Chip) et de les comparer à celles d'un réseau de communication électrique intégré standard. Pour ce faire, nous proposons une architecture de réseau optique intégrée fondée sur le routage en longueur d'onde, associée à des méthodes et outils permettant son prototypage virtuel.

Nous montrons qu'il est possible de créer un réseau de communication optique intégré sans contention, mais dont les performances sont limitées par la conversion électro-optique ainsi que par l'absence de protocole spécifique. À titre d'exemple, un ONoC 16×16 atteint un débit maximal de 3 Gbit/s, et consomme environ 1.3 W pour une surface occupée de 13 mm². Par ailleurs, un flot de conception complet a été mis au point afin de concevoir un ONoC du niveau système (SystemC) jusqu'à sa couche physique (FDTD, Matlab, Spice), et ce pour ses parties optiques passives, optoélectroniques et électroniques.

Mots-clés: Réseau d'interconnexion intégré, optique intégrée, système hétérogène, modélisation hiérarchique, SystemC, prototypage virtuel.

Abstract

Due to ever-increasing integration density, systems on chip will soon be composed of several tens of IP blocks (processor cores, memory blocks, specific digital functions). Global communication throughput between these blocks will reach hundreds of gigabits per second. It will not be possible to achieve this throughput without moving away from traditional network architectures (multiple buses) and traditional design methods.

In the future, data exchange between IP blocks will be ensured by Network on Chip (NoC) architectures which will be increasingly based on telecommunication concepts, and such NoCs will themselves be considered as specific IP blocks. Furthermore, integrated optics is a possible alternative which may overcome the physical limitations of traditional interconnect technology.

This work aims to evaluate the achievable performance metrics (throughput, latency, power consumption) of an ONoC (Optical Network on Chip) and to compare it to those of a classical NoC. First we propose an ONoC architecture based on wavelength routing, then we define methods and tools allowing virtual prototyping of the ONoC.

We show that it is possible to design an optical integrated network without any contention. Its performance is nevertheless limited by electro-optical conversion and the lack of specific communication protocols. For example, a 16×16 ONoC reaches a data rate of 3 Gb/s, a power consumption of 1.3 W and an area of 13 mm². Furthermore, a complete design flow has been developed to design each ONoC part (passive optical, optoelectrical and electrical), from system level (SystemC) to physical layer (FDTD, Matlab, Spice).

Keywords: Network on chip, integrated optics, heterogeneous systems, hierarchical modeling, SystemC, virtual prototype.

Table des matières

Introduction générale	1
-----------------------	---

Partie I Network on Chip - État de l'art, limites et alternatives	3
--	----------

Chapitre 1 Les systèmes sur puce	5
---	----------

1.1 Introduction : Les circuits intégrés	5
1.2 Une évolution radicale des interconnexions : des circuits intégrés aux systèmes sur puce	7
1.2.1 Généralités	8
1.2.2 Les défis de conception d'un système sur puce	8
1.2.3 Les interconnexions et leur classification	9
1.3 État de l'art des réseaux d'interconnexion sur puce	15
1.3.1 Les protocoles de communication	15
1.3.2 Les réseaux intégrés industriels	18
1.3.3 Les réseaux directs et indirects	27
1.3.4 Résumé des principales caractéristiques et limitations des interconnexions intégrées	33
1.4 Conclusion	33

Chapitre 2 Problématique : les interconnexions métalliques et l'alternative optique	35
--	-----------

2.1 Limites technologiques et physiques des interconnexions métalliques	35
2.1.1 Introduction	35

2.1.2	Les principaux paramètres limitatifs des interconnexions métalliques .	37
2.1.3	Conclusion	38
2.2	L'alternative optique	40
2.2.1	Introduction	40
2.2.2	Intégration d'un réseau d'interconnexion optique	41
2.2.3	Proposition d'une architecture de λ -routeur	44
2.2.4	Conception d'une interconnexion optique	45

Chapitre 3 Problématique des outils de conception d'un système sur puce hétérogène **47**

3.1	Complexité et hétérogénéité	47
3.2	Les différents niveaux hiérarchiques	48
3.3	Application à l'ONoC	48
3.4	Conclusion	48

Chapitre 4 Conclusion **51**

Bibliographie **53**

Partie II Réseau d'interconnexion optique : λ -routeur et interfaces **57**

Chapitre 5 Étude du λ -routeur **59**

5.1	Rappels de base	59
5.1.1	Guide d'onde plan	59
5.1.2	Microdisque en deux dimensions	62
5.1.3	Couplage optique entre guides. Modes couplés	63
5.1.4	Le filtre <i>add-drop</i>	64
5.1.5	Filtre <i>add-drop</i> à deux microdisques	67
5.1.6	Autres structures de filtres	68
5.1.7	Réseau d'interconnexion optique intégré complexe : λ -routeur	69
5.2	Modélisation du λ -routeur	71
5.2.1	Modélisation physique : la méthode FDTD	71

5.2.2	Modèle comportemental : la méthode phénoménologique avec matrices S	74
5.3	Résumé	79
5.3.1	Composants et filtres optiques élémentaires	79
5.3.2	Temps de simulation	80
5.3.3	Dessin des masques	80
5.4	Conclusion	80
Chapitre 6 Présentation d'un réseau de communication optique intégré		85
6.1	Généralités	85
6.2	Le cahier des charges	86
6.3	Le protocole de communication et les <i>wrappers</i> de l'ONoC	87
6.4	Architecture de la chaîne d'émission	88
6.4.1	Présentation	88
6.4.2	Sérialiseur	89
6.4.3	Décodeur	90
6.4.4	Démultiplexeur	90
6.4.5	Sources lasers	90
6.4.6	Circuits de commande des sources lasers	90
6.5	Architecture de la chaîne de réception	91
6.5.1	Présentation	91
6.5.2	Photodétecteur	92
6.5.3	Amplificateur à transimpédance	92
6.5.4	Circuit de décision et désérialiseur	93
Chapitre 7 Conclusion		95
Bibliographie		97

Partie III Plate-forme de conception haut niveau d'un réseau de communication optique intégré	101
--	------------

Chapitre 8 Introduction	103
--------------------------------	------------

Chapitre 9 Conception hiérarchique d'un réseau d'interconnexion optique intégré	105
9.1 Définition d'une conception hiérarchique appliquée à l'ONoC	105
9.1.1 Partie optique passive	106
9.1.2 Partie électronique analogique-numérique	108
9.1.3 Partie optoélectronique	109
9.2 Conception de la chaîne d'émission et de réception	110
9.2.1 Conception des circuits numériques	110
9.2.2 Conception de la chaîne de réception	113
9.2.3 Conception de la chaîne d'émission	118
9.3 Conclusion	119
Chapitre 10 Présentation de SystemC	121
10.1 Généralités	121
10.2 Introduction à SystemC	122
10.2.1 Modéliser avec SystemC	123
10.2.2 Simuler avec SystemC	125
10.2.3 Évolutions futures de SystemC	126
10.3 Modèle SystemC élémentaire	127
Chapitre 11 Prototype virtuel complet de haut niveau d'un réseau d'interconnexion optique intégré	131
11.1 Modèle SystemC de l'ONoC	131
11.1.1 Introduction	131
11.1.2 Résumé des modules	132
11.1.3 Modules numériques	133
11.1.4 Module du circuit de commande	133
11.1.5 Module du laser	133
11.1.6 Module du λ -routeur	133
11.1.7 Module de la photodiode	137
11.1.8 Module de l'amplificateur à transimpédance	137
11.1.9 Module du comparateur	137
11.1.10 Modélisation du bruit	138
11.2 Estimation de la puissance consommée	138
11.2.1 Fonctions numériques	138
11.2.2 Blocs analogiques	139
11.2.3 Résumé	139

11.3	Estimation du délai	140
11.3.1	Bloc photonique - guides d'onde	140
11.3.2	Circuits électroniques analogiques et numériques	141
11.3.3	Composants optoélectroniques	141
11.4	Estimation de la surface	141
11.4.1	Partie électronique analogique	141
11.4.2	Partie électronique numérique	142
11.4.3	Partie optoélectronique	142
11.4.4	Partie photonique	142
11.4.5	Résumé	143
11.5	Simulation globale	143
Chapitre 12 Conclusion		145
Bibliographie		147

Partie IV	Applications, tests et évolutions	149
------------------	--	------------

Chapitre 13	Prototypages	151
13.1	Connexion point à point	151
13.1.1	Présentation	151
13.1.2	Étude de l'ONoC complet	151
13.1.3	Estimation de la latence, de la puissance consommée et de la surface .	152
13.2	Réseau d'interconnexion 2×2	154
13.2.1	Présentation	154
13.2.2	Étude de l'ONoC complet	155
13.2.3	Estimation de la latence, de la puissance consommée et de la surface .	155
13.3	Réseau d'interconnexion 4×4	156
13.3.1	Présentation	156
13.3.2	Étude du λ -routeur	156
13.3.3	Étude de l'ONoC complet	157
13.3.4	Estimation de la latence, de la puissance consommée et de la surface .	159

13.4 Évolutions des paramètres critiques en fonction du nombre de ressources . . .	160
13.4.1 Surface	160
13.4.2 Puissance consommée	162
13.4.3 Latence	163
13.4.4 Points clés	163
Chapitre 14 Comparaison ONoC-SPIN : première approche	165
14.1 Généralités	165
14.2 Problématique de la nécessité du <i>wrapper</i> ONoC-VGAP	165
14.3 Résultats de simulation	167
14.3.1 Réseau d'interconnexion 4×4	168
14.3.2 Réseau d'interconnexion 8×8	169
14.3.3 Réseau d'interconnexion 16×16	170
14.4 Conclusion	171
Chapitre 15 Impact du nœud technologique sur les performances de l'ONoC	173
15.1 Généralités	173
15.2 Résultats de simulation	173
Chapitre 16 Conclusion	175
Bibliographie	177
Conclusion générale	179
Liste des tableaux	181
Table des figures	183
Glossaire	187
Annexes	
Annexe A Unités et constantes fondamentales	191
A.1 Unités SI	191
A.2 Constantes fondamentales	193
Annexe B Protocole de communication	195
B.1 Protocole OCP	195
B.2 Protocole VCI	195

Annexe C Structures SOI réalisées	197
C.1 Projet Hétéropt	197
C.1.1 Le lot MOM2	197
C.1.2 Le lot GUI1	200
C.2 Projet LambdaConnect	200
C.2.1 Le lot LAM1	200
Annexe D Matrice S d'un <i>add-drop</i> à un microdisque	203
Annexe E Circuits CMOS 0,13 μm	205
E.1 Décodeur	205
E.2 Amplificateur à transimpédance	206
E.3 Comparateur - Circuit de décision	206
E.4 Circuits de commande de VCSEL	207
Annexe F Les bases de SystemC	209
F.1 Les modules SystemC	209
F.2 Les constructeurs en SystemC	209
F.3 Les ports SystemC	209
Annexe G Code source du prototype virtuel de l'ONoC	211
G.1 Le circuit de commande	211
G.2 Le laser	212
G.3 Calcul des matrices S dans le module du λ -routeur	213
G.4 La photodiode PIN	214
G.5 L'amplificateur à transimpédance	215
G.6 Le Comparateur	216
Annexe H Résultat de simulations numériques SystemC	217
H.1 λ -routeur 2×2	217
H.1.1 L'initiateur $I1$ communique avec la cible $C1$ et $C2$	217
H.1.2 L'initiateur $I1$ communique avec la cible $C1$ puis avec la cible $C2$	217
H.1.3 L'initiateur $I1$ communique avec la cible $C2$ et la cible $C1$ avec l'initiateur $I2$	220
H.2 λ -routeur 4×4	222

Introduction générale

À court terme, les circuits électroniques intégrés évolueront rapidement vers des systèmes monolithiques complexes appelés système sur puce (SoC¹). Ces derniers sont composés de blocs fonctionnels (aussi appelés IP²), eux-mêmes composés de plusieurs millions de transistors, et réalisent des fonctions complexes (mémoire, processeur, DSP, fonctions spécifiques, etc.). La complexité toujours croissante des systèmes intégrés impose des changements radicaux des méthodes et des outils de l'EDA³.

Le concept de NoC⁴ a été récemment introduit ; il définit une interconnexion complexe permettant à plusieurs dizaines, voir centaines, de ressources de communiquer sur un SoC. En effet, les interconnexions classiques (de type “bus”) ne sont plus adaptées pour faire face aux performances (en termes de débit et d'accès aux ressources) de plus en plus élevées que réclament ces SoC. L'ITRS⁵ prédit qu'à partir de 2015 les interconnexions de types “classiques” seront insuffisantes. De véritables réseaux d'interconnexion intégrés, dont la topologie est issue du monde des réseaux de télécommunication, sont actuellement développés, mais les limites de l'électronique, autant physiques (constante RC , puissance consommée, débit, etc.) qu'architecturales (latence, contention, charge du réseau, etc.) seront rapidement atteintes à moyen terme.

L'optique intégrée permet de proposer une alternative intéressante pour dépasser les limites imposées par les interconnexions électriques. Un réseau d'interconnexion optique intégré (nous l'avons appelé ONoC⁶) possède, a priori, plusieurs avantages : *i*) bande passante très élevée (de l'ordre du THz) et *ii*) routage fondé sur la longueur d'onde permettant d'élever la fonctionnalité du réseau. Cependant, des interfaces optoélectroniques sont nécessaires pour passer du monde de l'électronique au monde de l'optique. Elles constitueront sans aucun doute un point limitatif des réseaux d'interconnexion optique intégrés.

L'objectif de ce travail est d'étudier la faisabilité d'un tel réseau optique et d'estimer ses performances pour les comparer à l'état de l'art des interconnexions électriques classiques. En fonction de l'architecture du réseau et de la technologie d'intégration, les principaux paramètres à étudier sont : la surface du réseau, la puissance qu'il consomme, la latence et le débit maximal. Nous avons décidé de prendre comme référence électrique le réseau SPIN développé par le laboratoire LIP6, architecture à l'état de l'art au début de ce travail.

L'étude des potentialités de l'ONoC nécessite la mise en place préalable d'un flot de conception et d'outils spécifiques, afin d'unifier les conceptions très hétérogènes des blocs fonctionnels optiques et électroniques. À notre connaissance, ce travail constitue la première proposition d'un

¹System on Chip.

²Intellectual Property.

³Electronic Design Automation.

⁴Network on Chip.

⁵International Technology Roadmap for Semiconductor.

⁶Optical Network on Chip.

flot de conception hiérarchique (du niveau transactionnel au niveau physique) pour des systèmes multidomains (optique et électronique).

Ce manuscrit se compose de quatre parties :

La première partie présente le concept de SoC et l'état de l'art des principales architectures industrielles et universitaires de NoC. Ensuite, après avoir détaillé les limites et les problèmes liés aux interconnexions métalliques, l'alternative optique sera rapidement présentée. Pour finir, on décrira le flot de conception standard des circuits intégrés et les contraintes qu'impose la conception d'un système fortement hétérogène.

La deuxième partie débute la présentation détaillée de l'architecture d'un réseau optique passif que nous avons définie ainsi que celle des briques élémentaires qui la constituent. Les différents outils de modélisation de ces briques sont ensuite présentés. Pour finir, l'architecture complète de l'ONoC (émission, réception et transport), ainsi que son cahier des charges et son protocole de communication sont donnés.

La troisième partie détaille le flot de conception complet de l'ONoC, ainsi que la conception de ses blocs constitutifs, à plusieurs niveaux d'abstraction. En particulier, un modèle de haut niveau réalisé en SystemC est présenté.

La quatrième partie donne les résultats de l'estimation des performances de l'ONoC pour plusieurs architectures. Ensuite, une comparaison quantitative avec le réseau SPIN est présentée (principalement l'étude de la charge et de la contention dans le réseau). Pour finir, une prédiction des performances de l'ONoC pour les futurs nœuds technologiques est proposée.

En conclusion de ce travail nous proposons quelques perspectives.

Première partie

Network on Chip - État de l'art, limites
et alternatives

Chapitre 1

Les systèmes sur puce

1.1 Introduction : Les circuits intégrés

À la fin des années 50, Jack Kilby, de Texas Instrument, et Robert Noyce, de Fairchild Semiconductors, eurent l'idée de regrouper quelques transistors en un seul circuit monolithique [PIN-97] donnant ainsi naissance au concept de circuit intégré.

Aujourd'hui, l'intégration monolithique de système constitue sans doute une industrie des plus florissantes. La plupart des circuits intégrés sont réalisés en "technologie CMOS¹" (les composants de base étant des transistors à effet de champ MOS [JAE-01]), et l'augmentation continue de la densité d'intégration permet de réaliser des circuits comptant jusqu'à 1 milliard de transistors.

Il y a presque 40 ans, Gordon Moore [MOO-65] a proposé une loi d'évolution de la complexité des circuits connue sous le nom de "loi de Moore" : la densité d'intégration (c'est-à-dire le nombre de transistors par unité de surface) double tous les 18 mois.

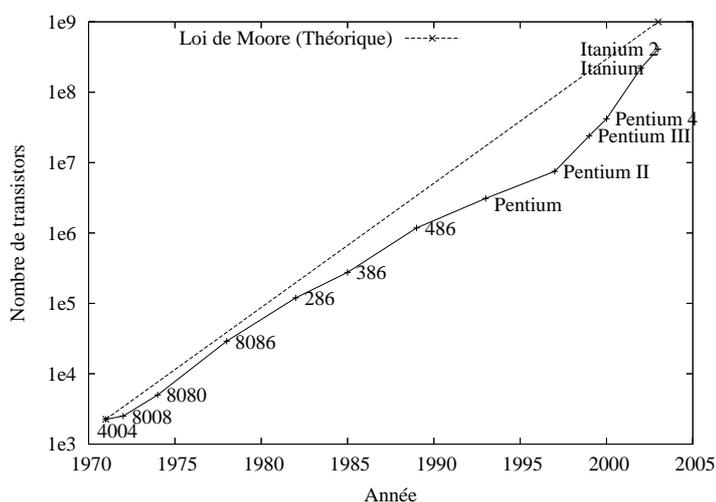


FIG. 1.1 – Loi de Moore appliquée aux processeurs Intel.

La loi de Moore² reste l'objectif des fabricants de systèmes intégrés [ITR-04]. La réduction de

¹Complementary Metal-Oxide Semiconductor.

²La loi de Moore est devenue une tendance que suit le monde industriel pour augmenter la performance des circuits et réduire le temps d'accès au marché.

la taille élémentaire des transistors permet d'augmenter fortement les performances des circuits intégrés et de continuer à réduire le coût de fabrication par transistor. À titre d'exemple, la figure 1.1 montre l'évolution du nombre de transistors dans les processeurs Intel³.

L'évolution de la technologie des circuits intégrés repose principalement sur la réduction des dimensions des dispositifs en eux-mêmes. La figure 1.2 présente l'évolution de la finesse de lithogravure, directement liée à la dimension des transistors : le motif minimal est actuellement communément de 90 nm, en production, et l'ITRS⁴ [ITR-04] prévoit que ce motif atteindra la taille de 22 nm en 2016.

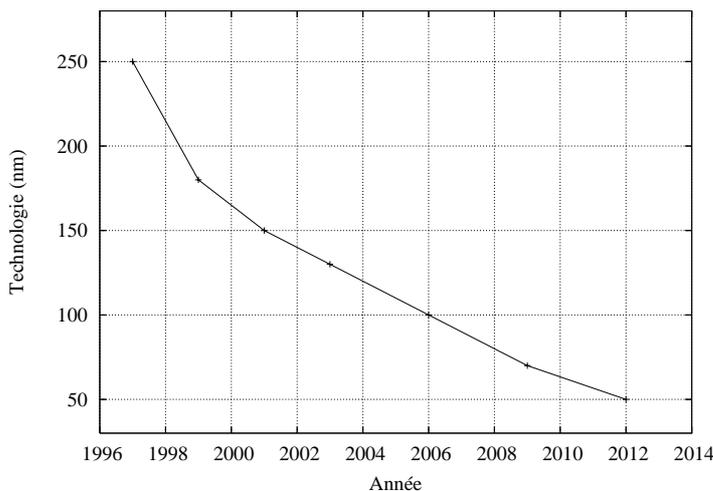


FIG. 1.2 – Évolution de la gravure lithographique des circuits intégrés.

L'augmentation des performances des systèmes intégrés est la conséquence de deux facteurs :

- L'amélioration de la technologie : la réduction des dimensions des transistors élémentaires conduit à l'augmentation de la densité d'intégration et de la fréquence de fonctionnement du circuit, et donc de sa fonctionnalité.
- L'architecture des systèmes intégrés : l'augmentation de la densité d'intégration met à disposition du concepteur un nombre de transistors toujours plus élevé, rendant possible des innovations architecturales spectaculaires. À titre d'exemple, on peut citer les architectures de processeurs intégrant au moins deux niveaux de mémoires caches.

Par ailleurs, la convergence des technologies a permis de faire émerger le concept de SoC⁵ (système intégré monolithique) : il est en effet possible d'intégrer des fonctions "hétérogènes" (numériques, analogiques, radio-fréquences, micromécaniques, optiques, etc.). La figure 1.3 présente ainsi l'évolution prévisible des circuits intégrés, depuis le transistor élémentaire, jusqu'aux systèmes sur puce multiprocesseurs (MPSoC⁶).

Si l'évolution technologique conduit à une amélioration constante du fonctionnement du front-end⁷, elle rend toujours plus difficile et onéreuse la fabrication du back-end⁸. Ainsi la *roadmap*

³Intel Corporation - <http://www.intel.com>.

⁴International Technology Roadmap for Semiconductors - <http://public.itrs.net>.

⁵System on Chip.

⁶Multi-Processor System on Chip.

⁷On appelle front-end la partie "silicium" du circuit, c'est-à-dire l'intégration des transistors.

⁸On appelle back-end la réalisation des interconnexions métalliques à l'intérieur de la puce et vers le monde extérieur.

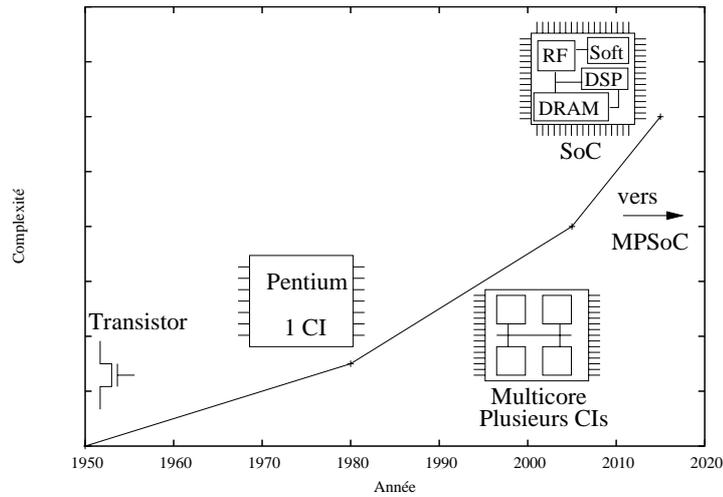


FIG. 1.3 – Évolution des circuits intégrés.

de l'ITRS indique que les technologies les plus avancées peuvent compter jusqu'à onze "niveaux" de métallisation. La réduction du paramètre technologique conduit à une augmentation des éléments parasites (résistance des interconnexions) et donc à une augmentation du temps de transport de l'information. Comme par ailleurs le débit global à l'intérieur d'un SoC continue à augmenter, le système de communication constitue le plus souvent un goulot d'étranglement dans l'augmentation des performances des systèmes. Il devient donc également nécessaire d'optimiser l'architecture du réseau d'interconnexion.

La table 1.1 [ITR-04] met en évidence cette évolution sur quelques paramètres concernant les interconnexions. Pour l'ITRS⁹ les interconnexions font parties des "*grand challenges*" à résoudre à court terme pour poursuivre l'augmentation des performances des systèmes intégrés.

TAB. 1.1 – Évolution de quelques paramètres importants des circuits intégrés.

	2006	2007	2008	2009	2010	2012	2015	2018
<i>Pitch</i> local (nm)	170	152	134	120	108	84	60	42
Taille des puces à la production (mm ²)	310	310	310	310	310	310	310	310
Longueur totale de l'interconnexion (m/cm ²)	1002	1117	1401	1559	1784	2214	3544	5035
Horloge locale intégrée (GHz)	6,783	9,285	10,972	12,369	15,079	20,065	33,403	53,207
Nombre de niveaux métalliques	11	11	12	12	12	12	13	14
Puissance maximale (W)	180	189	200	210	218	240	270	300

1.2 Une évolution radicale des interconnexions : des circuits intégrés aux systèmes sur puce

Les systèmes monolithiques intègrent aujourd'hui plusieurs fonctions différentes (processeur, mémoire, entrée/sortie, bloc fonctionnel, DSP, etc.). Les communications entre ces blocs fonctionnels constituent une part importante de la conception d'un système sur puce.

⁹Mise à jour 2004.

1.2.1 Généralités

La figure 1.4 illustre l'évolution suivie par les systèmes électroniques : un système complexe, auparavant réalisé par l'association de blocs fonctionnels distincts, peut être intégré de façon monolithique.

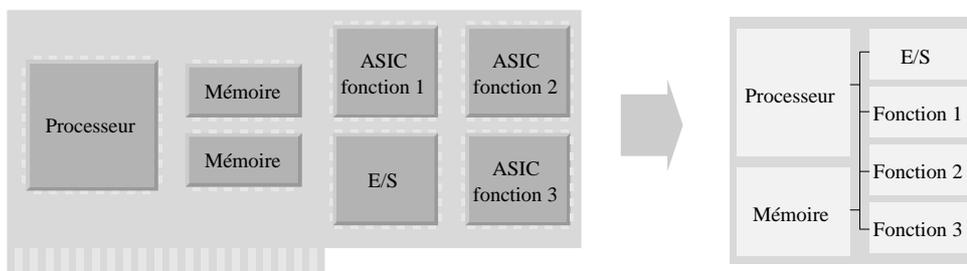


FIG. 1.4 – Évolution des circuits intégrés vers les systèmes sur puce.

Un des problèmes principaux que rencontrent les concepteurs de SoC, est de réaliser le réseau d'interconnexion qui permet aux blocs fonctionnels de communiquer entre eux. Le débit global à l'intérieur d'un SoC peut atteindre plusieurs dizaines de Gbit/s. Cette contrainte ne peut être atteinte que par la mise en œuvre de solutions architecturales originales.

En général, c'est l'interconnexion qui limite les performances globales d'un système.

1.2.2 Les défis de conception d'un système sur puce

L'amélioration continue de la technologie impose de nouveaux défis de conception :

- Les outils de conception actuels permettent de gérer quelques centaines de milliers de portes logiques par fonction, mais aucun outil n'est actuellement capable de gérer efficacement les centaines de millions de portes que peut compter un SoC. La synthèse, le placement-routage et la vérification sont devenus des étapes particulièrement difficiles du flot de conception.
- L'hétérogénéité des systèmes nécessite que des outils issus de communautés scientifiques différentes puissent communiquer.
- À l'heure actuelle, la complexité des systèmes augmente plus vite que la capacité des outils, ce qui rend nécessaire la mise en œuvre de nouvelles méthodes de conception.
- Jusqu'alors les systèmes intégrés fonctionnaient de manière synchrone. L'augmentation des débits et l'augmentation des délais de transmission sur les lignes métalliques conduiront à abandonner ce synchronisme. Les systèmes intégrés deviendront "globalement asynchrones-localement synchrones"¹⁰. Ainsi de nouveaux concepts, issus du monde des télécommunications, apparaîtront dans les SoC.
- La consommation globale des circuits apparaît comme un problème critique (soit que la dissipation d'énergie impose des systèmes de refroidissement complexes, soit que l'application vise à l'autonomie et à la mobilité).
- La dispersion sur les paramètres technologiques rend difficile la prédictibilité des performances globales d'un SoC.
- L'évolution continue des applications visées par les SoC pose de fortes contraintes sur le temps de conception, de nouveaux outils doivent permettre d'améliorer le temps de mise sur le marché.

¹⁰Architecture GALS (Globally-Asynchronous Locally-Synchronous).

1.2.3 Les interconnexions et leur classification

Introduction

Les communications entre les blocs fonctionnels d'un système sont jusqu'à aujourd'hui assurées par des bus. L'augmentation continue des débits conduit néanmoins à projeter des architectures issues du monde des télécommunications (WAN¹¹, LAN¹², Clusters de machines) à l'échelle des circuits intégrés, donnant ainsi naissance au concept de NoC¹³.

L'évolution prévisible des SoC définira deux grandes familles de système (en fonction du type de l'application visée) : les systèmes multiprocesseurs (il s'agira d'architectures "régulières" associant plusieurs dizaines de processeurs identiques travaillant en parallèle) et les SoC hétérogènes (intégrant des blocs fonctionnels très divers : cœur de processeur, mémoires, blocs vidéo, blocs de traitement particulier, échangeant des flux de communication, eux-mêmes très hétérogènes).

Plusieurs systèmes multiprocesseurs utilisent déjà des architectures de communication issues du monde des grappes de calculateur. Néanmoins, dans l'avenir, les architectures de communication de ces systèmes auront à assumer des débits beaucoup plus élevés qu'aujourd'hui (\sim Tbit/s) [ITR-04].

Deux grands types d'architecture multiprocesseurs existent : les multiprocesseurs à mémoire partagée (figure 1.5(b)) ou bien les multiprocesseurs à mémoire distribuée (figure 1.5(a)).

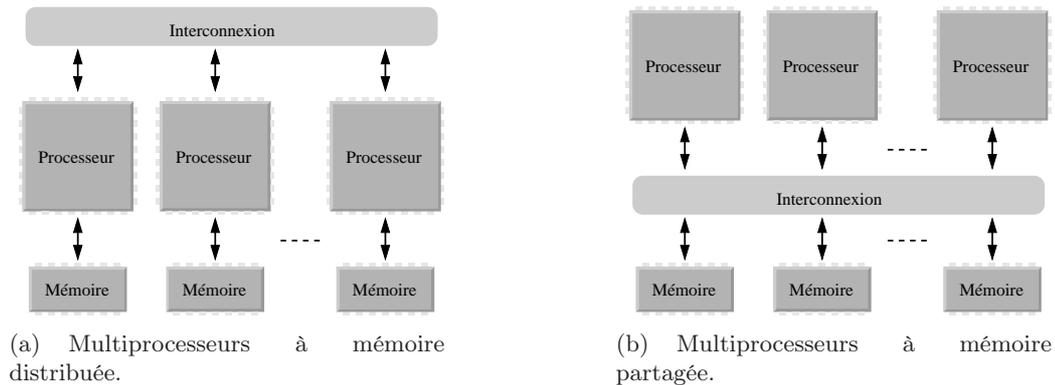


FIG. 1.5 – Représentation schématique des architectures multiprocesseurs.

Les NoC pour SoC hétérogènes (figure 1.6) auront à associer par exemple des flux parallèles et des flux séries ; les technologies de transport de télécommunication semblent bien adaptées à ce type de communications hétérogènes.

Caractéristiques des interconnexions

Le réseau d'interconnexion d'un système joue un rôle majeur dans ses performances globales. Comme aujourd'hui - pour les systèmes macroscopiques - les performances globales d'un SoC seront conditionnées par celles de son NoC. Les paragraphes qui suivent précisent les caractéristiques fondamentales des réseaux de communication [DUA-03].

¹¹Wide Area Network.

¹²Local Area Network.

¹³Network on Chip.

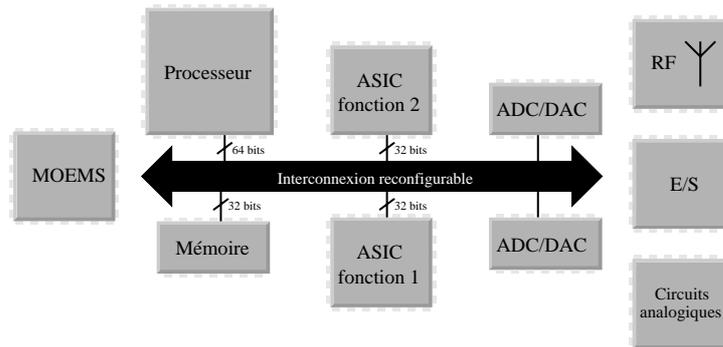


FIG. 1.6 – Vue schématique d'un système sur puce hétérogène.

Qualité de service : Le réseau de communication doit être capable d'assurer un débit important. Il doit être disponible à tout instant et doit minimiser le temps de transfert de l'information en assurant un TEB¹⁴ minimal. La qualité de service (QoS) du réseau de communication est caractérisée par : *i) le débit maximal* (qui caractérise la quantité maximale d'information transférable par un lien établi), *ii) la latence* (qui caractérise le temps de transfert de l'information et donc le temps "perdu" par les ressources réceptrices entre l'émission d'une requête et la réception effective des données) et *iii) la contention* (qui mesure la disponibilité, à tout instant, d'un lien physique entre l'émetteur et le destinataire).

Il est à noter que le débit maximal est limité par la technologie de l'interconnexion, la contention essentiellement par son architecture, la latence à la fois par son architecture et sa technologie.

Scalabilité : Un réseau d'interconnexion, est dit "scalable" s'il permet d'augmenter le nombre de ressources qui y sont connectées sans changer intrinsèquement son architecture de base [HIL-90]. Celle-ci doit donc pouvoir être "dupliquée" afin d'y connecter un nombre croissant de ressources. De plus, le débit maximal sur chaque lien doit rester constant, chaque nouvelle ressource dispose donc du même débit.

La figure 1.7 traduit cette caractéristique : l'architecture générale, ainsi que le protocole de communication, restent les mêmes. Il est à noter que toutes les architectures ne sont pas scalables.

Simplicité : La simplicité du NoC (caractérisée par le nombre de ressources matérielles nécessaires à sa réalisation) garantit le plus souvent de meilleures performances (en termes de latence et de bande passante). De plus, un réseau "simple" permettra au concepteur du système d'exploiter au mieux ses performances.

Contraintes physiques : La technologie d'une part, l'implantation physique d'autre part conditionnent la qualité de service. Pour un TEB donné, la technologie limite la densité des interconnexions et le débit maximal d'un lien, donc le débit global du réseau. Pour une technologie donnée, si les blocs fonctionnels à interconnecter demandent des performances supérieures au débit maximal, le partage des ressources du réseau est indispensable. Ce partage implique donc le choix d'une architecture, qui conditionne une implantation géométrique des blocs fonctionnels

¹⁴Taux d'Erreur par Bit.

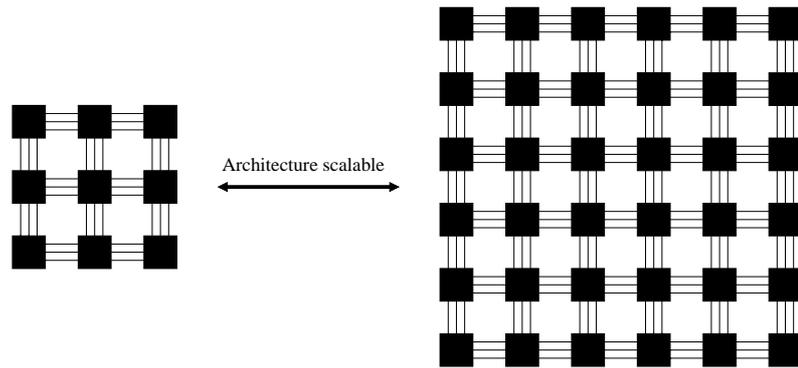


FIG. 1.7 – Vue schématique d’une architecture scalable.

sur la puce (placement¹⁵), et donc le routage du réseau d’interconnexion.

La “connectabilité” (ensemble des potentialités de routage imposées par la technologie : *i*) nombre de couche de métallisation, *ii*) performances électriques des pistes métalliques) peut limiter la qualité de service.

Les contraintes multiples qui portent sur la conception des réseaux d’interconnexion deviennent de plus en plus fortes, rendant les coûts de la technologie et de la conception de plus en plus élevés.

À l’instar de l’évolution de la conception des blocs fonctionnels d’un SoC (IP-reuse¹⁶), le réseau d’interconnexion sera de plus en plus considéré comme un bloc IP¹⁷ spécifique [UNT–04].

Classification des architectures de réseaux intégrés

Des critères architecturaux, pour la plupart dérivés des architectures macroscopiques, permettent de définir de grandes classes de réseaux.

Trois grandes familles apparaissent (résumées dans le tableau 1.2 [DUA–03, NI–96]).

TAB. 1.2 – Classification des interconnexions.

Caractéristiques	Réseau partagé	Réseau direct	Réseau indirect
Commutation de paquet		✓	✓
Commutation de circuit	✓	✓	✓
Broadcast	✓		
Cohérence de cache	✓		

Réseaux partagés ou bus : Un bus est partagé par toutes les ressources du système. Il s’agit du plus simple des réseaux (dans ce cas l’appellation de “réseau” est un abus de langage), une seule des ressources peut accéder à la fois au réseau.

¹⁵Floorplan.

¹⁶Réutilisation des blocs fonctionnels.

¹⁷Intellectual Property, correspondant à la définition d’un bloc fonctionnel.

Le réseau est passif (il ne génère aucun signal), ce sont les ressources elles-mêmes qui vérifient la disponibilité du réseau et des ressources destinataires.

Dans le cas historique (architecture comprenant un seul maître, ou initiateur, de type mono-processeur), les communications sont entièrement gérées par le processeur.

Lorsque les architectures deviennent plus complexes (architecture multi-initiateurs), un arbitrage est impératif pour partager dans le temps l'accès au bus entre les différents initiateurs. L'arbitrage peut être réalisé matériellement (*hardware*) ou algorithmiquement (*software*).

La figure 1.8 présente une vue schématique d'un réseau partagé.

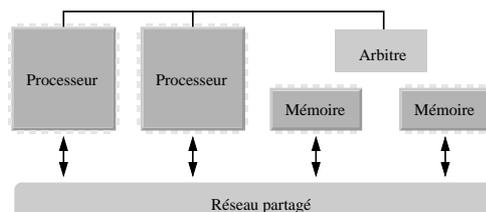


FIG. 1.8 – Vue schématique d'un réseau partagé.

L'intérêt historique (tant que le débit maximal du réseau apparaissait comme infini par rapport aux performances des ressources) des réseaux partagés résidait dans leur simplicité et dans le fait qu'il était aisé d'augmenter le nombre de ressources interconnectées.

De nos jours, les limites de cette architecture sont atteintes, le partage du réseau entre une dizaine de ressources (classiquement observé dans les principaux bus du commerce) conduit à des latences incompatibles avec le fonctionnement optimal des ressources.

Il est néanmoins à noter qu'une architecture "bus" permet le *broadcast*¹⁸ ce qui rend immédiat par exemple le traitement de la cohérence des caches¹⁹.

La transmission sur un bus est en général synchrone, les communications entre toutes les ressources ont lieu à la même fréquence, imposée par la ressource la moins performante. C'est pourquoi des bus "asynchrones" sont apparus, rendant possible une amélioration du fonctionnement des ressources les plus rapides.

La seule méthode, pour repousser les limites en débit maximal imposées par le bus, est d'augmenter sa largeur ou sa fréquence de fonctionnement (ces solutions sont évidemment limitées par les performances de la technologie).

Les limites intrinsèques (débit maximal, scalabilité) des bus ont conduit, depuis quelques années, à étudier de nouvelles architectures de réseaux intégrés, donnant ainsi naissance au concept de NoC.

NoC : réseaux directs et indirects Un réseau est constitué de nœuds. Si chaque nœud est associé à une ressource (susceptible d'émettre et/ou de recevoir un message) le réseau est dit direct, si un certain nombre de nœuds ne font qu'aiguiller les messages, le réseau est dit indirect.

Un réseau est caractérisé par :

- Sa topologie : elle définit l'architecture du réseau c'est-à-dire comment sont interconnectés les différents nœuds (idéalement chaque nœud devrait être connecté à tous les autres nœuds

¹⁸Communication d'un émetteur vers n récepteurs.

¹⁹Chaque contrôleur de cache "espionne" les communications sur le bus et compare l'adresse du transfert en cours sur le bus commun avec le contenu de sa, ou de ses caches. Si l'une des caches du microprocesseur possède une copie de la donnée transférée, une action est nécessaire (mise à jour de la donnée, changement de son état).

du réseau). Bien évidemment quand le nombre de ressources augmente, la topologie du réseau est le fruit d'un compromis entre les contraintes technologiques et de coûts et sa connectivité. Les figures 1.9, 1.10 et 1.11 montrent des exemples de topologies classiques de réseau.

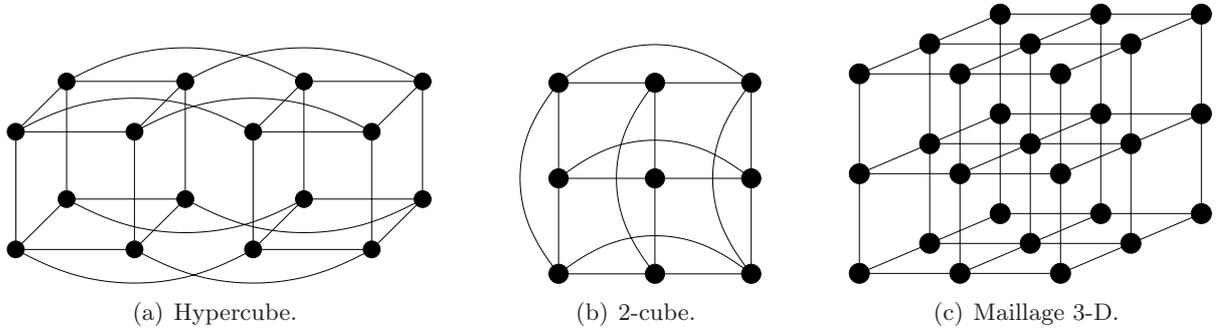


FIG. 1.9 – Topologies classiques des réseaux directs orthogonaux.

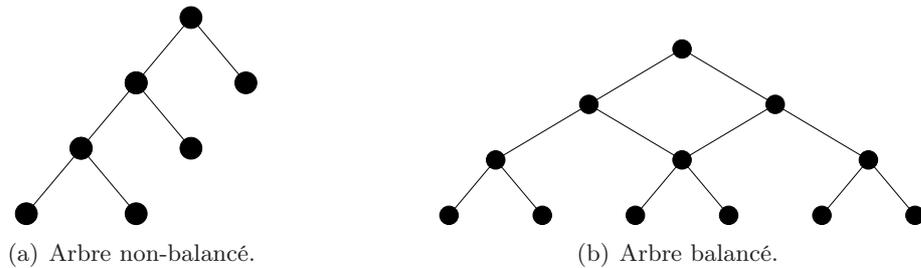


FIG. 1.10 – Topologies classiques des réseaux directs en arbre.

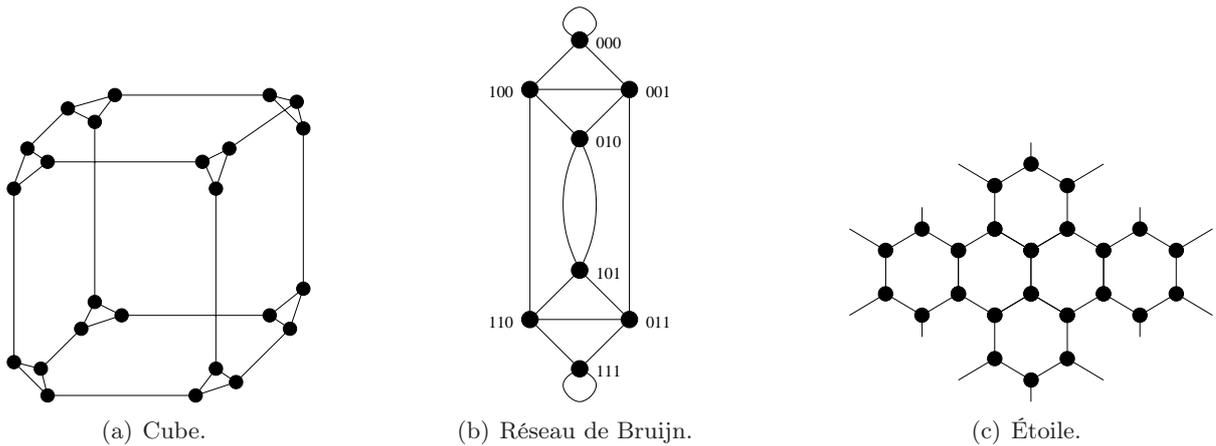


FIG. 1.11 – Autres topologies classiques des réseaux directs.

- Le type de transfert des données : lorsque le réseau attribue une liaison entre une source et un destinataire pour toute la durée du message à transmettre, la communication est dite à commutation de circuits (*circuit switching*). En d'autres termes, un circuit physique de transmission est attribué par le réseau pour transmettre l'intégralité du message.

Puisqu'une partie des ressources du réseau est réservée à une communication particulière, les réseaux à commutation de circuits souffrent en général de contention, en particulier lorsque les messages à transmettre sont longs.

Il est alors possible de découper le message en paquets qui pourront alors suivre des chemins physiques différents entre la source et le destinataire. La communication est dite à commutation de paquets (*packet switching*).

- La stratégie de routage : elle définit le chemin pris par les données (messages ou paquets) entre la source et le destinataire. À chaque nœud intermédiaire la stratégie de routage détermine quel sera le prochain nœud à atteindre en fonction de la disponibilité de ce dernier. La stratégie de routage a une importance fondamentale dans les performances globales du réseau.

Réseaux directs : Un réseau direct est constitué de nœuds, eux-mêmes constitués d'un routeur et d'une ressource initiatrice (figure 1.12).

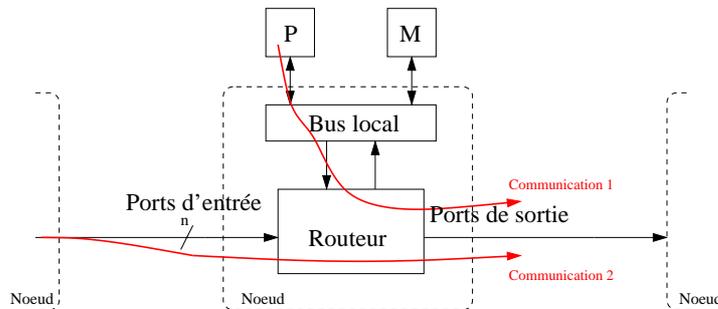


FIG. 1.12 – Vue schématique d'un nœud de réseau direct.

Dans cet exemple, la ressource est constituée d'un processeur P et d'une mémoire locale M communiquant par un bus.

Lorsque le nœud souhaite émettre, le routeur autorise ou non l'accès au réseau. Lorsque le nœud reçoit des données, le routeur les aiguille vers son processeur (si les données lui sont destinées), ou vers un nœud adjacent (si les données sont destinées à un autre processeur).

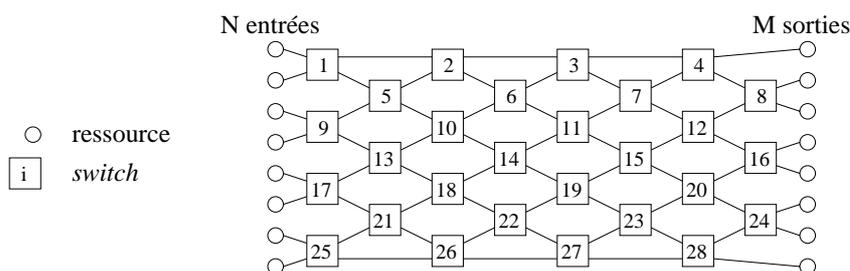
Ce sont donc les routeurs qui gèrent les communications dans le réseau, pour cette raison les réseaux directs sont souvent appelés réseaux de routeurs.

Réseaux indirects : Les nœuds du réseau contiennent un organe d'aiguillage appelé traditionnellement *switch*.

La figure 1.13 présente une topologie classique de réseau indirect. Chaque nœud possède un *switch* dont les états fonctionnels sont donnés par la figure 1.14²⁰.

Chaque ressource initiatrice peut communiquer avec n'importe quelle ressource cible. La complexité du réseau dépend bien évidemment du nombre de ressources.

²⁰Ce *switch* autorise une liaison croisée (*cross* : figure 1.14(b)) ou parallèle (*bar* : figure 1.14(a)), on l'appelle donc *crossbar*.

FIG. 1.13 – Topologie classique d'un réseau indirect : le *crossbar* $N \times M$.FIG. 1.14 – États fonctionnels d'un *switch* élémentaire qui compose un *crossbar*.

1.3 État de l'art des réseaux d'interconnexion sur puce

Dans ce paragraphe, nous présentons, d'une part, les principaux "standards industriels" de communication intégrée, pour l'heure fondés sur des réseaux partagés (bus), ainsi que quelques réalisations - prototypes de véritables réseaux - issues des mondes universitaire et industriel.

Avant cela, nous décrirons les principaux protocoles de communication proposés par des consortia industriels.

1.3.1 Les protocoles de communication

Présentation

Un protocole de communication peut être défini comme le "langage" d'un système, il inclut : *i*) le format d'échange des données (le nombre d'entrées/sorties, la profondeur de bits de ses entrées/sorties, sa fréquence d'horloge) et *ii*) les méthodes d'accès aux ressources (arbitrage, organisation des requêtes de lecture ou d'écriture, etc.).

Il n'existe pas jusqu'à aujourd'hui de protocole de communication universel, chaque développeur-concepteur a, en général, défini son propre "langage". Cette solution est acceptable tant que les systèmes sont entièrement conçus par la même société; en effet, chaque bloc fonctionnel est conçu pour respecter le même protocole.

Le développement de l'IP-reuse²¹ conduit à une certaine standardisation des protocoles adaptés au SoC. Des passerelles (ou *wrappers*²² [OLI-02, RĂD-05]) sont chargées de traduire le protocole des blocs IP vers le protocole du NoC.

L'utilisation d'un protocole de communication est essentielle pour diminuer le temps de conception des systèmes qui peuvent intégrer des ressources (bloc IP) provenant de

²¹On appelle IP-reuse l'échange et le partage entre équipe de conception - appartenant éventuellement à des entreprises différentes - de blocs fonctionnels (bloc IP) conçus et caractérisés.

²²Un *wrapper* est en général à la fois logiciel et matériel.

différentes sociétés.

Le réseau et son protocole peuvent alors être considérés comme un bloc IP spécifique assurant la fonction de communication entre les différents blocs IP fonctionnels.

La figure 1.15 montre la structure générale d'un SoC : chaque bloc IP est associé à une passerelle de communication qui permet l'accès au NoC.

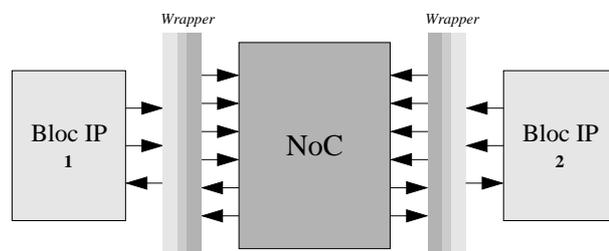


FIG. 1.15 – Fonctionnement simplifié d'un protocole de communication.

Deux protocoles de communication semblent émerger : OCP et VCI.

Le protocole OCP

Le protocole OCP²³ est développé et mis en place par le consortium OCP-IP²⁴, association de plusieurs industriels issus principalement du domaine de la microélectronique et des microsystèmes (ST Microelectronics, ATI Technologies, Cadence Design Systems, Infineon Technologies, Sonics, OSCI²⁵, etc.).

Les principales spécifications de ce protocole sont les suivantes :

- Le protocole ne définit qu'un nombre réduit de signaux impératifs. Par contre, il est possible de rajouter des signaux optionnels pour configurer au mieux le système (cf. annexe B).
- La communication est synchrone et unidirectionnelle.
- La largeur des bus d'adresses et de données est configurable.
- Le protocole intègre des méthodes de test permettant de contrôler les communications (gestion des interruptions, des registres, de la puissance consommée, etc.).
- Les transferts de données peuvent être "pipelinés"²⁶.
- Le transfert en mode rafale est possible²⁷.
- Le protocole est compatible avec VCI.
- ...

Des modèles de "haut niveau" de ce protocole de communication sont disponibles et publics, ce qui facilite et accélère le prototypage d'un SoC utilisant OCP.

²³Open Core Protocol.

²⁴Open Core Protocol International Partnership - <http://www.ocpip.org>.

²⁵Open SystemC Initiative.

²⁶Plusieurs lignes de données décalées d'une instruction les unes par rapport aux autres. Ceci suppose que la donnée traitée à un instant T n'a pas besoin d'une donnée traitée à l'instant $T - 1$ car elle n'est pas encore disponible.

²⁷Lors d'un cycle d'horloge, seule l'adresse de départ est transmise. Il s'ensuit un flux de données ininterrompu ("burst transfer"). Les ressources initiatrices, comme les ressources cibles, incrémentent de manière interne leurs compteurs d'adresse à chaque transfert. Cela permet d'augmenter sensiblement le débit des données. Un autre type de transfert de données appelé *stream transaction* utilise le même principe avec cependant une différence dans son utilisation. En effet, cette technique est souvent utilisée dans les applications multimédia où il est nécessaire de visualiser une première partie des données alors qu'elles ne sont pas encore toutes arrivées.

Le protocole VCI

Le protocole VCI²⁸ est développé et mis en place par l'alliance VSIA²⁹. VSIA a été formée en 1996 par un groupement des principales compagnies de semi-conducteurs et de CAO³⁰ ainsi que d'universitaires (ARM, Cadence Design Systems, Hewlett-Packard, IBM, Infineon Technologies, Intel, Mentor Graphics, PalmChip Corp., Philips Semiconductors, Samsung, Sonics, ST Microelectronics, Toshiba, Hefei University of Technology, Hong Kong University of Science and Technology, etc.) dans le but d'établir un standard industriel.

Les objectifs de l'alliance VSIA sont plus ambitieux que la définition d'un simple protocole standard. Il s'agit de proposer une standardisation de l'ensemble des tâches nécessaires à la conception d'un SoC (exploration de l'architecture, modélisation, vérification, tests), de fournir des outils spécifiques (évaluation des performances) et de mettre au point une bibliothèque de passerelles VCI.

Le protocole VCI supporte les architectures multiprocesseurs ou multi-initiateurs et permet de faire communiquer plusieurs dizaines d'initiateurs.

La figure 1.16 présente l'architecture de principe du protocole VCI.

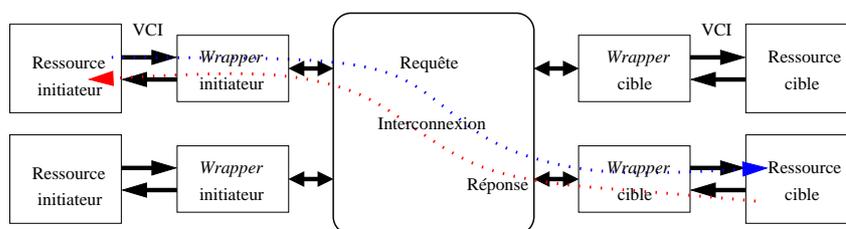


FIG. 1.16 – Fonctionnement simplifié d'une communication VCI.

Le protocole VCI est construit autour d'espaces mémoires adressables partagés, accessibles par toutes les ressources du système. Les initiateurs peuvent émettre des requêtes de lecture ou d'écriture sur chaque cible.

Les principaux signaux utilisés lors d'une communication VCI sont présentés dans l'annexe B.2.

L'objectif principal de ce travail est d'étudier la faisabilité d'un réseau d'interconnexion optique intégré, et de comparer ses performances à celles d'un réseau de référence classique. Une collaboration est donc née entre notre groupe et l'équipe ASIM³¹ du LIP6³², dirigé par Alain Greiner, qui a développé ces dernières années le réseau SPIN³³ utilisant le protocole VCI. Dans le but d'évaluer l'apport de l'optique intégrée dans la réalisation de NoC, nous avons donc choisi de prototyper un ONoC³⁴ analogue à SPIN, c'est donc le protocole VCI que nous avons implémenté.

²⁸Virtual Component Interface.

²⁹Virtual Socket Interface Alliance - <http://www.vsi.org>.

³⁰Conception Assistée par Ordinateur.

³¹Architecture des Systèmes Intégrés et Micro-électronique.

³²Laboratoire d'Informatique de Paris VI.

³³Scalable Programmable Integrated Network.

³⁴Optical Network on Chip.

1.3.2 Les réseaux intégrés industriels

Introduction

Les solutions industrielles actuelles sont fondées sur l'utilisation de bus (réseau partagé, cf. section 1.2.3).

Les différentes solutions proposées sont issues des grands fabricants précurseurs dans la réalisation de SoC. Elles sont le fruit d'un effort de standardisation, au sein de chacune de ces sociétés, vers l'élaboration d'un NoC (un bloc IP consacré à l'échange de données).

En fonction des grands types d'application des systèmes intégrés, dans lesquelles ces sociétés se sont spécialisées, les architectures proposées diffèrent selon les différents compromis en termes de qualité de service et de ressources matérielles.

Les sections suivantes présentent un état de l'art des bus partagés existant. Elles résument leurs différentes caractéristiques (quand celles-ci sont publiques).

LE STBUS

Le STBus est un réseau d'interconnexion pour SoC (figure 1.17) développé par la société ST Microelectronics³⁵.

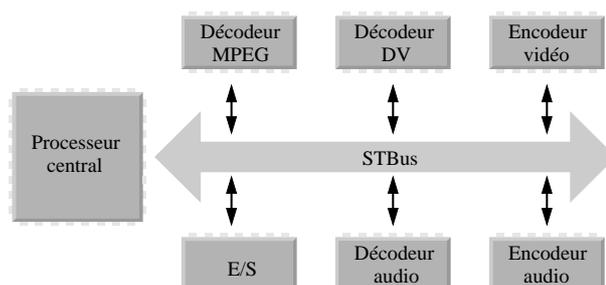


FIG. 1.17 – Utilisation classique du STBus dans un système sur puce.

La brique de base est un nœud (“*node*”) qui permet d’interconnecter localement des initiateurs et des cibles (une vingtaine). Plusieurs nœuds peuvent être associés pour réaliser un réseau hybride (figure 1.18 qui présente deux versions différentes : le STBus et le ST20 Bus, interconnectés entre eux) [SIN–05]. Il permet donc de construire un système de communication hiérarchique [MUR–05].

ST Microelectronics a de plus développé un environnement de conception permettant de synthétiser le réseau de communication. Le protocole de communication OCP est compatible avec le STBus.

Le STBus ne permet pas aux initiateurs et/ou aux cibles de recevoir plusieurs paquets en même temps.

Les spécifications du STBus n’étant actuellement pas mises à disposition par la société ST Microelectronics, il sera difficile d’évaluer ses performances. De plus, le classement du STBus dans les interconnexions de type bus partagé n’est pas immédiat, car il pourrait aussi être classé dans les réseaux d’interconnexion à cause de sa hiérarchie de bus.

³⁵ST Microelectronics - <http://www.st.com>.

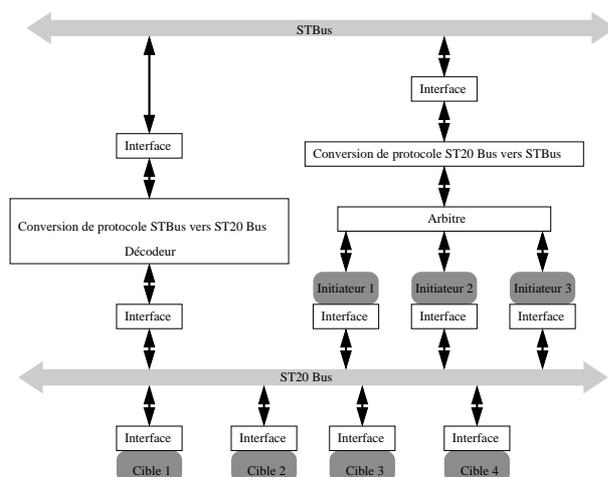


FIG. 1.18 – Exemple d'utilisation hiérarchique du STBus.

LE BUS AMBA

Généralités Le bus AMBA³⁶ est un système d'interconnexion développé par la société ARM³⁷, il est devenu, lors de ces dernières années, un “standard” très répandu. En effet, il est doté de performances “raisonnables” en termes de débit global (de l'ordre de quelques Gbit/s).

À l'instar de nombreuses architectures, le bus AMBA est en réalité composé de deux bus [ARM-99] :

- Le bus AHB³⁸ (anciennement ASB³⁹) qui permet d'interconnecter des ressources en maximisant le débit.
- Le bus APB⁴⁰, utilisé pour les périphériques qui nécessitent un débit plus faible.

Une passerelle permet d'interconnecter ces deux bus (voir figure 1.19).

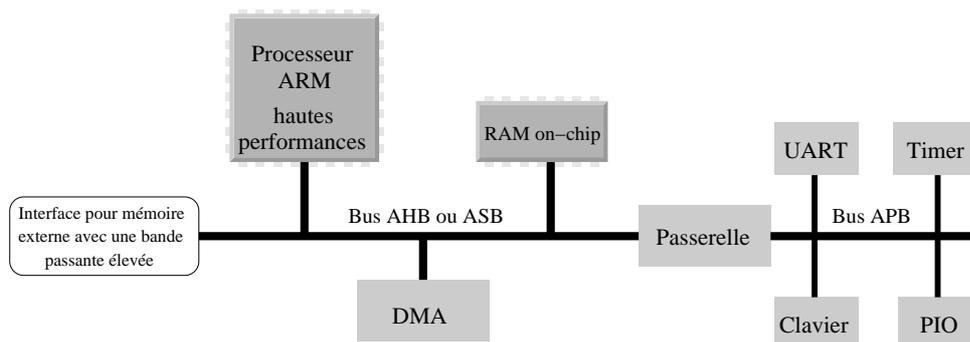


FIG. 1.19 – Architecture typique d'un bus AMBA.

³⁶Advanced Microcontroller Bus Architecture.

³⁷ARM - <http://www.arm.com>.

³⁸Advanced High-performance Bus.

³⁹Advanced System Bus.

⁴⁰Advanced Peripheral Bus.

Kit de conception Un kit de développement, ADK⁴¹, fournit un environnement spécifique facilitant la conception rapide d'un SoC construit autour du bus AMBA. Ce kit contient une bibliothèque de nombreux blocs IP (ARM développe en effet de nombreux blocs numériques comme des DSP, des mémoires et des blocs IP spécialisés). Un environnement graphique permet d'associer les blocs et des méthodes automatiques de test qui permettent d'évaluer les performances du système.

Spécifications Le bus AMBA possède son propre protocole de communication ; ce protocole étant public, il est possible à une équipe de concepteurs d'adapter un nouveau bloc IP au bus AMBA grâce à un *wrapper* (figure 1.20).

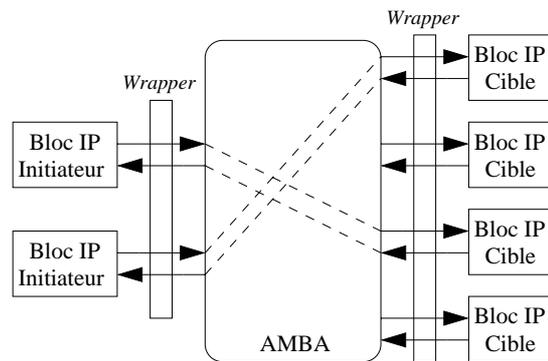


FIG. 1.20 – Concept du réseau d'interconnexion “multicouches” de ARM.

Les principales spécifications du bus AMBA sont les suivantes :

- L'architecture est scalable jusqu'à une dizaine d'initiateurs.
- L'arbitrage est pris en charge par le bus.

Le bus AHB autorise la communication simultanée de plusieurs initiateurs (à condition que leurs cibles soient différentes, cf. figure 1.20). À titre d'exemple, la figure 1.21 présente une implémentation simple de l'interconnexion (appelé aussi “matrice d'interconnexion”) dans un système possédant 2 initiateurs et 2 cibles.

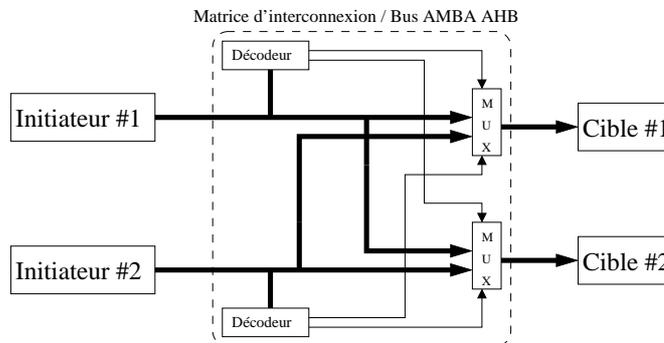


FIG. 1.21 – Matrice d'interconnexion reliant 2 initiateurs et 2 cibles.

⁴¹AMBA Design Kit.

Le bus AHB autorise des opérations de type pipeliné, des transferts de données en mode rafale, des transactions de type *split transaction*⁴².

La largeur du bus AHB est une puissance entière de deux (de 8 jusqu'à 1024 bits).

Le bus AHB associe les composants suivants :

- Des initiateurs AHB (ou “*bus master*”) capables d'émettre une requête (lecture et écriture) et de fournir l'adresse et le contrôle. L'émission d'une requête par l'un des initiateurs provoque l'établissement d'une connexion vers sa cible. Si un deuxième initiateur génère une nouvelle requête, l'arbitre vérifie la disponibilité de l'interconnexion et autorise éventuellement un nouvel échange de données.
- Des cibles AHB (ou “*bus slave*”) répondent aux requêtes (en écriture ou en lecture) dans un espace d'adressage donné. La cible visée informe son initiateur de l'état du transfert de données.
- L'arbitre AHB (ou “*bus arbiter*”) gère les requêtes en provenance des différents initiateurs.
- Le décodeur AHB décode l'adresse de chaque requête et fournit un signal de sélection à la cible visée.

Le bus APB dispose d'un débit global réduit, il est en général utilisé pour interfacer plusieurs périphériques de faibles performances. Il est vu par le bus AHB comme une cible.

Contrairement au bus AHB qui est utilisé pour des blocs nécessitant un fort débit (processeur, bloc mémoire intégré, bloc mémoire externe, périphérique DMA⁴³, etc.), le bus APB est recommandé pour gérer des communications avec des registres, des périphériques à faibles débits ou pour grouper des périphériques à faible largeur de bus pour éviter une sur-occupation du bus AHB.

Protocole de communication Le protocole de communication optimise les ressources matérielles du bus (cf. section 1.2.3). ARM a récemment introduit le protocole AXI⁴⁴ [ARM-03].

Le protocole AXI est fondé sur des communications unidirectionnelles (cf. figure 1.22). Il permet principalement de “diviser” les ressources matérielles du réseau d'interconnexion en “tranches”. Cette stratégie permet de “pipeliner” les communications pour augmenter le débit ou d'organiser les transferts de données à fréquences d'horloges différentes pour limiter la puissance consommée.

Les principales caractéristiques de ce protocole de nouvelle génération sont les suivantes :

- Les canaux de données et d'adresses/contrôles sont séparés.
- Les canaux d'écriture et de lecture sont séparés (DMA).
- Il est possible d'ajouter sur le bus des registres supplémentaires pour définir une zone asynchrone.
- Il est possible de gérer des transactions désordonnées (ou *out of order*)⁴⁵.

⁴²Avec les transactions séparées ou *split transactions*, les requêtes et les réponses sont gérées de manière indépendante par deux bus différents. Pendant l'intervalle de temps nécessaire à la cible pour traiter la requête reçue et pour répondre à l'initiateur, l'interconnexion du système n'est plus utilisée et est libérée. La cible devra demander l'autorisation à l'arbitre pour accéder de nouveau au bus afin de répondre à l'initiateur.

⁴³La méthode DMA (Direct Memory Access) est une technique pour transférer des données depuis la mémoire centrale vers l'une des ressources du système sans avoir besoin de passer par l'intermédiaire du processeur. Ceci libère l'interconnexion principale ainsi que le processeur. Les ordinateurs modernes possèdent souvent un canal spécifique DMA pour transmettre directement les données de la mémoire aux ressources concernées. Cependant, le principe de la “cohérence de cache” doit être utilisé pour assurer la cohérence des données dans toutes les mémoires du système.

⁴⁴Advanced eXtensible Interface.

⁴⁵Le destinataire peut remettre dans l'ordre les données qui lui sont parvenues dans le désordre.

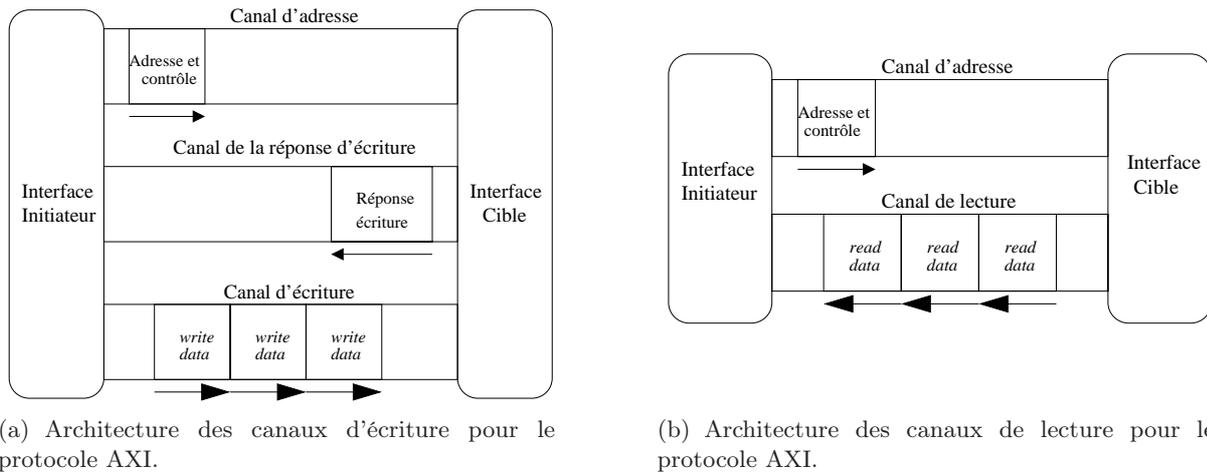


FIG. 1.22 – Protocole AXI.

LE BUS SILICONBACKPLANE III

SiliconBackplane III est un système d'interconnexion développé par la société Sonics⁴⁶, il est spécialement conçu pour les applications multimédia (télévision numérique par exemple). Le fonctionnement interne de ce réseau est très peu diffusé par Sonics et les spécifications ne sont pas publiques. Ce réseau d'interconnexion est le premier réseau à avoir été commercialisé "clé en main" avec une plate-forme de développement rapide et efficace ce qui en fait un succès auprès de nombreux industriels (grâce à une bibliothèque complète de plusieurs blocs IP).

SiliconBackplane utilise le protocole de communication OCP, la figure 1.23 en montre une vue générale.

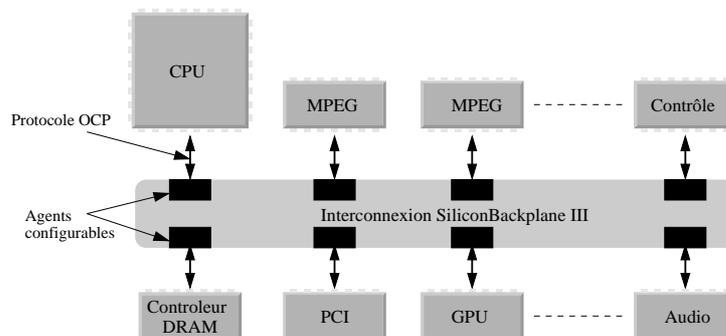


FIG. 1.23 – Implémentation possible de l'interconnexion intégrée SiliconBackplane III.

Principales spécifications D'après Sonics, le système SiliconBackplane possède les caractéristiques suivantes :

- Des estimateurs permettent d'analyser les performances globales (QoS) du réseau d'interconnexion en fonction des blocs IP qui y sont connectés.

⁴⁶Sonics - <http://www.sonicsinc.com>.

- Le réseau est configurable et scalable et permet d'atteindre des débits jusqu'à 4 Go/s (horloge à 300 Mhz). Les largeurs du bus de données peuvent aller de 32 à 128 bits.
- Il est possible de connecter de la mémoire externe (DRAM).
- L'architecture de communication est distribuée ce qui facilite le "floorplanning" des blocs IP.
- Le "Multicast" et/ou "broadcast"⁴⁷ sont possibles.
- Le "Multithread" est garanti (dans la définition établie par Sonics, il est possible que plusieurs initiateurs du système communiquent simultanément sur le réseau), mais les spécifications ne précisent pas si un arbitre est nécessaire pour ce fonctionnement.

Le réseau d'interconnexion SiliconBackplane est reconnu et est très utilisé dans le monde industriel dès lors que les applications visées concernent le multimédia et que les débits restent raisonnables (quelques centaines de Mo/s).

Sonics propose une version de ce bus, SonicsMX [WEB-05], pour des applications mobiles (PDA⁴⁸, téléphonie mobile 3G) caractérisées par une consommation réduite.

LE BUS CORECONNECT

Généralités CoreConnect est développée par la société IBM⁴⁹; son principe de fonctionnement est similaire à celui du bus AMBA. En effet, CoreConnect est constitué de deux "sous-bus" : le bus PLB⁵⁰ à haut débit, et le bus OPB⁵¹ pour les ressources nécessitant un débit plus faible et permettant de désengorger le bus principal PLB. L'architecture de l'interconnexion CoreConnect contient donc une passerelle entre ces deux bus.

La figure 1.24 présente une vue schématique de l'architecture du bus CoreConnect. Le bus DCR⁵² est un bus spécifique qui permet de synchroniser certaines fonctions (processeurs, mémoires, etc.) qui sont interconnectées au bus CoreConnect.

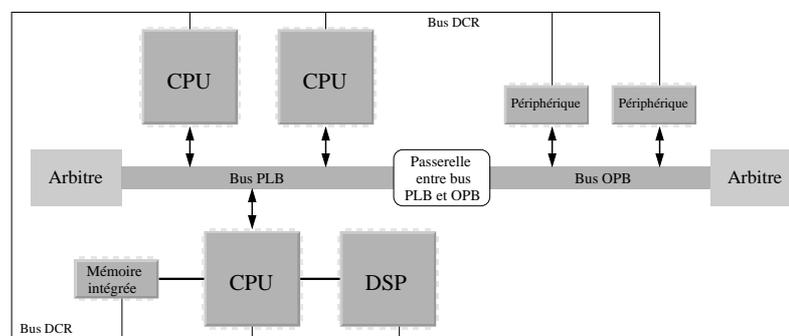


FIG. 1.24 – Architecture possible d'un système sur puce intégrant un bus CoreConnect.

⁴⁷Cette méthode permet d'envoyer la même source d'information à plusieurs destinataires. Dans le cadre des télécoms, cette méthode peut servir à envoyer un flux audio/vidéo identique à plusieurs destinataires cibles (réseau câblé de télévision par exemple). Dans le cadre d'un processeur, cette méthode est très souvent utilisée pour la "cohérence de cache" qui permet de vérifier si les données inscrites dans les différentes mémoires caches d'un processeur sont cohérentes du point de vue de leur valeur (la même donnée présente dans les différentes mémoires caches doit avoir la même valeur).

⁴⁸Personal Digital Assistant.

⁴⁹IBM - <http://www.ibm.com>.

⁵⁰Processor Local Bus.

⁵¹On-chip Peripheral Bus.

⁵²Device Control Register.

Un kit de développement est disponible pour développer les applications utilisant CoreConnect.

Spécifications des bus Le bus PLB a une largeur de 32 à 128 bits (avec une extension possible à 256 bits).

Le bus est complètement synchrone et permet d'interconnecter jusqu'à 8 initiateurs. Les bus d'adresses de lecture et d'écriture sont séparés (ceci permet l'utilisation des "*split transactions*" ce qui augmente la bande passante disponible sur le réseau). Le mode rafale et le "pipelinage" sont supportés. L'arbitrage permet de gérer la bande passante disponible grâce à des algorithmes de gestion complexes.

Le bus OPB est totalement synchrone, il comprend un bus d'adresses et un bus de données chacun sur 32 bits. Le bus OPB dispose d'un arbitre qui peut gérer jusqu'à 4 initiateurs. L'échange d'une donnée entre un initiateur et une cible est géré en un cycle d'horloge.

CoreConnect possède un troisième "sous-bus" : le bus DCR. Il permet de synchroniser et de transmettre des données entre les registres généraux (GPR, General Purpose Register) des ressources. En gérant la configuration des registres, le bus DCR réduit la "charge" du bus PLB, il est complètement synchrone, les adresses ont une largeur de 10 bits et les données de 32 bits.

Performance Les performances annoncées par IBM pour les différentes versions de CoreConnect sont présentées dans la table 1.3 (Pour le bus 128 bits il ne s'agit que d'estimations).

TAB. 1.3 – Performances annoncées par IBM pour différentes architectures du bus CoreConnect.

Paramètre	CoreConnect 32	CoreConnect 64	CoreConnect 128
Taille du bus PLB	32 bits	64 bits	128 bits
Fréquence maximale	66 MHz	133 MHz	183 MHz
Bande passante maximale	264 Mo/s	800 Mo/s	2,9 Go/s

LE BUS AVALON

Généralités Le bus Avalon a été conçu et développé par la société Altera⁵³. Avalon est une architecture de bus configurable synchrone (8, 16 ou 32 bits) en fonction des ressources qui y sont connectées. Une requête est traitée en un cycle d'horloge. La figure 1.25 [ALT-03] montre un exemple d'utilisation de ce bus.

Spécifications Avalon est capable de gérer plusieurs initiateurs, l'arbitre est directement encapsulé dans le bus. Plusieurs initiateurs peuvent communiquer simultanément, s'ils ne font pas appel à la même cible au même temps de cycle du bus. Les adresses (codées sur 32 bits), les données et les signaux de contrôle ont leurs propres canaux.

Des transmissions de type "*streaming*"⁵⁴ sont possibles avec le bus Avalon ; de plus, l'arbitre peut allouer à un couple initiateur/cible exigeant un surplus de bande passante pendant une période transitoire.

Le bus Avalon est souvent utilisé dans les FPGA⁵⁵ de Altera configurés en processeur NIOS par exemple.

⁵³ Altera - <http://www.altera.com>.

⁵⁴ Long flux de données devant être transmis d'un initiateur vers une cible, pour la vidéo par exemple.

⁵⁵ Field-Programmable Gate Array.

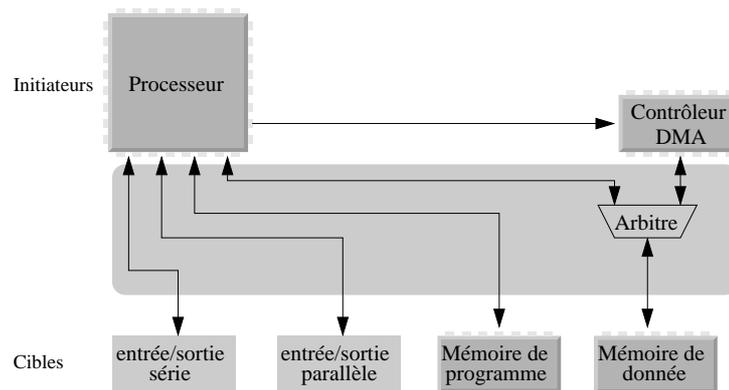


FIG. 1.25 – Exemple d'architecture du bus Avalon “multi-initiateurs”.

Un kit de développement (SOPC⁵⁶ Builder) est disponible, il permet d'optimiser les communications et de vérifier le fonctionnement d'une transaction.

Les autres bus d'interconnexion

D'autres interconnexions de type bus partagé existent, mais leurs performances sont assez limitées et leurs applications sont très spécifiques. Les plus connues sont listées ci-dessous :

- Le bus CoreFrameC de PalmChip Corporation⁵⁷.
- Le PI-Bus⁵⁸ (Peripheral Interconnect Bus) est une architecture de bus normalisée en 1996 par des industriels européens (organisation OMI⁵⁹ dont font partie entre autres 3M, Alcatel, Altera, Hewlett-Packard, Phillips, Siemens, ...). Les modes rafales et “pipeline” sont possibles avec le PI-Bus. Le PI-Bus est une architecture synchrone, qui possède un bus de données sur 64 bits et un bus d'adresses de 30 bits. Un arbitre contrôle l'accès au bus. Il est à noter que l'arbitre fait également office de décodeur d'adresse ; c'est lui qui decode l'adresse et qui sélectionne la cible visée. Les algorithmes d'arbitrages sont adaptables et plusieurs stratégies permettent de partager les ressources du bus. Il ne prend pas en charge la cohérence de cache et le *broadcast* et n'autorise pas une modification dynamique de la taille de bus.
- Le bus FPI⁶⁰ est développé par la société Infineon Technologies⁶¹, il possède un bus d'adresses et un bus de données chacun de 32 bits. Ce bus est utilisé la plupart du temps dans le microcontrôleur 32 bits *TriCore* de Infineon Technologies qui est une structure RISC. Ce bus a donc été développé pour une application très précise et n'est pas évolutif pour d'autres applications que celles d'Infineon Technologies.
- Le bus SuperHyway, interconnexion pour système sur puce, est développé et conçu par la société SuperH⁶². Il y a 3 différents types d'architectures synchrones pour cette interconnexion, dénommés : *i) type 1* (utilisée pour connecter des périphériques de faible bande passante qui possèdent des largeurs de bus entre 8 et 64 bits), *ii) type 2* (utilisée

⁵⁶System On a Programmable Chip.

⁵⁷PalmChip Corporation - <http://www.palmchip.com>.

⁵⁸<http://www.sussex.ac.uk/Units/vlsi/projects/pibus/pimenu.html>.

⁵⁹Open Microprocessor systems Initiative.

⁶⁰Flexible Peripheral Interconnect.

⁶¹Infineon Technologies - <http://www.infineon.com>.

⁶²SuperH - <http://www.superh.com>.

pour connecter des périphériques possédant une largeur de bus comprise entre 8 et 256 bits, elle gère les transactions pipelinées et les *split transaction*) et *iii) type 3* (largeur maximale de 1024 bits). Ces trois bus peuvent être interconnectés par des passerelles. Les interfaces entre l'interconnexion et les blocs IP qui y sont connectés sont proches des *wrappers* VCI.

- Le bus i²c de Philips⁶³ est développé pour les applications vidéo. Il est bien adapté pour les très faibles consommations (systèmes embarqués). De plus il a un grand choix de tensions d'alimentation. Il possède 2 bus : le SDA (Serial DATA line) et le SCL (Serial Clock Line). Chaque initiateur et chaque cible possèdent une adresse fixe et unique pour qu'ils puissent communiquer facilement entre eux à tout moment. C'est un bus "multi-initiateurs" avec un arbitrage interne. Le bus est bidirectionnel sur 8 bits et sa vitesse de transfert peut aller de 100 kbit/s à 3,4 Mbit/s dans le mode rapide. Ces taux de transfert sont assez faibles pour les SoC actuels.

Résumé des spécifications des bus et des réseaux partagés

Les tables 1.4 et 1.5 résument les différents bus partagés présentés précédemment en indiquant les principales caractéristiques fournies par les sociétés qui les développent. L'abréviation "NC" signifie que la caractéristique concernée n'est pas communiquée.

TAB. 1.4 – Résumé des principales spécifications des bus partagés - série 1 (✓ : oui - X : non).

Nom	AMBA AHB	AMBA ASB	AMBA APB	CoreConnect PLB	CoreConnect OPB
Société	ARM	ARM	ARM	IBM	IBM
Année de développement	1999	1999	1999	1999	1999
Protocole	AXI	AXI	AXI	<i>natif</i>	<i>natif</i>
Plate-forme	ADK	ADK	ADK	Bus Model Toolkits	Bus Model Toolkits
Initiateur	Multiple	Multiple	1	8	4
Largeur maximale (add.)	1024 (&32)	256 (&32)	32 (&32)	256 (&32)	32 (&32)
Débit maximal	NC	NC	NC	2.9 Go/s (128 bits)	NC
Bus pipeliné	✓	✓	X	✓	X
Mode rafale	✓	✓	X	✓	✓

TAB. 1.5 – Résumé des principales spécifications des bus partagés - série 2 (✓ : oui - X : non).

Nom	STBus	SiliconBackplane III	SonicsMX	Avalon	PI-Bus	FPI	SuperHyway
Société	STM	Sonics	Sonics	Altera	OMI	Infineon	SuperH
Année de développement	2004	2002	2004	2003	1996	2001	2003
Protocole	<i>natif</i>	OCP	OCP	SPI	<i>natif</i>	<i>natif</i>	VCI
Plate-forme	NC	SonicsStudio	SonicsStudio	SOPC Builder	NC	NC	AEDK
Initiateur	Multiple	Multiple	Multiple	Multiple	Multiple	Multiple	Multiple
Largeur maximale (add.)	NC	128	NC	32 (&32)	64 (&30)	32 (&32)	1024
Débit maximal	NC	4 Go/s	NC	NC	5 Gbit/s (64 bits)	NC	64 bits@200 MHz
Bus pipeliné	NC	NC	NC	NC	✓	✓	✓
Mode rafale	NC	✓	✓	✓	✓	NC	NC

⁶³<http://www.semiconductors.philips.com/markets/mms/protocols/i2c/>.

1.3.3 Les réseaux directs et indirects

Les limitations des réseaux d'interconnexion basés sur les bus ont conduit de nombreux laboratoires universitaires⁶⁴ à étudier de véritables réseaux intégrés (NoC). Dans cette partie, sans prétendre être exhaustif, nous décrirons les principales architectures proposées.

Présentation générale

Les SoC du futur pourront compter quelques dizaines, voire quelques centaines, de ressources. Les architectures à base de bus sont inadaptées pour interconnecter ces ressources. Un NoC [OGR-05, WAN-05] est constitué de nœuds reliés avec quelques plus proches voisins (les interconnexions entre les nœuds du réseau sont appelées des bus).

Si chaque nœud est associé à une ressource, le réseau est dit direct ; dans le cas contraire, il est dit indirect (cf. section 1.2.3). En général chaque nœud est associé à un nombre de ressources faible (inférieur à 10).

Un réseau sera en général conçu pour être scalable, lorsque le nombre de ressources à interconnecter augmente, les ressources matérielles de l'interconnexion (et sa complexité) augmentent, ainsi que le débit maximal du réseau.

En général, les études menées sur les architectures de NoC s'accompagnent du développement de plate-forme permettant d'estimer leurs performances [NOL-05, GEN-05, STE-05a].

ARTERIS NoC

L'architecture Arteris NoC est développée par la société Arteris⁶⁵, première société à commercialiser un réseau intégré. La figure 1.26 présente la vue simplifiée d'une application possible utilisant ce réseau d'interconnexion.

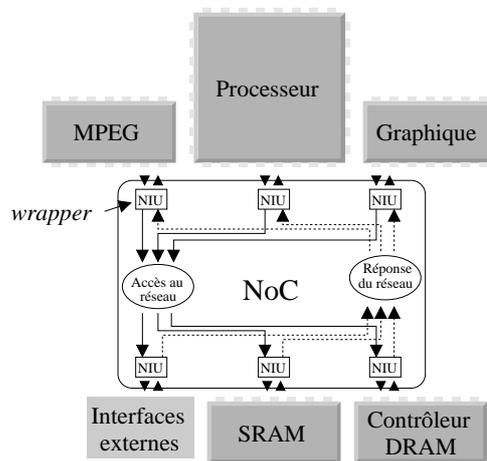


FIG. 1.26 – Architecture du réseau d'interconnexion Arteris NoC.

Ce réseau utilise un transfert de données utilisant le routage par paquets entre des *switches* (réseaux indirects). La topologie du réseau n'est pas figée, un outil de développement permet de la

⁶⁴Ainsi lors des 4 dernières années de la conférence DATE, une session spéciale a été consacrée au NoC.

⁶⁵Arteris - <http://www.arteris.net>.

choisir en fonction de l'application. Des *wrappers* (NIU⁶⁶) permettent d'assurer la compatibilité des blocs IP avec le réseau et son protocole de communication.

Les principales spécifications du réseau Arteris sont les suivantes : les bus ont une largeur de 16 à 64 bits et fonctionnent à la fréquence maximale de 750 MHz (en technologie CMOS 90 nm), la scalabilité atteint quelques dizaines de ressources, les protocoles OCP et AMBA sont supportés.

LE RÉSEAU RAW

L'architecture RAW⁶⁷ est un exemple classique de réseau d'interconnexion utilisant un maillage de blocs élémentaires identiques reliés par des routeurs, avec la possibilité de stockage local des données dans chaque bloc élémentaire [WAI-97, BAB-97].

La figure 1.27 présente une vue simplifiée de l'architecture RAW. Les routeurs sont interconnectés avec leurs proches voisins, chaque nœud est constitué d'un routeur et d'un processeur associé à sa mémoire locale. L'application visée est du type MPSoC⁶⁸.

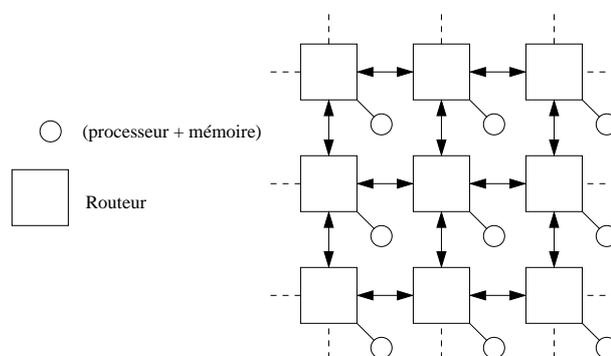


FIG. 1.27 – Architecture du réseau d'interconnexion RAW.

La matrice d'interconnexion RAW est reconfigurable dynamiquement, c'est-à-dire que le chemin emprunté par le flux de données entre un émetteur et un récepteur peut changer en fonction de la disponibilité des routeurs.

Jusqu'à aujourd'hui l'architecture RAW [TAY-05] n'a pas été intégrée, elle a été utilisée pour connecter, au niveau carte, des DSP de la société Xilinx⁶⁹.

LE RÉSEAU SPIN

Généralités Le réseau SPIN⁷⁰, développé par le laboratoire LIP6, est un réseau d'interconnexion basé sur la commutation de paquets, il utilise le protocole de communication VCI.

Architecture du réseau SPIN L'architecture de SPIN est un arbre élargi comme le montre la figure 1.28 [GUE-00]. Les bus entre les nœuds sont bidirectionnels (32 bits de données et 4 bits qui permettent de définir la destination et le destinataire).

⁶⁶Network Interface Unit.

⁶⁷Raw Architecture Workstation - <http://cag.csail.mit.edu/raw/>.

⁶⁸Multi-Processor System on Chip.

⁶⁹Xilinx - <http://www.xilinx.com>.

⁷⁰Scalable Programmable Integrated Network.

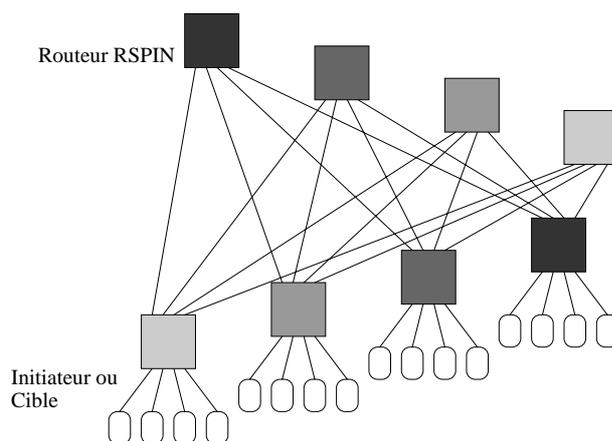


FIG. 1.28 – Architecture du réseau d'interconnexion SPIN.

Un réseau SPIN capable d'interconnecter 32 ressources (16 initiateurs et 16 cibles) comporte 1 390 464 transistors et possède une surface de $4,6 \text{ mm}^2$ en technologie CMOS $0,13 \mu\text{m}$ [AND-03].

Chaque nœud du réseau est un routeur RSPIN (figure 1.29). Un routeur RSPIN est un *crossbar* 10×10 qui permet de transmettre une entrée parmi 8, vers n'importe laquelle des 8 sorties. Deux entrées et deux sorties internes permettent de mémoriser un message lorsque le destinataire suivant n'est pas disponible. Cette méthode permet bien évidemment de lutter contre la contention du réseau. La latence moyenne d'un routeur RSPIN est de 2,5 cycles d'horloge, sa surface est de $0,24 \text{ mm}^2$ en technologie CMOS $0,13 \mu\text{m}$.

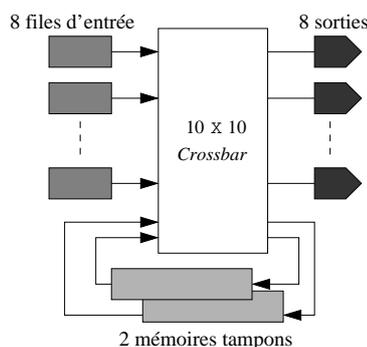


FIG. 1.29 – Architecture du routeur RSPIN.

Les deux stratégies de commutation ont été étudiées, la commutation de paquets et la commutation de circuits. Il a été prouvé que pour ce réseau, l'apport de la commutation de paquets n'est pas significatif (la réduction de la contention due à une commutation de paquets est largement compensée par le coût en surface de silicium). Une fois un chemin de routage ouvert entre un initiateur et sa cible, le transfert de données se fait à un débit de $6,4 \text{ Gbit/s}$.

LE RÉSEAU NOSTRUM

Nostrum [KUM-02, MIL-04] a été développé par le laboratoire LECS⁷¹ à l’université KTH⁷² (Stockholm.). Nostrum (figure 1.30) est un réseau direct où chaque nœud est associé à une ressource.

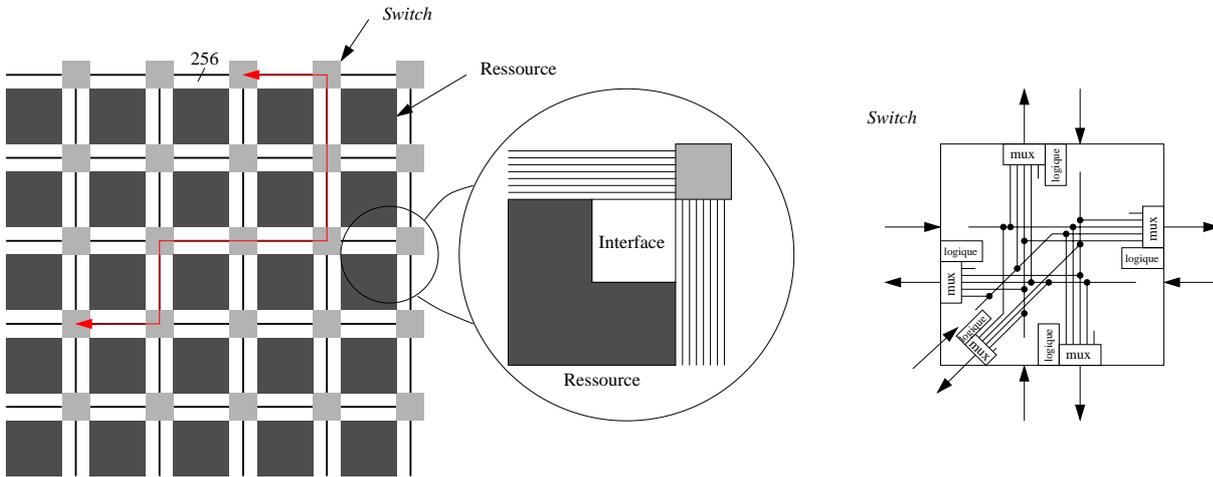
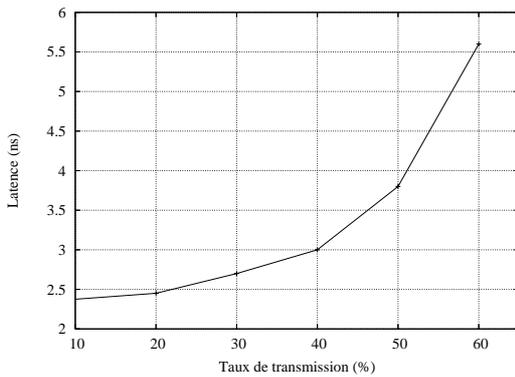
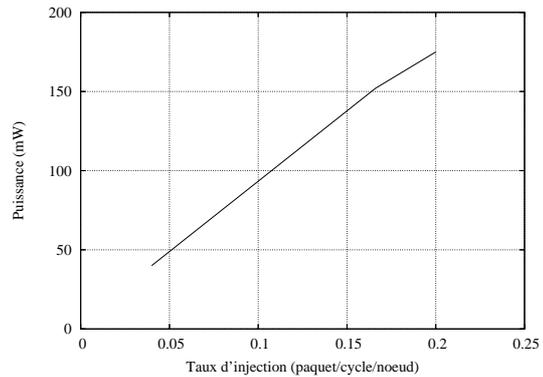


FIG. 1.30 – Architecture de l’interconnexion Nostrum.

Le maillage de Nostrum est régulier : un *switch* est connecté à 4 *switch*s (proches voisins) et à une ressource locale, une ressource est connectée à un *switch* (figure 1.30). Les communications possibles dans l’interconnexion sont donc de deux types : *switch*-à-*switch* et/ou *switch*-à-ressource. Les communications de données *switch*-à-*switch* sont bidirectionnelles de 256 bits.



(a) Contention en fonction de la charge.



(b) Consommation.

FIG. 1.31 – Simulations du réseau Nostrum 4 × 4.

Pour une architecture à 16 ressources de 2 mm × 2 mm chacune, la surface globale de la puce sera de 22 mm × 22 mm en technologie CMOS 60 nm [KUM-02]. Chaque ressource a une

⁷¹Laboratory of Electronics and Computer Systems.

⁷²Kungliga Tekniska Högskolan.

adresse unique et communique avec le réseau par l'intermédiaire d'un *wrapper* (RNI⁷³).

La taille des buffers des *switches* joue un rôle important sur la contention du réseau. La stratégie de routage est donc importante.

Il a été montré que pour Nostrum à 16 ressources (4×4) la contention commence à être prépondérante vers 60 % [NIL-04] (figure 1.31(a)). La consommation du réseau pour plusieurs stratégies de routage a aussi été étudiée [LU-05] (figure 1.31(b)).

LE RÉSEAU SoCBUS

L'architecture SoCBus [LIU-02, WIK-05, WIK-02] est un NoC direct, basé sur la commutation de paquets, développée à l'université de Linköping. Son architecture et sa topologie sont identiques à celles du réseau Nostrum. Le débit maximal alloué à une transmission est environ 2,6 Gbit/s.

LE RÉSEAU ÆTHEREAL NoC

L'interconnexion Æthereal NoC [RÄD-05] est développée par un laboratoire de recherche de la société Philips⁷⁴. Sa topologie générale correspond à un réseau indirect (présentée sur la figure 1.32) [GOO-05].

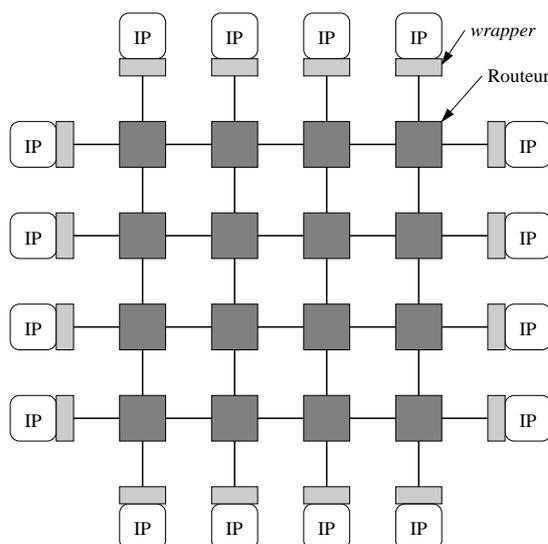


FIG. 1.32 – Architecture de l'interconnexion Æthereal NoC.

La largeur des bus (bidirectionnel) entre les routeurs est de 32 bits et autorise un débit maximal par lien de 16 Gbit/s, en technologie CMOS 0,13 μm . Le principe d'initiateur-cible est présent avec des stratégies de routages spécifiques, dont la commutation de circuits (qui garantit une arrivée des paquets dans l'ordre) et la commutation de paquets (utilisation maximale du débit mis à disposition du réseau).

⁷³Ressource Network Interface.

⁷⁴<http://www.homepages.inf.ed.ac.uk/kgoossen/www/research.html>.

LE RÉSEAU PROTEO

Le réseau Proteo [SIG-02b] est développé à l'université technologique de Tampere. La figure 1.33 présente sa topologie générale [SIG-02a]. Proteo est un NoC qui permet d'interconnecter plusieurs sous-systèmes entre eux, dont leurs ressources sont elles-mêmes connectées entre elles par un sous-réseau. Il y a deux types de composants : des routeurs dans les sous-réseaux et des passerelles entre les sous-réseaux [AHO-04]. Proteo est un NoC utilisant la méthode de commutation de paquets [SAA-02] et est compatible avec le protocole VCI.

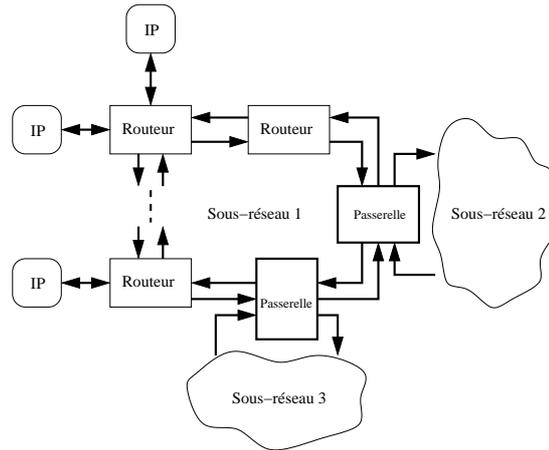


FIG. 1.33 – Architecture de l'interconnexion Proteo.

×PIPES LITE

×pipes Lite [STE-05b] est une librairie de *wrappers*, de *switchs* et de liens pour réaliser un NoC utilisant la commutation de paquets. L'architecture du réseau n'est donc pas figée, et plusieurs topologies sont disponibles, comme un réseau direct ou indirect par exemple. ×pipes utilise le protocole OCP.

Des estimations de performances ont été réalisées pour la technologie CMOS 0,13 μm : les *wrappers* (avec 64 buffers et 128 bits de largeur de bus) consomment environ 380 mW pour une surface de 0,7 mm^2 , les *switchs* 6 \times 6 (avec 16 buffers et 128 bits de largeur de bus) fonctionnent à 800 MHz et consomment environ 450 mW pour une surface de 1 mm^2 [STE-05b].

MANGO NoC

MANGO⁷⁵ NoC [BJE-05b, BJE-05a] est un réseau direct dont l'architecture est identique à celle de Nostrum. Chaque nœud est associé à une ressource et à ses 4 proches voisins. Ce qui différencie ces deux réseaux est l'implémentation du routeur et le protocole de communication.

Une implémentation d'un routeur en technologie 0,13 μm correspond à une surface de 0,188 mm^2 pour une largeur de bus de 32 bits et à une fréquence maximale de fonctionnement à 795 MHz.

⁷⁵Message passing Asynchronous Network-on-chip providing Guaranteed services over OCP-interface.

Résumé des spécifications des NoC

Le tableau 1.6 résume les différentes caractéristiques des réseaux d'interconnexion intégrés présentés précédemment. L'abréviation "NC" signifie que la caractéristique concernée n'est pas communiquée par les concepteurs.

TAB. 1.6 – Résumé des principales spécifications des NoC (✓ : oui - X : non).

Nom	Arteris NoC	RAW	SPIN	Nostrum	SoCBus	Æthereal	Proteo	MANGO
Société	Arteris	IBM				Philips		
Université		MIT	LIP6	LECS-KTH	Linköping		Tampere	IMM-DTU
Année de développement	2005	1997	1999	2000	2000	2002	2002	2002
Commutation circuit	✓	NC	✓	NC	✓	✓	NC	✓
Commutation paquet	✓	✓	✓	✓	✓	✓	✓	✓
Protocole	OCP & AXI	<i>natif</i>	VCI	<i>natif</i>	<i>natif</i>	OSI	VCI	OCP
Initiateur	Multiple	Multiple	Multiple	Multiple	Multiple	Multiple	Multiple	Multiple
Largeur des bus	16 à 64	32	32	128	64	32	NC	32
Horloge	750 MHz	500 MHz	200 MHz	NC	1,2 GHz	500 MHz	NC	795 MHz

1.3.4 Résumé des principales caractéristiques et limitations des interconnexions intégrées

La table 1.7 résume les principales différences entre les bus partagés et les réseaux directs et indirects.

TAB. 1.7 – Comparaison entre les bus partagés et les réseaux d'interconnexion.

Bus partagé	Réseau d'interconnexion (NoC)
Plate-forme de développement	Plate-forme de développement
Arbitre central	Arbitre dans chaque nœud du réseau ou arbitre global au réseau
Phénomène de latence important	Phénomène de latence réduit
Routage déterministe	Commutation de paquet et de circuit (Chemin de routage adaptatif ou déterministe)
Nombre de ressources maîtres/initiateurs < 10	Nombre de ressources maîtres/initiateurs > 10
Pas/peu scalable	Fortement scalable

1.4 Conclusion

À court terme, les systèmes sur puce domineront de plus en plus le marché des circuits intégrés. Leur complexité ainsi que leurs performances deviendront de plus en plus élevées (implications de la loi de Moore).

Le réseau d'interconnexion deviendra à terme le goulot d'étranglement du développement des systèmes. Les architectures fondées sur des bus atteignent dès aujourd'hui leurs limites, aussi de nouvelles architectures fondées sur des réseaux commencent à être envisagées.

Néanmoins des alternatives technologiques sont susceptibles de repousser les limites des interconnexions métalliques. L'optique intégrée peut être un bon candidat.

Chapitre 2

Problématique : les interconnexions métalliques et l'alternative optique

Dans cette partie, nous résumerons tout d'abord les résultats principaux concernant les limitations apportées par les interconnexions métalliques dans les SoC, puis nous présenterons succinctement le concept d'interconnexion optique *above IC* développé au LEOM, enfin nous montrerons qu'il est possible d'utiliser des composants d'optique intégrée pour réaliser un NoC.

2.1 Limites technologiques et physiques des interconnexions métalliques

2.1.1 Introduction

Le rôle des interconnexions dans un SoC est de transmettre des signaux entre ses différentes parties. Les performances d'une interconnexion sont caractérisées par *i)* la latence, *ii)* la puissance consommée dans l'interconnexion et *iii)* le débit maximal qu'elle supporte. De plus dans les réseaux très complexes du futur, la contention devient un paramètre essentiel. Dans l'état actuel de la technologie, les réseaux d'interconnexion intégrés sont réalisés sur plusieurs couches métalliques (de cuivre).

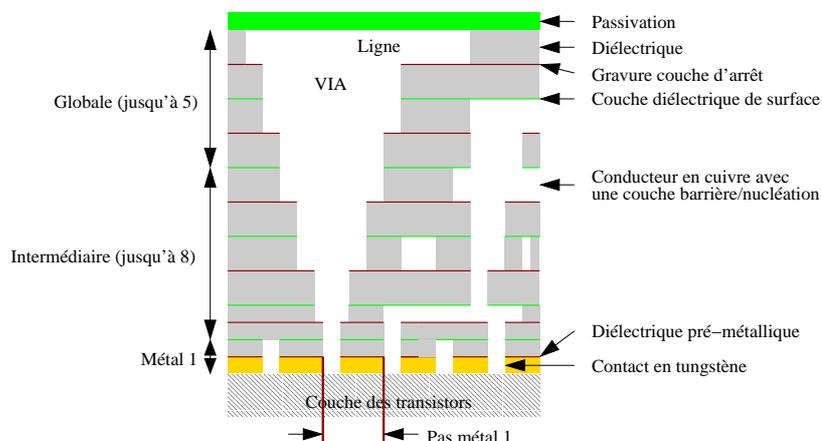


FIG. 2.1 – Section d'un circuit intégré à plusieurs couches métalliques (source : ITRS).

La figure 2.1 donne un schéma de ces différentes couches métalliques. Au fur et à mesure de l'évolution de la technologie, le besoin d'interconnectabilité des circuits augmente (de plus en plus de composants élémentaires doivent être électriquement interconnectés) si bien que le nombre de couches métalliques augmente. La figure 2.2 montre l'évolution du nombre de couches métalliques pour les futurs systèmes intégrés. De plus, le coût technologique de réalisation des interconnexions est du même ordre de grandeur que celui du *front-end*.

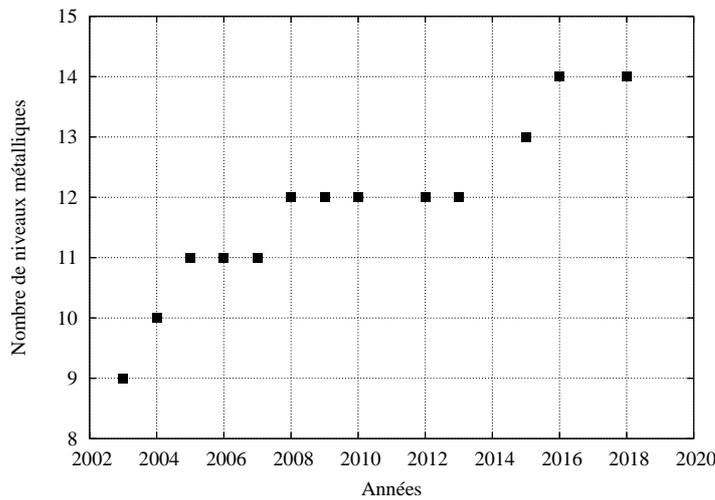


FIG. 2.2 – Évolution du nombre de couches métalliques.

La figure 2.3 [KAN-90] donne une répartition typique de la longueur des interconnexions sur un circuit actuel. On distingue en général les interconnexions globales (longues et peu nombreuses, quelques centaines à quelques milliers) et les interconnexions locales. On montre que la diminution du paramètre technologique affecte peu les performances des interconnexions locales, par contre il est de plus en plus coûteux (puissance consommée, répéteurs) de réaliser des interconnexions globales susceptibles de transporter des signaux à des fréquences toujours croissantes.

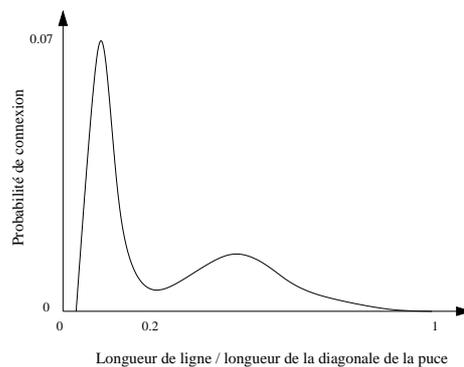


FIG. 2.3 – Distribution classique de la longueur des lignes métalliques dans un système intégré.

Depuis plusieurs années, différents groupes ont étudié la possibilité d'intégrer des interconnexions optiques pour diminuer les contraintes qui pèsent sur les interconnexions métalliques globales.

2.1.2 Les principaux paramètres limitatifs des interconnexions métalliques

L'évolution des technologies de fabrication, qui se traduit par la diminution de la taille des lignes métalliques et des transistors, conduit à un goulot d'étranglement : les interconnexions ne peuvent plus être considérées comme des équipotentielles ; la transmission des signaux n'est plus instantanée.

Une ligne métallique peut être en première approximation modélisée par le schéma de la figure 2.4. Les éléments parasites, principalement, R et C conduisent à réduire la vitesse de propagation des signaux dans les lignes. La réduction du paramètre technologique conduit pour une ligne de dimension minimale à une augmentation de la résistance linéique (par la réduction de la section de l'interconnexion) et de la capacité linéique (à cause du rapprochement des pistes métalliques¹ comme le montre la figure 2.5).

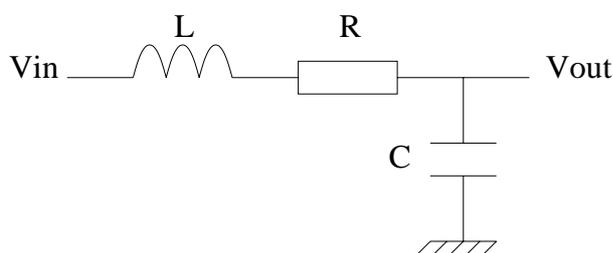


FIG. 2.4 – Modélisation d'une ligne métallique.

Les contraintes temporelles portent bien sûr principalement sur les interconnexions globales, aussi ces dernières sont-elles routées sur les dernières couches métalliques afin, en augmentant leur largeur, leur épaisseur et leur espacement, de réduire la constante de temps RC . Néanmoins les interconnexions globales nécessitent des répéteurs qui consomment une surface de silicium et une puissance électrique considérables [TOS-04].

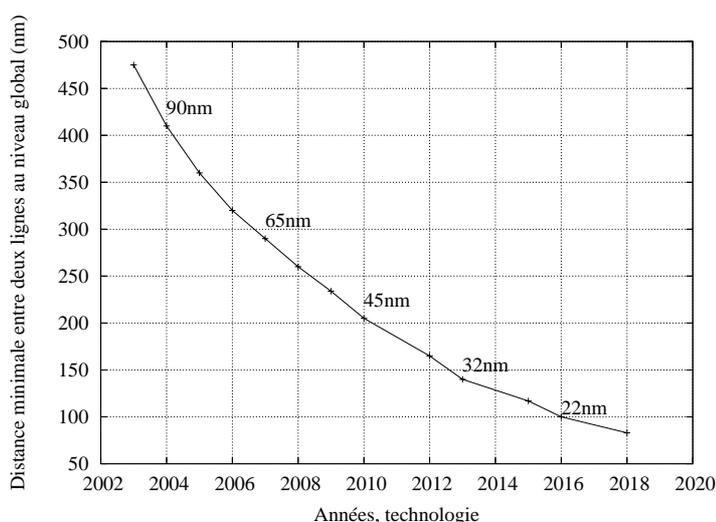


FIG. 2.5 – Évolution de la distance minimale entre deux lignes métalliques.

¹Cependant l'évolution de la permittivité des diélectriques permet de réduire les capacités interlignes.

Deux types d'effets capacitifs apparaissent : *i*) la capacité propre de chaque ligne métallique et *ii*) les capacités de couplage entre lignes voisines.

Dans les circuits intégrés fortement submicroniques, les capacités de couplage sont prépondérantes [DEL-96]. Elles sont à l'origine d'au moins deux effets négatifs : la réduction de la vitesse de transmission des signaux et l'apparition de diaphonie pouvant conduire à des erreurs de transmission.

La figure 2.6 illustre le goulot d'étranglement que présentent les interconnexions métalliques. Elle donne pour les nœuds technologiques successifs l'évolution du temps de propagation des signaux dans les portes logiques et dans les lignes d'interconnexion.

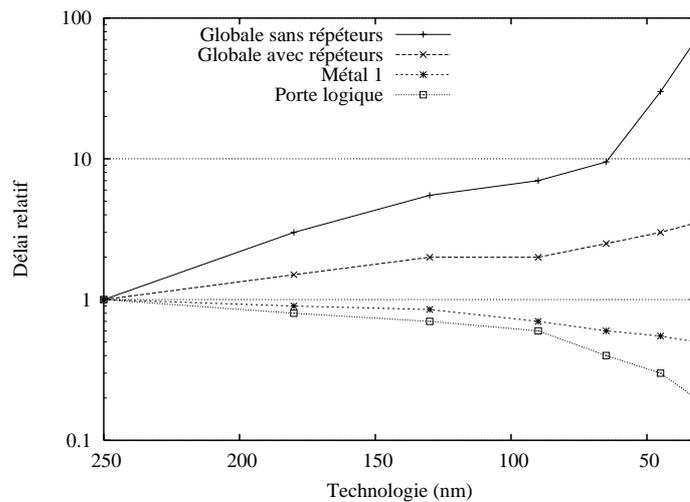


FIG. 2.6 – Évolution du délai relatif des différents niveaux d'interconnexion en fonction de la technologie.

Des solutions à “court terme” sont mises en œuvre pour repousser les limites imposées par les interconnexions métalliques, ces solutions sont d'ordre technologiques et architecturales :

- Utiliser de nouveaux isolants à faible constante diélectrique pour réduire les capacités parasites (figure 2.7).
- Accentuer le *reverse scaling* qui consiste à utiliser les couches de métallisation les plus hautes pour réaliser des pistes peu résistives et peu capacitives.
- Continuer à ajouter des répéteurs sur les lignes les plus longues.
- Mettre au point des nouvelles méthodes d'intégration tridimensionnelle (cf. figure 2.8), ce qui permettra de réduire la longueur des interconnexions [BAN-01, FAN-02, DAS-04].

Ces solutions ne permettront néanmoins pas de repousser suffisamment les limites imposées par les interconnexions métalliques. L'ITRS cite ainsi les interconnexions parmi les “*grand challenges*” à surmonter.

2.1.3 Conclusion

Les trois principaux goulots d'étranglement liés aux interconnexions électriques sont :

- La constante de temps RC qui augmente le délai et limite le débit.
- La consommation.
- L'intégrité du signal transmis.

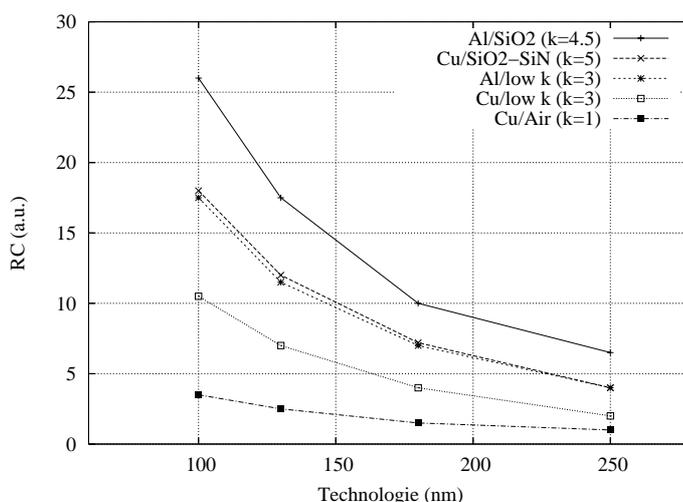


FIG. 2.7 – Évolution du délai relatif en fonction de la technologie pour différents matériaux.

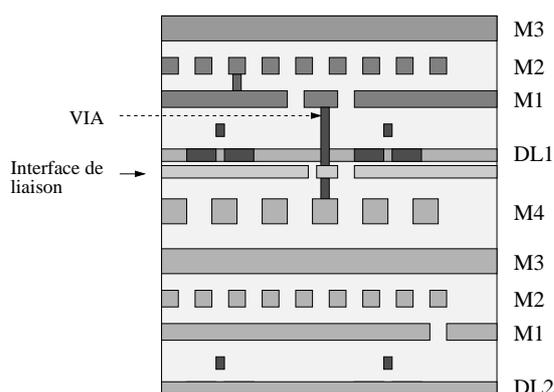


FIG. 2.8 – Intégration tridimensionnelle d'un système sur puce (M = couche de métal ; DL = Device Layer).

Pour ces trois raisons, l'alternative optique a été étudiée ces dernières années pour remplacer les interconnexions classiques, au moins pour les liens globaux. Une première étude, menée au sein du LEOM, a établi de façon quantitative une comparaison entre les performances d'un réseau de distribution d'horloge optique et électrique, pour les générations technologiques successives [TOS-04]. Dans cette étude, la liaison optique était une liaison point à point (des guides d'onde guident la lumière d'un émetteur vers un récepteur de façon analogue à une connexion métallique). Elle a montré que l'avantage apporté par l'optique ne justifie pas, sans aucun doute, l'introduction de technologies optiques, nécessairement coûteuses. Cependant l'optique peut apparaître comme une solution potentielle pour assurer le transfert massif de données des SoC du futur. De plus, l'introduction du WDM² pourrait permettre un traitement optique du signal utile dans la réalisation de NoC.

²Wavelength Division Multiplexing.

2.2 L'alternative optique

2.2.1 Introduction

Depuis plusieurs dizaines d'années les interconnexions optiques ont eu tendance à supplanter les interconnexions métalliques pour les applications de télécommunication. Les avantages principaux de l'optique résident dans la très grande bande passante disponible et dans la très faible atténuation du signal dans une fibre optique.

Comme l'illustre la figure 2.9, les interconnexions optiques ont commencé à être développées pour des communications à grande distance (réseau transocéanique par exemple) puis pour des réseaux métropolitains ou locaux (MAN³, LAN⁴), et enfin pour certaines applications qui permettent de transmettre les données à des échelles de l'ordre du mètre. Une partie de l'objectif de ce travail est d'étudier la faisabilité des interconnexions optiques pour des distances de l'ordre du centimètre.

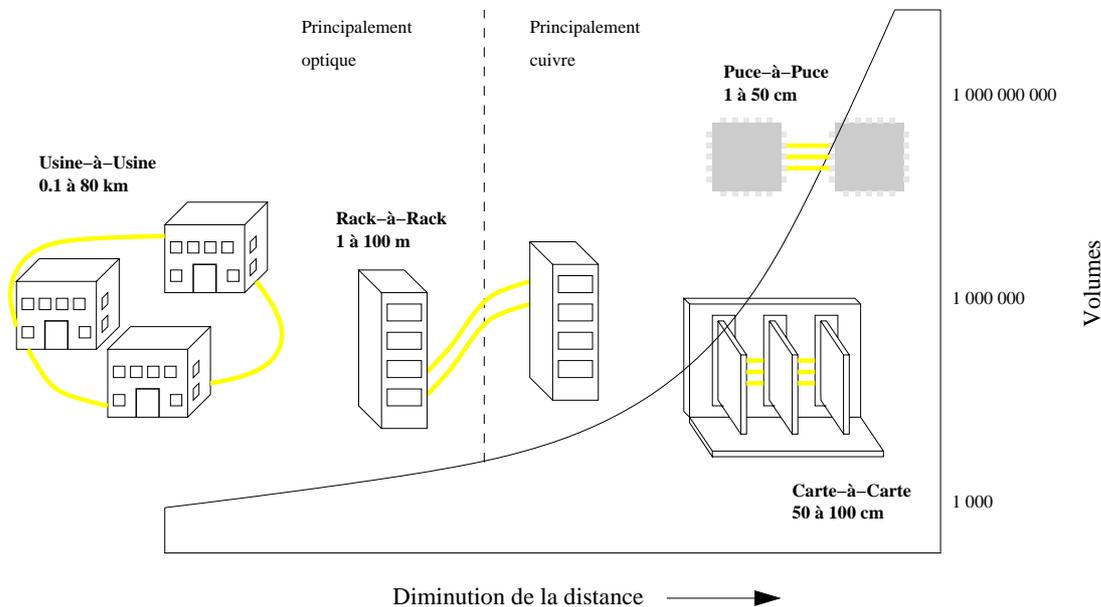


FIG. 2.9 – Évolution des interconnexions haute performance en fonction des systèmes interconnectés.

Il est d'usage de répartir les interconnexions optiques en deux grandes familles :

- Les communications en espace libre ; les applications concernées sont essentiellement des communications *rack to rack*⁵, *board to board*⁶ et *chip to chip*⁷ pour lesquelles on cherche à densifier spatialement le réseau d'interconnexion [THI-00, GRU-04, PLA-01].
- Les communications guidées, historiquement pour les applications longues distances [THO-97, AGR-02, DES-94] dans lesquelles le signal est transmis en série. Notre étude porte sur une projection de ce type de connexions pour des distances très courtes.

³Metropolitan Area Network.

⁴Local Area Network.

⁵Communications entre racks.

⁶Communications entre cartes.

⁷Communications entre puces.

Dans les applications longues distances, les données numériques sont transmises en modulant en “tout ou rien” une onde lumineuse monochromatique. Pour les réseaux WAN⁸, classiquement le débit atteint 2,5 Gbit/s avec une évolution prévisible vers des débits de 10 puis 40 Gbit/s. Le taux d'erreur par bit est de l'ordre de 10^{-9} . Le multiplexage en longueur d'onde (WDM) permet de transmettre sur une même fibre plusieurs dizaines de signaux modulés sur des longueurs d'onde distinctes.

Pour les applications visées dans ce travail, les contraintes sont différentes de celles du monde des télécommunications. En effet, la densité spatiale des interconnexions doit être très élevée (l'encombrement spatial d'un lien optique ne peut guère dépasser quelques microns). Le taux d'erreur par bit doit être beaucoup plus faible (de l'ordre de 10^{-18}), la puissance totale consommée par un lien optique doit être très faible. Il est à noter que les contraintes du taux d'erreur par bit et du débit sont contradictoires.

De plus, nous avons fait le choix d'envisager l'intégration d'interconnexion optique sur puce sans modifier le *process* de fabrication des SoC. En effet, il semble évident que la viabilité économique des interconnexions optiques intégrées impose de laisser inchangée la technologie de fabrication des systèmes, c'est-à-dire une approche “monolithique”.

2.2.2 Intégration d'un réseau d'interconnexion optique

Le chapitre 1 a mis en évidence que le réseau d'interconnexion constitue un goulot d'étranglement particulièrement sévère pour le développement des SoC. En effet, les technologies classiques d'interconnexion ne permettront pas d'atteindre les performances prévisibles de ces NoC.

Le premier objectif de cette thèse a donc été d'étudier la faisabilité d'un réseau optique de communication intégré (ONoC⁹). À partir de briques de base (matures ou en cours de développement), nous avons cherché à proposer des architectures d'ONoC et à estimer leurs performances. Nous avons en particulier développé les méthodes et les outils (donc une plateforme de conception) permettant de comparer les performances d'un ONoC au niveau système (contention, débit, puissance consommée, ressource matérielle) avec celle d'un NoC.

Les études antérieures

Depuis 1999 les différentes équipes du LEOM ont étudié les différents aspects permettant de réaliser des interconnexions optiques intégrées. Les programmes nationaux Heteropt (2001-2003) et LambdaConnect (2003-2005) ont ainsi permis de développer les concepts nécessaires à l'intégration hétérogène d'une couche optique “*above IC*” et des composants élémentaires optiques et optoélectroniques. La figure 2.10 illustre le concept d'intégration hétérogène *above IC*. L'approche est basée sur la fabrication d'une “couche optique active” positionnée au-dessus des derniers niveaux d'interconnexion métallique des circuits intégrés ou de substrat MCM¹⁰. La couche optique est constituée d'un niveau passif réalisé en technologie silicium ou SOI¹¹ (les guides d'onde) et d'un niveau actif en technologie III-V (les émetteurs et récepteurs reportés par intégration hétérogène sur le silicium). Des démonstrateurs des principales briques élémentaires (microsources laser III-V, guides d'onde en silicium monocristallin et polycristallin, couplage laser-guide) nécessaires à la réalisation de liens optiques ont été réalisés.

⁸Wide Area Network.

⁹Optical Network on Chip.

¹⁰Multi-Chip Modules.

¹¹Silicon on Insulator - les guides d'ondes sont réalisés en silicium et encapsulés dans de la silice afin que le fort gradient d'indice optique, entre les deux matériaux, confine la lumière dans les guides.

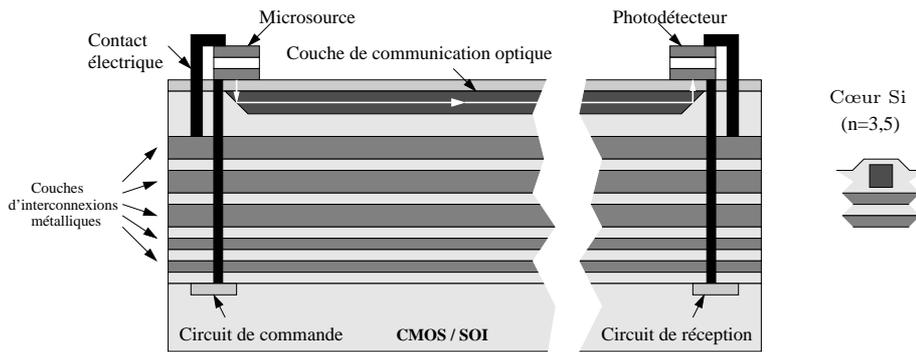


FIG. 2.10 – Technologie SOI compatible CMOS.

Une première “étude système” a été menée permettant de comparer les performances de lien optique intégré point à point avec leur homologue électrique [TOS-04]. Il a été en particulier montré que dans le cadre d’une distribution d’horloge, l’apport de l’optique ne justifie sans aucun doute pas le surcoût dû à l’intégration hétérogène.

Le projet LambdaConnect a élargi le domaine d’étude au réseau d’interconnexion optique WDM qui rend possible la réalisation d’un véritable ONoC.

Les briques élémentaires de l’ONoC

La figure 2.11 représente une architecture possible de SoC dont le réseau d’interconnexion est un ONoC : des blocs IP sont interconnectés par l’intermédiaire d’interfaces électro-optiques à un réseau optique passif (appelé λ -routeur). Les briques de base nécessaires à la réalisation de l’ONoC sont décrites dans le tableau 2.1.

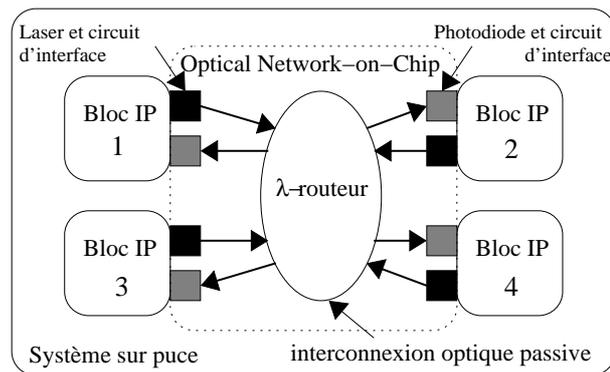


FIG. 2.11 – Vue globale d’un système sur puce intégrant un ONoC comme interconnexion.

Toutes ces briques n’ont pas la même maturité technologique. En particulier, dans l’objectif de réaliser de véritables réseaux optiques, il est sans nul doute nécessaire de développer des microsources lasers accordables et des composants de routage aux fonctionnalités plus riches que celles des composants actuels. La dernière colonne du tableau 2.1 estime la compatibilité de l’intégration de ces briques de base avec une technologie CMOS standard.

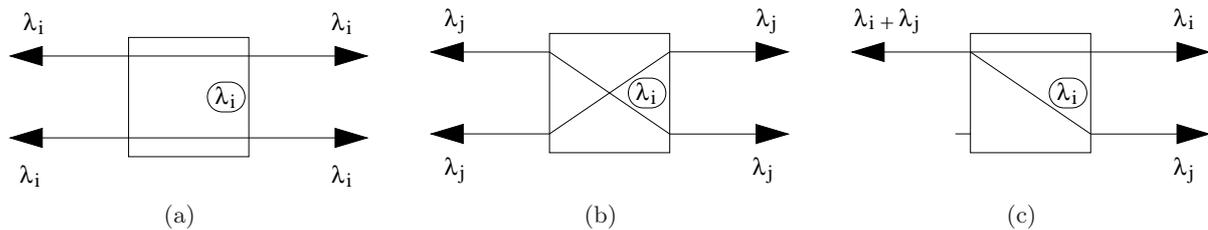
TAB. 2.1 – Les différents éléments d'un ONoC.

Élément	Technologie	Maturité technologique	Intégration CMOS
Circuit électronique d'interface	CMOS 0,13 μm	+++	
Source laser	III-V	+	-
Photodiode	III-V	++	-
Routeur optique	SOI	+	+

Briques élémentaires optiques et communications optiques dans un ONoC

Guide d'onde et transport Les guides d'onde passifs sont des guides monomodes réalisés en technologie SOI. Ils sont par nature bidirectionnels. Cette caractéristique est importante car contrairement aux lignes métalliques, il n'est donc pas nécessaire de "doubler" l'interconnexion optique dans les deux sens. Le gain de place sera donc important sur la surface finale du réseau d'interconnexion optique. De plus, sur les distances considérées, c'est-à-dire inférieures à une dizaine de centimètres, le signal optique transporté ne subira pas de dispersion.

Filtre *add-drop* et *switch* Des filtres *add-drop* permettent de réaliser des "*switchs* optiques" aux fonctionnalités évoluées. La figure 2.12 présente les différents états fonctionnels d'un *add-drop* à microdisques. Son fonctionnement physique est détaillé dans la partie II.

FIG. 2.12 – États fonctionnels d'un *switch* optique simple 2×2 .

En opposition avec les *switchs* électriques où un signal de contrôle est nécessaire pour sélectionner la sortie, les *switchs* optiques possèdent une longueur d'onde de résonance intrinsèque, déterminée lors de leur fabrication (λ_i sur la figure 2.12). En fonction de la longueur d'onde injectée dans l'un des ports de l'*add-drop*, ainsi que de la longueur d'onde de résonance du filtre, la lumière pourra être transmise, de façon passive, dans l'un des autres ports du filtre [DUM-05]. Ce *switch* optique peut donc réaliser simultanément (avec deux longueurs d'onde distinctes) les fonctions *cross* et *bar* du *switch* électrique classique (cf. figure 1.14). Les dimensions classiques de ces filtres optiques élémentaires, en technologie SOI, sont d'environ $10 \mu\text{m} \times 10 \mu\text{m}$. Ces filtres sont bidirectionnels.

WDM Dans les réseaux classiques le WDM [THO-97] permet d'augmenter le débit (par N) d'un lien en multipliant le nombre de longueurs d'onde (N longueurs d'onde) et donc de signaux dans le guide. La figure 2.13 représente une vue schématique d'une transmission WDM : plusieurs signaux (un signal est associé à une longueur d'onde) peuvent être injectés en même temps dans la fibre optique grâce à un multiplexeur. À la réception, un démultiplexeur permet de séparer les signaux.

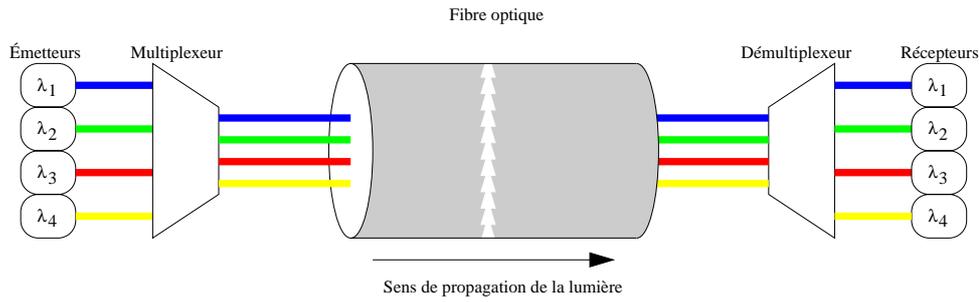


FIG. 2.13 – Technique du multiplexage en longueur d'onde.

Ce principe peut être réutilisé pour la conception d'ONoC : plusieurs longueurs d'onde peuvent utiliser le même guide. Par abus de langage, de tels réseaux sont encore dits WDM alors qu'il ne s'agit plus de routage en longueur d'onde.

2.2.3 Proposition d'une architecture de λ -routeur

Grâce aux éléments de base présentés précédemment, il est possible de fabriquer des réseaux plus complexes avec des fonctionnalités de routage avancées.

Dans le cadre de cette thèse, un réseau a tout particulièrement été étudié. Ce dernier est original et permet d'interconnecter plusieurs ressources entre elles. Ce réseau est scalable ce qui permet d'étudier une architecture et de projeter les résultats pour une architecture plus grande. La figure 2.14 présente une vue schématique de ce réseau qui permet de relier $2N$ ressources. Toutes les briques élémentaires du λ -routeur ont une fonctionnalité identique avec cependant une longueur d'onde de résonance différente sur chaque étage du réseau (λ_i , avec i de 1 à N sur la figure 2.14). Cette architecture correspond à un réseau indirect (cf. section 1.2.3).

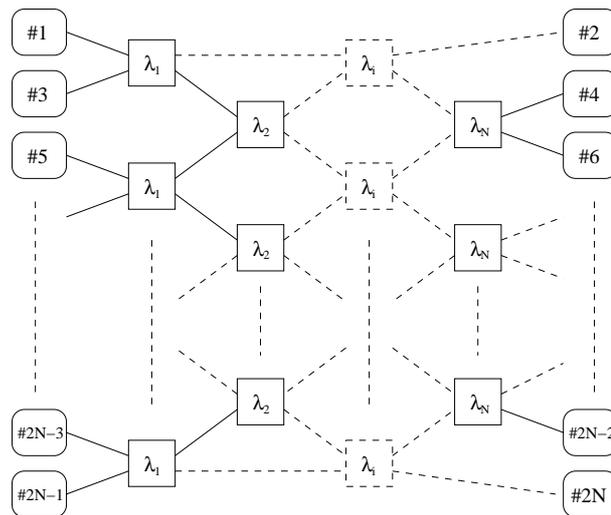


FIG. 2.14 – Vue schématique d'un λ -routeur $N \times N$ complexe.

Le fonctionnement du λ -routeur, du point de vue des entrées/sorties, peut être résumé par une table de vérité ; la table 2.2 présente un exemple pour une architecture 8×8 (figure 2.15).

Par exemple l'initiateur #1 doit communiquer avec la cible #14 par l'intermédiaire de la longueur d'onde λ_1 , ou bien l'initiateur #11 avec la cible #10 par l'intermédiaire de la longueur d'onde λ_5 .

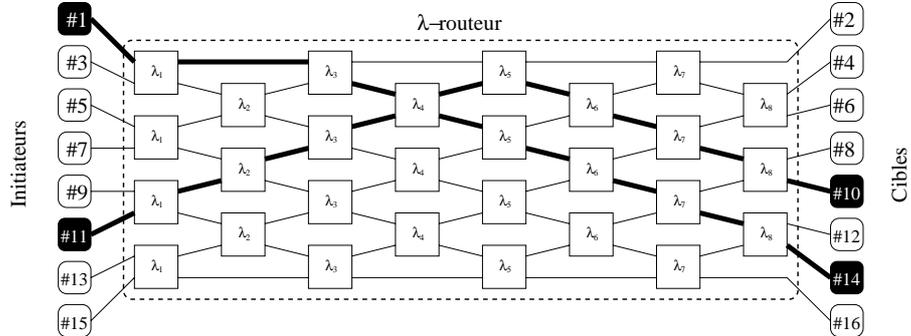


FIG. 2.15 – Vue schématique d'un λ -routeur 8×8 interconnectant 16 ressources.

TAB. 2.2 – Table de vérité d'un λ -routeur complexe 8×8 .

	#2	#4	#6	#8	#10	#12	#14	#16
#1	λ_4	λ_5	λ_3	λ_6	λ_2	λ_7	λ_1	λ_8
#3	λ_5	λ_6	λ_4	λ_7	λ_3	λ_8	λ_2	λ_1
#5	λ_3	λ_4	λ_2	λ_5	λ_1	λ_6	λ_8	λ_7
#7	λ_6	λ_7	λ_5	λ_8	λ_4	λ_1	λ_3	λ_2
#9	λ_2	λ_3	λ_1	λ_4	λ_8	λ_5	λ_7	λ_6
#11	λ_7	λ_8	λ_6	λ_1	λ_5	λ_2	λ_4	λ_3
#13	λ_1	λ_2	λ_8	λ_3	λ_7	λ_4	λ_6	λ_5
#15	λ_8	λ_1	λ_7	λ_2	λ_6	λ_3	λ_5	λ_4

2.2.4 Conception d'une interconnexion optique

Le développement d'une plate-forme de conception pour le réseau d'interconnexion optique intégré est indispensable pour permettre l'optimisation fiable et complète de toutes ses sous-parties : émission, transport et réception. En effet, contrairement aux interconnexions électriques, il y a plusieurs blocs hétérogènes à partitionner et à optimiser dans un ONoC : des circuits purement électriques mais aussi le circuit photonique, ainsi que des dispositifs optoélectroniques. Ces optimisations sont très étroitement liées et sont indissociables. Des outils spécifiques doivent donc être développés afin de répartir correctement les contraintes de conception.

Chapitre 3

Problématique des outils de conception d'un système sur puce hétérogène

3.1 Complexité et hétérogénéité

L'augmentation de la complexité et de l'hétérogénéité des systèmes conduit à une remise en cause radicale du flot de conception des systèmes intégrés.

Il n'est plus possible de simuler au niveau physique un système complexe :

- Le temps de simulation deviendrait prohibitif.
- Les SoC intègrent des cœurs de processeur ou de DSP si bien que la fonctionnalité du système dépend aussi du logiciel embarqué.
- Les systèmes sur puce deviennent de plus en plus hétérogènes (ils intègrent des blocs fonctionnels électroniques - analogiques et numériques -, *RF*, mécaniques, optiques, fluidiques, etc.). Cette hétérogénéité rend nécessaire la multiplication des outils de simulation ; les nouveaux outils et les nouvelles méthodes de conception doivent organiser la cosimulation des différents blocs fonctionnels.

Ces constatations ont conduit à l'apparition d'outils de conception hiérarchique, puis au concept de IP-reuse.

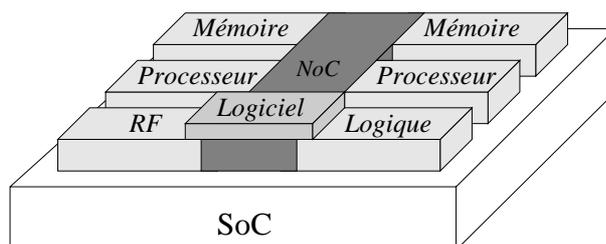


FIG. 3.1 – Vue générale d'un système sur puce utilisant un ONoC comme interconnexion.

Dans le cadre de cette étude, il a été nécessaire de mettre au point des outils de conception multidomains permettant de modéliser et d'étudier les réseaux de communications optiques intégrés (du type ONoC). La figure 3.1 représente un SoC utilisant un réseau optique intégré pour assurer la communication entre les différents blocs fonctionnels.

Nous avons conçu une plate-forme de prototypage virtuel d'un tel système complexe hétérogène, plate-forme qui doit permettre à la fois la modélisation et la simulation au niveau

physique des blocs élémentaires constituant le système (en particulier, il sera nécessaire de simuler des circuits analogiques avec un simulateur de type *Spice-like* et des blocs optiques avec un simulateur FDTD), mais aussi une modélisation de haut niveau (transactionnelle) permettant d'estimer les performances globales de l'ONoC.

3.2 Les différents niveaux hiérarchiques

Il est possible de subdiviser la hiérarchie de modèles en trois grands niveaux :

- **Niveau physique**, encore appelé “bas niveau”. Les modèles à ce niveau hiérarchique sont les plus précis (ils traitent et résolvent directement des équations physiques modélisant de façon la plus réaliste possible le comportement des dispositifs). La simulation, à ce niveau hiérarchique est généralement gourmande en temps de calcul et en charge mémoire. De plus, chaque domaine optique, électrique, optoélectronique possède un outil de simulation spécifique.
- **Niveau comportemental** : ce niveau permet de “monter en abstraction”. Il est intermédiaire entre le niveau physique et le niveau système. Il permet de commencer à unifier certains blocs de l'ONoC en utilisant un langage commun à plusieurs domaines physiques. Les phénomènes physiques sont, en général, décrits par des équations différentielles et arithmétiques. Des langages comportementaux standards permettent d'écrire ces modèles, et les temps de simulation sont réduits par rapport au niveau physique. Cependant, ce niveau d'abstraction est encore insuffisant pour traiter des systèmes dans lesquels les flux de données entre les blocs fonctionnels sont très importants. Il est donc nécessaire de définir un niveau hiérarchique plus élevé.
- **Niveau système**, encore appelé “haut niveau”. Il permet d'unifier tous les blocs du système. On cherchera donc à écrire tous les modèles avec un même langage. Nous avons choisi le langage émergent SystemC comme langage de modélisation unifié pour la modélisation multidomaine de haut niveau.

La figure 3.2 résume ces différents niveaux hiérarchiques, ainsi que les différentes interactions qui correspondent aux passages de paramètres entre eux.

3.3 Application à l'ONoC

En résumé, l'approche utilisée dans la conception d'un ONoC va du niveau système jusqu'au niveau physique. Des phases de vérification (simulation), avec passages de paramètres entre les niveaux, permettent de vérifier le cahier des charges du système en prenant en compte le comportement physique des dispositifs élémentaires.

3.4 Conclusion

La conception d'un système hétérogène complexe, comme celui que nous avons décidé d'étudier, nécessite la mise en place d'outils spécifiques. Nous avons développé ces outils afin de rendre possible un prototypage virtuel homogène du système et de réaliser des estimations de haut niveau sur ses performances.

L'utilisation d'un langage unifié (SystemC) de haut niveau pourrait permettre d'envisager l'automatisation des phases de synthèse, c'est-à-dire de projeter les contraintes de haut niveau imposées par le cahier des charges sur chacun des blocs fonctionnels.

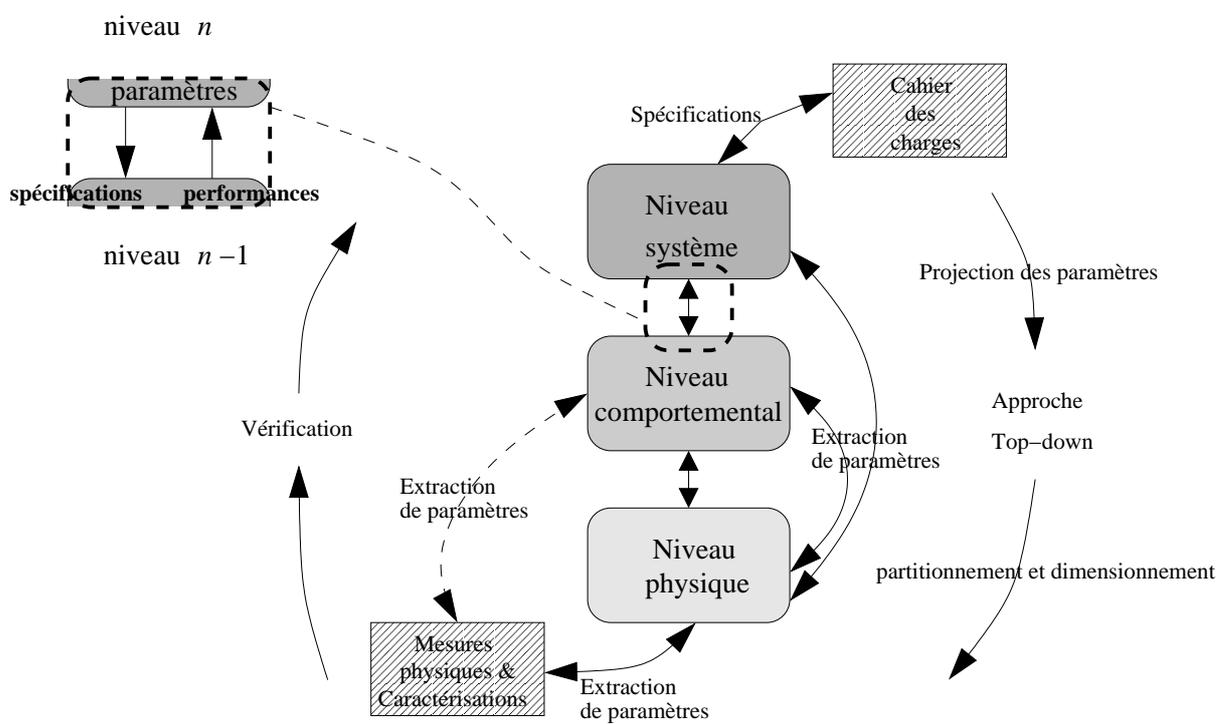


FIG. 3.2 – Niveaux hiérarchiques principaux de modélisation.

Chapitre 4

Conclusion

Cette première partie a présenté un état de l'art des recherches sur les réseaux d'interconnexion pour les systèmes intégrés sur puce. Les architectures classiques de type bus ne pourront plus, à court terme, respecter les contraintes de débit global que les évolutions technologiques rendent possibles. De nouvelles architectures fondées sur des réseaux de communication issues du monde des télécommunications commencent à être étudiées.

Néanmoins, il apparaît que la technologie standard d'interconnexion (interconnexion métallique) constitue un goulot d'étranglement pour le développement de ces architectures. Nous avons étudié une alternative optique fondée en particulier sur le routage en longueur d'onde, à l'échelle du circuit électronique.

Dans le but d'estimer les performances potentielles de l'intégration hétérogène d'un réseau d'interconnexion optique avec un SoC CMOS standard, nous avons dû créer un flot de conception permettant le prototypage virtuel de l'ONoC.

Bibliographie

- [AGR-02] G.P. Agrawal. *Fiber-optic communication systems*. Wiley Interscience, 2002.
- [AHO-04] T. Ahonen, D. A. Sigüenza-Tortosa, H. Bin, and J. Nurmi. « Topology optimization for application specific networks on chip ». In *Proceedings of the ACM IEEE International Workshop on System Level Interconnect Prediction (SLIP)*, Feb. 2004.
- [ALT-03] Altera. « Avalon Bus Specification Rev 2.3 ». Technical report, Altera, Jul. 2003.
- [AND-03] A. Andriahantenaina and A. Greiner. « Micro-network for SoC : implementation of a 32-port SPIN network ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 1128–1129, Mar. 2003.
- [ARM-99] ARM. « AMBA Specification Rev2.0 ». Technical report, ARM, May 1999.
- [ARM-03] ARM. « AMBA AXI Specification Rev r0p0 ». Technical report, ARM, Jun. 2003.
- [BAB-97] J. Babb, M. Frank, E. Waingold, R. Barua, M. Taylor, J. Kim, S. Devabhaktuni, and A. Agarwal. « The RAW benchmark suite : computation structures for general purpose computing ». In *Proceedings of the IEEE FPGAs for Custom Computing Machines Symposium (FCCM)*, pages 134–143, Apr. 1997.
- [BAN-01] K. Banerjee, P. Kapur, and K. Saraswat. « 3-D ICs : a novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration ». *IEEE : Special Issue on Interconnections*, vol. 89, no. 5, pp. 602–633, 2001.
- [BJE-05a] T. Bjerregaard. *The MANGO clockless network-on-chip : concepts and implementation*. PhD thesis, Informatics and Mathematical Modelling, Technical University of Denmark, DTU, 2005.
- [BJE-05b] T. Bjerregaard and J. Sparsø. « A router architecture for connection-oriented service guarantees in the MANGO clockless network-on-chip ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, page 1226, Mar. 2005.
- [DAS-04] S. Das, A. Chandrakasan, and R. Reif. « Calibration of Rent’s-rule models for three-dimensional integrated circuits ». *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 12, no. 4, pp. 359–366, Apr. 2004.
- [DEL-96] N. Delorme, M. Belleville, and J. Chilo. « Inductance and capacitance analytic formulas for VLSI interconnects ». *IEE Electronics Letters*, vol. 32, no. 11, pp. 996–997, May 1996.
- [DES-94] E. Desurvire. *Erbium-doped fiber amplifiers, principles and applications*. Wiley, 1994.
- [DUA-03] J. Duato, S. Yalamanchili, and L. Ni. *Interconnection networks, an engineering approach*. Morgan Kaufmann, 2003.

- [DUM-05] P. Dumon, I. Christiaens, W. Bogaerts, V. Wiaux, J. Wouters, S. Beckx, D. Van Thourhout, and R. Baets. « Microring resonators in silicon-on-insulator ». In *Proceedings of the European Conference on Integrated Optics (ECIO)*, 2005.
- [FAN-02] A. Fan, S. Das, K.-N. Chen, and R. Reif. « Fabrication technologies for three-dimensional integrated circuits ». In *Proceedings of the International Symposium on Quality Electronic Design (ISQED)*, pages 33–37, Mar. 2002.
- [GEN-05] N. Genko, G. De Micheli, D. Atienza, J. Mendias, R. Hermida, and F. Catthoor. « A complete network-on-chip emulation framework ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 246–251, Mar. 2005.
- [GOO-05] K. Goossens, J. Dielissen, O. Gangwal, S. Gonzalez Pestana, A. Radulescu, and E. Rijpkema. « A design flow for application-specific networks on chip with guaranteed performance to accelerate SOC design and verification ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 1182–1187, Mar. 2005.
- [GRU-04] M. Gruber, R. Kerssenfischer, and J. Jahns. « Planar-integrated free-space optical fan-out module for MT-connected fiber ribbons ». *J. Lightw. Technol.*, vol. 22, no. 9, pp. 2218–2222, 2004.
- [GUE-00] P. Guerrier and A. Greiner. « A generic architecture for on-chip packet-switched interconnections ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 250–256, Mar. 2000.
- [HIL-90] M.D. Hill. « What is scalability? ». *ACM SIGARCH Computer Architecture News*, vol. 18, no. 4, pp. 18–21, 1990.
- [ITR-04] ITRS. « International Technology Roadmap for Semiconductors, <http://public.itrs.net/> », 2004.
- [JAE-01] R.C. Jaeger. *Introduction to microelectronic fabrication (2nd edition)*. Prentice Hall, 2001.
- [KAN-90] S.M. Kang. « Performance-driven layout of CMOS VLSI circuits ». In *Proceedings of the International Symposium on Circuits and Systems (ISCAS)*, pages 881–884, May 1990.
- [KUM-02] S. Kumar, A. Jantsch, M. Millberg, J. Oberg, J.-P. Soininen, M. Forsell, K. Tiensyrja, and A. Hemani. « A network on chip architecture and design methodology ». In *Proceedings of the IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*, Apr. 2002.
- [LIU-02] D. Liu, D. Wiklund, E. Svensson, O. Seger, and S. Sathe. « SoCBUS : the solution of high communication bandwidth on chip and short TTM ». In *Proceedings of the Real Time and Embedded Computing Conference (RTECC)*, Sept. 2002.
- [LU-05] Z. Lu, L. Tong, B. Yin, and A. Jantsch. « A power efficient flit-admission scheme for wormhole-switched networks on chip ». In *Proceedings of the World Multi-Conference on Systemics, Cybernetics and Informatics (WMSCI)*, Jul. 2005.
- [MIL-04] M. Millberg, E. Nilsson, R. Thid, S. Kumar, and A. Jantsch. « The Nostrum backbone - a communication protocol stack for networks on chip ». In *Proceedings of the International Conference on VLSI Design (VLSID)*, Jan. 2004.
- [MOO-65] G.E. Moore. « Cramming more components onto integrated circuits ». *Electronics*, vol. 38, no. 8, pp. 114–117, 1965.

-
- [MUR-05] S. Murali and G. De Micheli. « An application-specific design methodology for STBus crossbar generation ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 1176–1181, Mar. 2005.
- [NI-96] L.M. Ni. « Issues in designing truly scalable interconnection networks ». In *Proceedings of the International Workshop on Challenges for Parallel Processing (ICPP)*, pages 74–83, Aug. 1996.
- [NIL-04] E. Nilsson and J. Öberg. « Reducing peak power and latency in 2-D mesh nocs using globally pseudochronous locally synchronous clocking ». In *Proceedings of the International Conference on Hardware/Software Codesign and System Synthesis (CODES+ISSS)*, Sept. 2004.
- [NOL-05] V. Nollet, T. Marescaux, P. Avasare, J.-Y. Mignolet, and D. Verkest. « Centralized run-time resource management in a network-on-chip containing reconfigurable hardware tiles ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 234–239, Mar. 2005.
- [OGR-05] U. Ogras and R. Marculescu. « Energy - and performance - driven NoC communication architecture synthesis using a decomposition approach ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 352–357, Mar. 2005.
- [OLI-02] M.T. Oliveira and A.J. Hu. « High-level specification and automatic generation of IP interface monitors ». In *Proceedings of the Annual ACM IEEE Design Automation Conference (DAC)*, pages 129–134, New York, Jun. 2002. ACM Press.
- [PIN-97] M.R. Pinto, W.F. Brinkman, and W.W. Troutman. « The transistor’s discovery and what’s ahead ». In *Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, Sept. 1997.
- [PLA-01] D.V. Plant, M.B. Venditti, E. Laprise, J. Faucher, K. Razavi, M. teauneuf, A.G. Kirk, and J.S. Ahearn. « 256-channel bidirectional optical interconnect using VCSELs and photodiodes on CMOS ». *J. Lightw. Technol.*, vol. 19, no. 8, pp. 1093–1103, 2001.
- [RĂD-05] A. Rădulescu, J. Dielissen, S. González Pestana, O.P. Gangwal, E. Rijpkema, P. Wielage, and K. Goossens. « An efficient on-chip network interface offering guaranteed services, shared-memory abstraction, and flexible network programming ». *IEEE Trans. Computer-Aided Design Integr. Circuits Syst.*, vol. 24, no. 1, pp. 4–17, Jan. 2005.
- [SAA-02] I. Saastamoinen, M. Alho, J. Pirttimäki, and J. Nurmi. « Proteo interconnect IPs for networks-on-chip ». In *Proceedings of the IP Based SoC Design (IP/SOC)*, Oct. 2002.
- [SIG-02a] D. Sigüenza-Tortosa and J. Nurmi. « Proteo : A new approach to network-on-chip ». In *Proceedings of the International Conference on Communication Systems and Networks (CSN)*, Sept. 2002.
- [SIG-02b] D. Sigüenza-Tortosa and J. Nurmi. « VHDL-BASED simulation environment for Proteo NOC ». In *Proceedings of the IEEE International High Level Design Validation and Test Workshop (HLDVT)*, Oct. 2002.
- [SIN-05] V. Singh, P. Rani, S. Varshney, and S. Tiralongo. « Integration methodology with reusable and configurable IPs ». In *Proceedings of the Annual Synopsys Users Group India (SNUG India)*, May 2005.

- [STE-05a] S. Stergiou, G. De Micheli, F. Angiolini, D. Bertozzi, S. Carta, and L. Raffo. « xpipes Lite : a synthesis oriented design library for networks on chips ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 1188–1193, Mar. 2005.
- [STE-05b] S. Stergiou, G. De Micheli, F. Angiolini, D. Bertozzi, S. Carta, and L. Raffo. « xpipes Lite : a synthesis oriented design library for networks on chips ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, page 1188, Mar. 2005.
- [TAY-05] M.B. Taylor, W. Lee S. Amarasinghe, and A. Agarwal. « Scalar Operand Networks ». *IEEE Trans. Parallel Distrib. Syst. (special issue on on-chip networks)*, vol. 16, no. 2, , Feb. 2005.
- [THI-00] H. Thienpont, C. Debaes, V. Baukens, H. Ottevaere, P. Vynck, P. Tuteleers, G. Verschaffelt, B. Volckaerts, A. Hermanne, and M. Hanney. « Plastic microoptical interconnection modules for parallel free-space interand intra-MCM data communication ». In *Proceedings of the IEEE*, Volume 88, pages 769–779, Jun. 2000.
- [THO-97] N. Thorsen. *Fiber optics and the telecommunications explosion*. Prentice Hall, Nov. 1997.
- [TOS-04] G. Tosik. *Conception et modélisation de la répartition de l'horloge des systèmes intégrés par voie optique*. PhD thesis, École Centrale de Lyon, Jan. 2004.
- [UNT-04] V. Untz, M. Heusse, F. Rousseau, and A. Duda. « Lilith : an interconnection architecture based on label switching for spontaneous edge networks ». In *Proceedings of the Annual International Conference on Mobile and Ubiquitous Systems : Networking and Services (MobiQuitous)*, pages 146–151, Aug. 2004.
- [WAI-97] E. Waingold, M. Taylor, V. Sarkar, V. Lee, W. Lee, J. Kim, M. Frank, Finch P., S. Devabhaktumi, R. Barua, J. Babb, S. Amarsinghe, and A. Agarwal. « Baring it all to software : the Raw machine ». Technical Report MIT/LCS/TR-709, Massachusetts Institute of Technology, Mar. 1997.
- [WAN-05] H. Wang, L.-S. Peh, and S. Malik. « A technology-aware and energy-oriented topology exploration for on-chip networks ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 1238–1243, Mar. 2005.
- [WEB-05] W.-D. Weber, I. Swarbrick, J. Chou, and D. Wingard. « A quality-of-service mechanism for interconnection networks in system-on-chips ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 1232–1237, Mar. 2005.
- [WIK-02] D. Wiklund and D. Liu. « SoCBUS : switched network on chip for hard real time embedded systems ». In *Proceedings of the IEEE International Parallel and Distributed Processing Symposium (IPDPS)*, Nov. 2002.
- [WIK-05] D. Wiklund, A. Ehliar, and D. Liu. « Design of an Internet core router using the SoCBUS network on chip ». In *Proceedings of the IEEE International Symposium on Signals, Circuits and Systems (ISSCS)*, Jul. 2005.

Deuxième partie

Réseau d'interconnexion optique :
 λ -routeur et interfaces

Chapitre 5

Étude du λ -routeur

5.1 Rappels de base

L'une des principales spécificités de l'optique intégrée est d'utiliser le photon, particule élémentaire, pour transporter l'information dans un guide d'onde. Les guides d'onde possèdent un contraste d'indice avec le substrat (indice de réfraction du guide, $n_{\text{cœur}}$, supérieur à celui des milieux environnants n_{gaine}), ce qui permet de confiner les photons à l'intérieur du guide.

Les équations de Maxwell (5.1) [TAF-05] décrivent la propagation d'une onde lumineuse dans un diélectrique à trois dimensions, avec \vec{E} le champ électrique, \vec{B} le champ magnétique, \vec{D} le champ de déplacement et \vec{H} l'excitation magnétique.

$$\left\{ \begin{array}{ll} \frac{\partial \vec{B}}{\partial t} = -\nabla \times \vec{E} & \text{Loi de Faraday} \\ \frac{\partial \vec{D}}{\partial t} = \nabla \times \vec{H} & \text{Théorème d'Ampère} \\ \nabla \cdot \vec{D} = 0 & \text{Théorème de Gauss} \\ \nabla \cdot \vec{B} = 0 & \vec{B} \text{ est à flux conservatif} \end{array} \right. \quad (5.1)$$

5.1.1 Guide d'onde plan

Le transport de la lumière est assuré par des guides d'onde droits à section rectangulaire. La figure du tableau 5.6 montre une vue de dessus de cette structure en technologie SOI. Le cœur du guide d'onde est en silicium (*Si*), il est encapsulé dans de la silice (*SiO₂*) [AAL-04].

Les guides d'onde SOI sont caractérisés par leurs pertes. Celles-ci dépendent à la fois du matériau et de la technologie de fabrication du guide. L'expression de l'atténuation pour un guide de longueur L est donnée par l'équation (5.2) [AGR-02].

$$\alpha = -\frac{10}{L} \log \frac{P_{out}}{P_{in}} \quad (5.2)$$

Dans certaines conditions (indices et angle d'entrée du rayon dans le guide), l'onde introduite dans un guide peut y rester confinée, les champs \vec{E} et \vec{H} sont eux-mêmes confinés dans le cœur de la structure guidante. Les solutions possibles des équations de Maxwell pour la géométrie du guide sont appelées modes de propagation.

Le cas d'une propagation d'onde monochromatique de pulsation ω (ou de longueur d'onde λ) sera pris comme hypothèse dans les explications suivantes.

La forme générale de l'équation d'une onde électromagnétique est présentée dans l'équation (5.3), avec $\omega = 2\pi f$ la pulsation de l'onde et ϕ sa phase [ROS-02].

$$E = E(x, y, z)\cos(\omega t + \phi) \quad (5.3)$$

Comme toutes les ondes, l'onde électromagnétique est caractérisée par les grandeurs suivantes (résumées par la figure 5.1) :

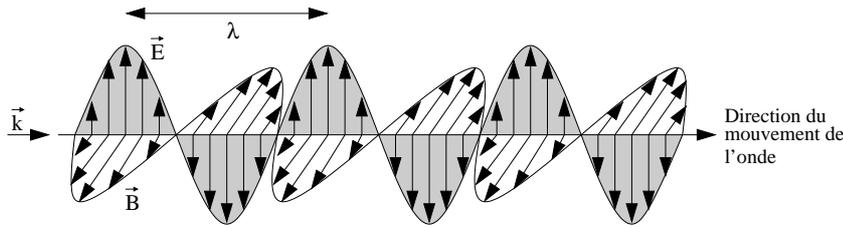


FIG. 5.1 – Représentation d'une onde électromagnétique.

- La longueur d'onde, notée λ .
- La fréquence, notée f .
- Sa direction de propagation dans l'espace, souvent caractérisée par le vecteur d'onde \vec{k} . Toutes les ondes d'une même "famille" qui se propagent dans la même direction et qui possèdent la même longueur d'onde, peuvent toutes être décrites par le même vecteur d'onde. Le paramètre β , appelé constante de propagation, représente la projection du vecteur \vec{k} sur l'axe Ox .
- Son intensité.

Il existe deux autres caractéristiques que possèdent les ondes électromagnétiques :

- La phase, notée ϕ .
- L'état de polarisation.

Dans le cas d'une onde monochromatique, il y a seulement deux familles de mode susceptibles de se propager dans la structure guidante : le mode *TE* (transverse électrique) et le mode *TM* (transverse magnétique). Si l'on suppose que la propagation se fait suivant l'axe x dans le guide optique alors deux cas apparaissent (figure 5.2) :

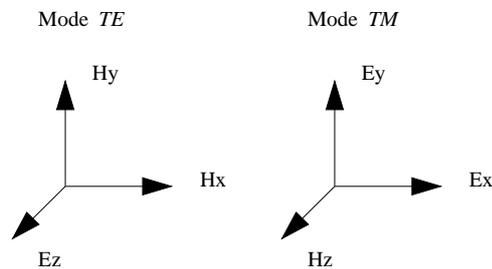


FIG. 5.2 – Représentation des modes *TE* et *TM* dans un guide d'onde plan.

- Mode *TE* : le champ électrique appartient au plan orthogonal à la direction de propagation et le champ magnétique appartient à la direction de propagation. Par convention $H_z = E_x = E_y = 0$. On travaille donc uniquement sur les composantes H_x , H_y et E_z .

- Mode TM : le champ magnétique appartient au plan orthogonal à la direction de propagation et le champ électrique appartient à la direction de propagation. Par convention $E_z = H_x = H_y = 0$. On travaille donc uniquement sur les composantes E_x , E_y et H_z . La figure 5.3 présente une vue schématique d'un guide d'onde.

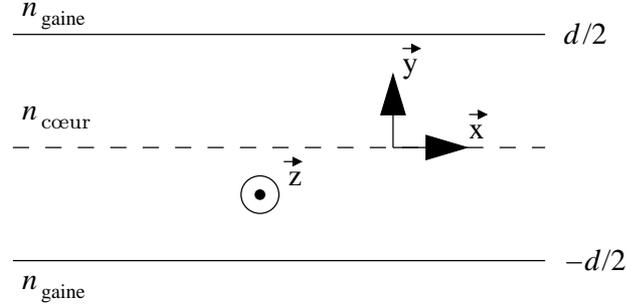


FIG. 5.3 – Géométrie schématique d'un guide d'onde droit.

Un guide d'onde possède donc plusieurs modes et, en fonction de la fréquence on pourra privilégier un mode ou un autre [HAU-84].

Pour un guide d'onde symétrique le nombre de modes TE autorisés est donné par les équations (5.4).

$$\begin{cases} N_m = E \left[2 \frac{d}{\lambda_0} ON \right] & \text{avec } ON \text{ l'ouverture numérique} \\ ON = (n_{\text{cœur}}^2 - n_{\text{gaine}}^2)^{1/2} & \text{avec } n_{\text{cœur}} \text{ indice dans le guide et } n_{\text{gaine}} \text{ à l'extérieur} \end{cases} \quad (5.4)$$

Il est possible d'en déduire facilement une équation (équation (5.5) avec d la largeur du guide) qui donne la condition pour obtenir un guide monomode.

$$\frac{d}{\lambda_0} < \frac{1}{2ON} \quad (5.5)$$

Mode transverse électrique TE

Il y a deux familles de modes TE possibles, le mode TE pair et le mode TE impair.

Le système d'équations de Maxwell à résoudre pour ces deux types de mode TE est donné par l'équation (5.6). Ensuite, grâce à certaines réductions et simplifications et du fait de la continuité de E_z et H_y aux interfaces $x = d$ et $x = -d$, on obtient un système d'équations à résoudre graphiquement ou numériquement.

$$\begin{cases} E_z = -\frac{\omega\mu}{\beta} H_y \\ \frac{\partial E_z}{\partial y} = -j\omega\mu H_x \end{cases} \quad (5.6)$$

Mode TE pair Il faut résoudre les équations (5.6) telles que $E(x, y, t) = E(x, -y, t)$.

Les solutions de ces équations sont présentées dans l'équation (5.7) avec A, B des constantes (à déterminer en fonction des conditions limites) et h, p des constantes de propagation. On se place dans le cas d'un guide d'onde bidimensionnel, de largeur $2d$, centré en 0.

$$\begin{cases} E_z = A \exp(-p(|y| - d) - j\beta x) & \text{pour } |y| \geq d \\ E_z = B \cos(hy) \exp(-j\beta x) & \text{pour } |y| \leq d \end{cases} \quad (5.7)$$

Après simplification, on obtient l'équation (5.8) (avec k_0 le vecteur d'onde, $n_{\text{cœur}}$ l'indice de réfraction dans le guide et n_{gaine} l'indice de réfraction du milieu environnant), qui permet de trouver tous les modes possibles de propagation (il faut trouver p et h).

$$\begin{cases} (pd)^2 + (hd)^2 = (n_{\text{cœur}}^2 - n_{\text{gaine}}^2)k_0^2 d^2 \\ pd = hd \tan(hd) \end{cases} \quad (5.8)$$

Mode TE impair Il faut résoudre les équations (5.6) telles que $E(x, y, t) = -E(x, -y, t)$.

Les solutions de ces équations sont présentées dans l'équation (5.9) avec A, B des constantes et h, p des constantes de propagation. On se place dans un cas de guide d'onde bidimensionnel, de largeur $2d$, centré en 0.

$$\begin{cases} E_z = A \exp(-p(y - d) - j\beta x) & \text{pour } y \geq d \\ E_z = -A \exp(-p(-y - d) - j\beta x) & \text{pour } y \leq -d \\ E_z = B \cos(hy) \exp(-j\beta x) & \text{pour } |y| \leq d \end{cases} \quad (5.9)$$

Après simplifications, on obtient le système d'équations (5.10).

$$\begin{cases} (pd)^2 + (hd)^2 = (n_{\text{cœur}}^2 - n_{\text{gaine}}^2)k_0^2 d^2 \\ pd = -hd \cot(hd) \end{cases} \quad (5.10)$$

Mode transverse magnétique TM

Le système d'équations est différent de celui du mode TE , cependant la démarche pour la résolution est la même. Il faudra donc résoudre le système (5.11).

$$\begin{cases} H_z = -\frac{\omega\varepsilon}{\beta} E_y \\ E_x = -\frac{j}{\omega\varepsilon} \frac{\partial H_z}{\partial y} \end{cases} \quad (5.11)$$

Les résultats dans le cas TM pair sont similaires à ceux obtenus pour le mode TE pair aux constantes près. Il suffit de permuter les champs \vec{E} et \vec{H} . Les mêmes hypothèses sont utilisées pour le cas TM impair.

5.1.2 Microdisque en deux dimensions

De nombreux composants élémentaires, en particulier des filtres optiques de type *add-drop*, sont réalisés avec des microdisques (figure 5.4).

Les modes de propagation (TE et TM) dans un microdisque sont caractérisés par trois entiers : n, m et l qui définissent la configuration spatiale du champ électromagnétique. n représente le nombre de maxima du champ dans la direction azimutale, m dans la direction radiale et l dans la direction axiale.

Les modes de galeries (figure 5.5) sont caractérisés par les champs électromagnétiques qui ne comportent qu'un seul maximum dans la direction radiale et sont confinés à la périphérie du disque. Ils sont non stationnaires, ils se propagent dans le résonateur suivant la direction azimutale.

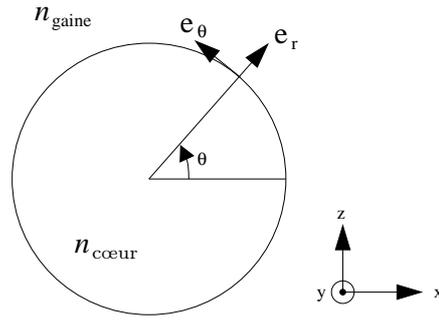


FIG. 5.4 – Géométrie schématique d'un microdisque en deux dimensions.

Les microdisques sont donc des structures résonantes [CHI-98]. Pour une structure du microdisque donnée (indice et rayon), plusieurs modes de propagation sont possibles, chacun étant associé à une longueur d'onde de résonance.

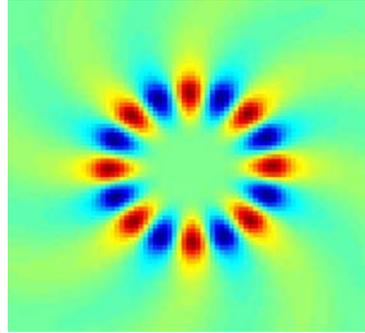


FIG. 5.5 – Mode de galerie dans un microdisque.

La couleur rouge correspond à des lobes positifs et la couleur bleue à des lobes négatifs de l'onde.

5.1.3 Couplage optique entre guides. Modes couplés

Une onde électromagnétique guidée dans un guide d'onde possède une composante évanescente dans la couche confinante (c'est-à-dire la couche entourant le guide). Lorsque deux guides d'onde sont suffisamment proches, une onde se propageant dans l'un des guides peut passer dans l'autre guide à travers la couche confinante par couplage évanescent [TRI-95, JAL-96, RAJ-99].

Considérons deux guides d'onde (figure 5.6), les cœurs de ces guides ont pour indice n_g pour le guide de gauche et n_d pour le guide de droite, ils sont entourés d'une couche confinante d'indice n . La figure 5.6(b) montre le mode dans le guide de gauche, la figure 5.6(c) montre le mode dans le guide de droite et la figure 5.6(d) présente le mode couplé dans les deux guides.

L'échange énergétique entre les deux guides est régi par l'équation de couplage (5.12) [ROS-02, HAU-84]. β_g et β_d sont les constantes de propagation dans le guide, a_g et a_d les amplitudes des champs, et les coefficients κ_{ij} les coefficients de couplage.

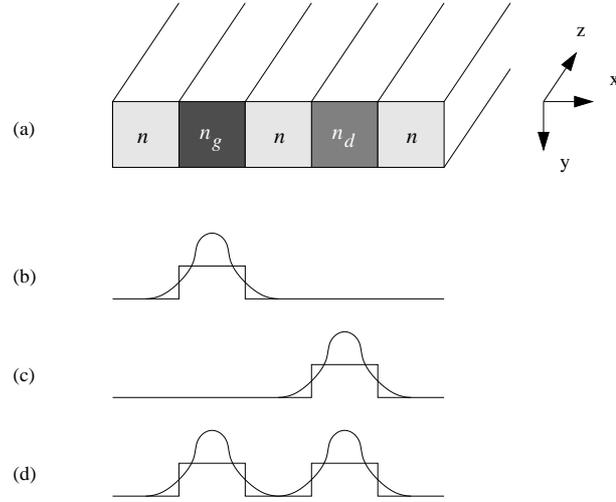


FIG. 5.6 – Couplage entre deux guides d'ondes.

$$\begin{cases} \frac{\partial a_g}{\partial z} = -j\beta_g a_g + \kappa_{gd} a_d \\ \frac{\partial a_d}{\partial z} = -j\beta_d a_d + \kappa_{dg} a_g \end{cases} \quad (5.12)$$

Les modes de propagation de la structure sont une combinaison linéaire des modes propres de chacun des deux guides.

Lorsque les modes propres des guides sont les mêmes, l'énergie de l'onde passe d'un guide à l'autre avec une période spatiale λ_{trans} appelée distance de transfert (équation (5.13)). Le paramètre g est une intégrale de recouvrement [YAR-97, YAR-00] dont une expression approchée est donnée par l'équation (5.14), les constantes h et p sont définies dans l'équation (5.15), s étant la distance entre les guides.

$$\lambda_{trans} = \frac{\frac{\pi}{2}}{\sqrt{g^2 + \left(\frac{\Delta\beta}{2}\right)^2}} \quad (5.13)$$

$$g = \frac{2}{\beta} \frac{h^2}{h^2 + p^2} \frac{p}{d + \frac{2}{p}} e^{-p \cdot s} \quad (5.14)$$

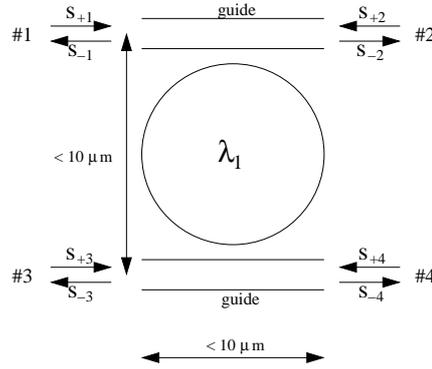
où

$$\begin{cases} h = \sqrt{k_0^2 n_c^2 - \beta^2} \\ p = \sqrt{\beta^2 - k_0^2 n_i^2} \end{cases} \quad (5.15)$$

5.1.4 Le filtre *add-drop*

Le couplage par ondes évanescentes permet de réaliser des filtres à microdisques (figure 5.7). L'énergie électromagnétique est couplée entre un guide d'onde droit et un microdisque (d'autres géométries de filtres *add-drop* ont été proposées [SUZ-02, CHU-99, LIT-00]).

En associant un microdisque résonant à la longueur d'onde λ_1 , et deux guides d'onde idéaux (figure 5.7), il est possible de réaliser un filtre optique passif élémentaire [LIT-98, LIT-97] qui

FIG. 5.7 – *Add-drop* à un microdisque.

permette de réaliser une fonction de routage en longueur d’onde, résumée par la table de vérité présentée dans le tableau 5.1. Ce type de filtre est aussi appelé “*add-drop*” car il permet d’“ajouter” ou de “retrancher” un signal optique de longueur d’onde donnée. La taille typique de ces dispositifs optiques passifs est de quelques micromètres (de 1 μm à 10 μm) pour des structures à fort contraste d’indice.

L’onde lumineuse guidée par un des deux guides d’onde peut être couplée avec le microdisque (si ce dernier est placé suffisamment près des guides). Seules des ondes dont la longueur d’onde correspond à l’une des résonances du microdisque peuvent être couplées dans celui-ci ; les ondes de longueur d’onde distinctes restent confinées dans le guide.

TAB. 5.1 – Table de vérité d’un *add-drop* à un microdisque.

	#2	#3
#1	$\lambda_i \neq \lambda_1$	λ_1
#4	λ_1	$\lambda_i \neq \lambda_1$

Un filtre *add-drop* est symétrique et bidirectionnel. Si par exemple une onde de longueur d’onde $\lambda_i \neq \lambda_1$ est injectée dans le port #1, elle sera routée dans le port #2 par le filtre. Par contre, si une onde de longueur d’onde λ_1 est injectée dans le port #3, elle sera routée dans le port #1.

Toutes les longueurs d’onde de résonance du microdisque peuvent être couplées d’un guide à l’autre ; la fonction de transfert en transmission de la structure est représentée par la figure 5.8. On appelle ISL¹ (ou FSR²) [DUM–05] la distance spectrale entre deux fréquences de résonance successives. La largeur spectrale des pics de résonance (figure 5.8) est définie par le coefficient de qualité Q de la structure (équation (5.16)). Dans l’équation (5.16) τ est lié au temps de vie des photons dans la structure, τ dépend du couplage et des pertes dans la cavité résonante.

$$Q = \frac{\lambda_i}{\Delta\lambda_i} = \omega\tau \quad (5.16)$$

Il est possible de relier l’ISL aux caractéristiques géométriques du microdisque grâce à l’équation (5.17) où n_{eff} est l’indice effectif du microdisque, et R son rayon.

¹Intervalle Spectral Libre.

²Free Spectral Range.

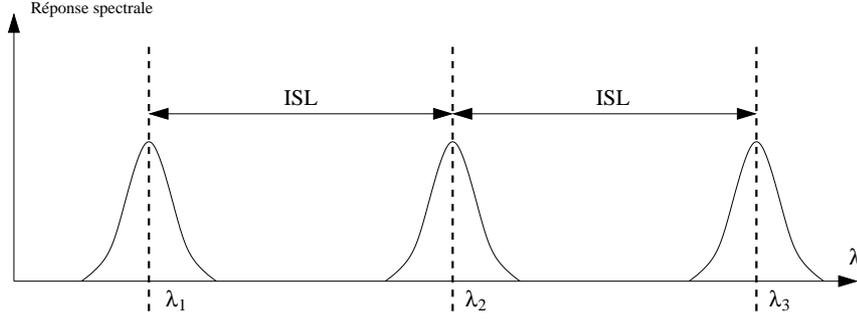


FIG. 5.8 – Intervalle spectral libre d'un microdisque.

$$ISL = \frac{\lambda_i^2}{n_{eff} 2\pi R} \quad (5.17)$$

Par ailleurs, il est possible de prendre en compte la tolérance sur la dimension du rayon du microdisque due à la lithographie (équation (5.18)). On en déduit l'équation (5.19) qui donne le nombre de canaux possibles en fonction de la technologie.

Dans l'état actuel de la technologie, on peut estimer que 16 canaux peuvent être intercalés dans l'intervalle spectral libre.

$$\frac{\Delta R}{R} = \frac{\Delta \lambda}{\lambda} \quad (5.18)$$

$$\frac{ISL}{n_{canaux}} > 2\Delta\lambda \iff n_{canaux} < \frac{\lambda}{4\pi n_{eff} \Delta R} \quad (5.19)$$

Considérons une onde incidente propagative d'amplitude σ_i , les amplitudes des ondes émergentes (σ_t et σ_d) sont déterminées par les équations (5.20). ω est la pulsation de l'onde incidente, ω_i l'une des pulsations de résonance du microdisque. Les constantes de temps τ_e et τ_l sont liées respectivement au couplage guide-cavité et aux pertes.

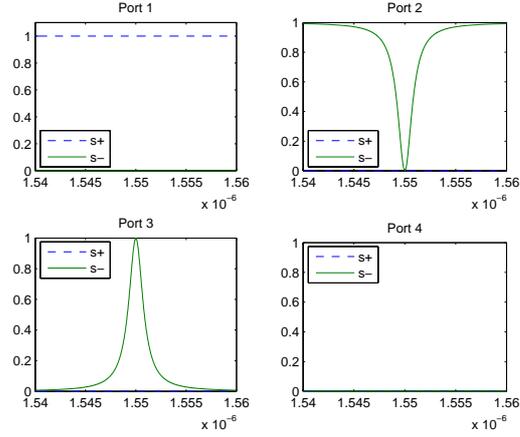
$$\begin{cases} \sigma_t = \frac{j(\omega - \omega_i) + \frac{1}{\tau} - \frac{2}{\tau_e}}{j(\omega - \omega_i) + \frac{1}{\tau}} \times \sigma_i \\ \sigma_d = \frac{\frac{2}{\tau_e}}{j(\omega - \omega_i) + \frac{1}{\tau}} \times \sigma_i \end{cases} \quad (5.20)$$

où

$$\frac{1}{\tau} = \frac{2}{\tau_e} + \frac{1}{\tau_l} \quad (5.21)$$

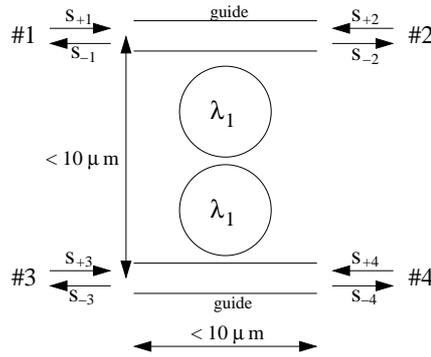
La figure 5.9 donne la réponse spectrale sur les 4 ports du filtre *add-drop*. L'injection a lieu dans le port #1 (injection d'une lumière blanche normée), la longueur d'onde 1,55 μm est transmise sur le port #3 et extraite sur le port #2.

La largeur spectrale de ce filtre, caractéristique de la qualité de la technologie de fabrication, a une influence sur la faisabilité d'un λ -routeur évolué.


 FIG. 5.9 – Réponse spectrale d'un *add-drop* à 1 microdisque.

5.1.5 Filtre *add-drop* à deux microdisques

Il est possible d'augmenter l'ordre du filtre *add-drop* en réalisant des filtres à deux microdisques (figure 5.10).


 FIG. 5.10 – *Add-drop* à deux microdisques.

Le fonctionnement de ce filtre est analogue à celui du filtre précédent [KHA-99, MAN-99b, HRY-00] : l'onde incidente est couplée dans le premier microdisque puis dans le second, et enfin dans le guide d'onde de sortie (en gardant sa directionnalité comme le montre la table de vérité 5.2).

 TAB. 5.2 – Table de vérité d'un *add-drop* à deux microdisques.

	#2	#4
#1	$\lambda_i \neq \lambda_1$	λ_1
#3	λ_1	$\lambda_i \neq \lambda_1$

Pour la même qualité technologique, ce filtre est plus sélectif que le filtre précédent, cependant la complexité de réalisation de ce filtre est plus grande puisqu'il faut que les fréquences de

résonance de ces microdisques soient les mêmes, et donc que leurs rayons soient identiques, ainsi que les distances entre les guides et les microdisques.

5.1.6 Autres structures de filtres

Le réseau optique que nous avons conçu est constitué de plusieurs filtres *add-drop* à deux microdisques. Afin de simplifier l'assemblage de ces filtres il a été nécessaire de réaliser des filtres à deux disques selon les topologies des figures 5.11. Ces deux structures ont la même table de vérité (table 5.3). Le filtre de la figure 5.11(b) semble être plus intéressant car dans le cas du couplage le croisement ne sera pas traversé par le signal, contrairement au filtre de la figure 5.11(a) où le croisement sera toujours traversé.

TAB. 5.3 – Table de vérité de la brique élémentaire du λ -routeur.

	#2	#4
#1	λ_1	$\lambda_i \neq \lambda_1$
#3	$\lambda_i \neq \lambda_1$	λ_1

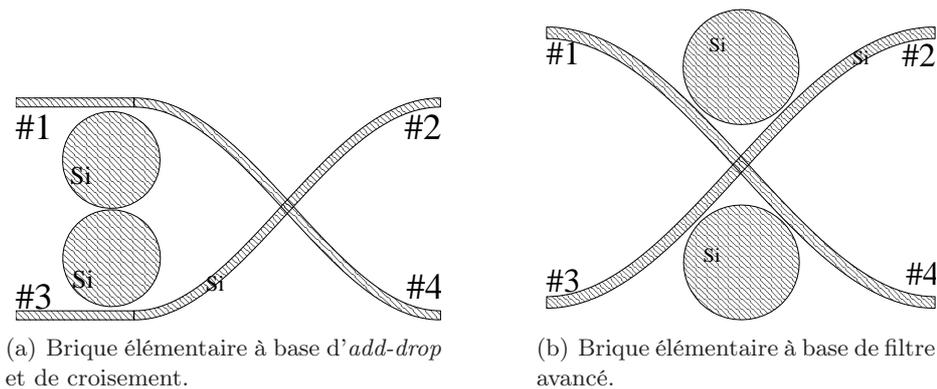


FIG. 5.11 – Brique élémentaire d'un réseau d'interconnexion optique intégré complexe.

Croisement de guides d'onde

Pour cette structure de filtre, mais plus généralement lors du routage du réseau optique des guides d'onde pourront se croiser (figure 5.11(a)), contrairement aux interconnexions métalliques où plusieurs couches sont nécessaires. Des simulations et des mesures ont montré que sans optimiser le profil des guides, les pertes en transmission dues à un croisement sont d'environ 10 % [FUK-04], il est cependant possible d'optimiser la forme des guides de façon à minimiser ses pertes [FUK-04, MAN-99a] à quelques pourcents.

Les pertes d'un croisement vérifient l'équation (5.22). Elles se décomposent en deux parties : *i*) la diaphonie d'amplitude (différente dans les deux directions) et *ii*) la réflexion. En effet, toute l'énergie envoyée dans une entrée doit se retrouver dans toutes les sorties du dispositif, sans perte. Les pertes intrinsèques (rugosité des guides) ne sont pas intégrées dans cette équation (5.22).

$$r^2 + diaph_1^2 + diaph_2^2 + t^2 = 1 \quad (5.22)$$

5.1.7 Réseau d'interconnexion optique intégré complexe : λ -routeur

Rappelons que nous cherchons à réaliser un réseau d'interconnexion optique passif permettant de relier plusieurs dizaines de ressources (bloc IP). Dans ce dessein, nous avons associé des filtres *add-drop* à microdisques. La figure 1.18 montre par exemple un réseau d'interconnexion 4×4 permettant de relier 4 initiateurs et 4 cibles. La table de vérité de ce réseau 4×4 est donnée tableau 5.4. Par exemple pour que la ressource 1 communique avec la ressource cible 6 les données doivent être transmises avec une lumière de longueur d'onde λ_1 .

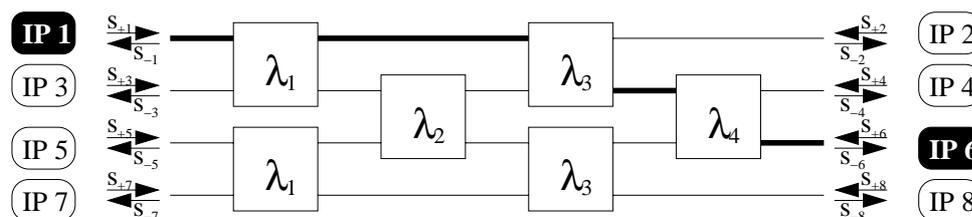


FIG. 5.12 – Architecture générale du λ -routeur 4×4 .

TAB. 5.4 – Table de vérité du λ -routeur 4×4 .

	#2	#4	#6	#8
#1	λ_2	λ_3	λ_1	λ_4
#3	λ_3	λ_4	λ_2	λ_1
#5	λ_1	λ_2	λ_4	λ_3
#7	λ_4	λ_1	λ_3	λ_2

Il est à noter que cette topologie est aisément scalable pour des réseaux de dimension quelconque (cf. partie I). Cependant, la taille du réseau sera limitée par l'intervalle spectral libre des structures, et donc par la technologie.

En effet, pour que le réseau fonctionne de façon satisfaisante, il est nécessaire de respecter une répartition des fréquences de résonance des filtres élémentaires indiquée par la figure 5.13 : chaque intervalle spectral libre, correspondant au filtre de rayon M_i , doit permettre d'intercaler les fréquences de résonance des autres filtres.

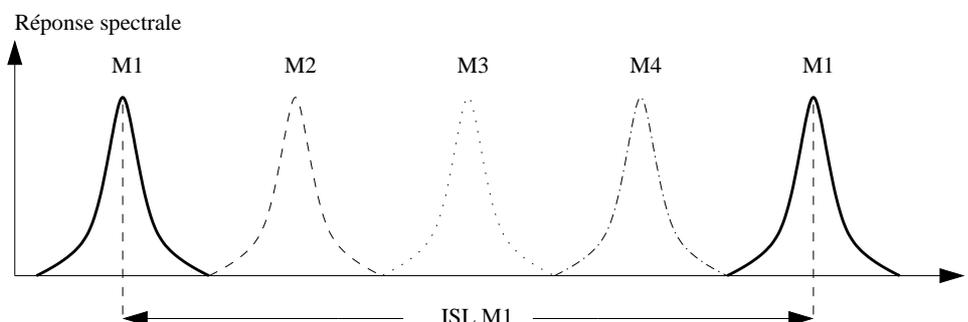


FIG. 5.13 – Vue Schématique de l'intervalle spectral libre appliqué au λ -routeur 4×4 .

Caractérisation du λ -routeur 4×4

Les photos de la figure 5.14 présentent un exemple de λ -routeur et de filtre optique élémentaire, qui ont été réalisés par le laboratoire LETI du CEA. Ces derniers ont été testés par Andrzej Kazmierczak [KAZ-05a, KAZ-05b] et ont permis de valider la table de vérité du λ -routeur, ainsi que son fonctionnement. Les photos de la figure 5.15 présente le λ -routeur 4×4 en fonctionnement avec quatre longueurs d'onde différentes injectées dans le port #1.

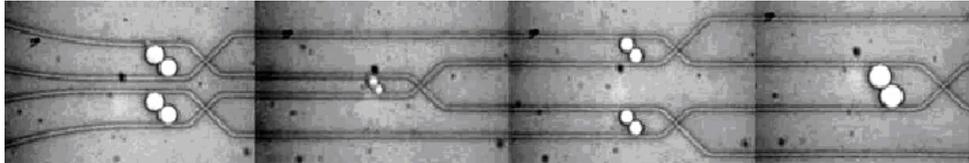


FIG. 5.14 – Image d'un λ -routeur 4×4 réalisé en technologie SOI.

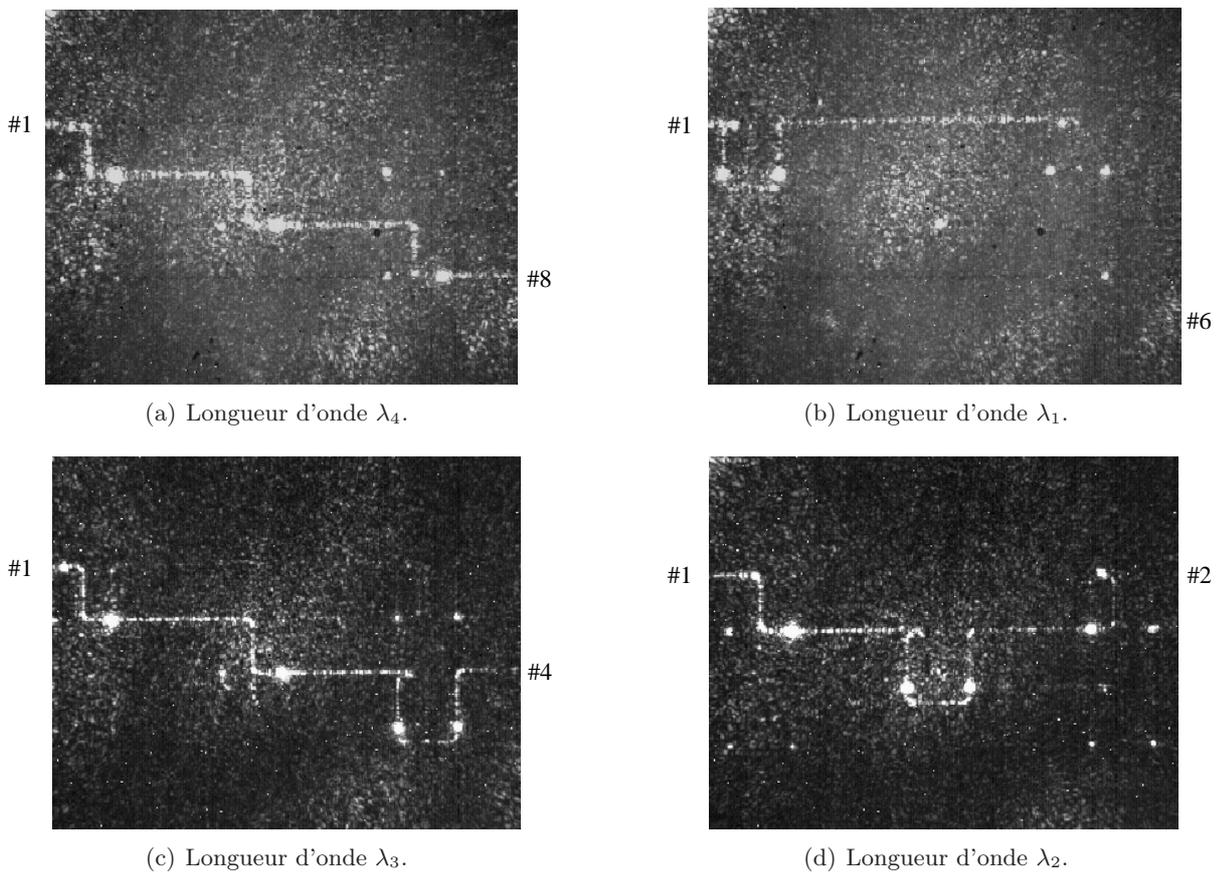


FIG. 5.15 – Photographie du λ -routeur 4×4 en fonctionnement - Les trois premiers étages sont visibles.

La figure 5.16 présente un exemple de réponse spectrale expérimentale mesurée sur un λ -routeur par Andrzej Kazmierczak [KAZ-05a].

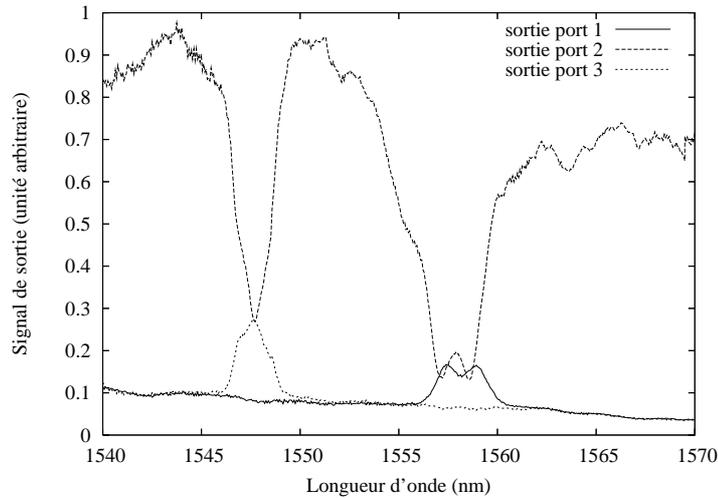


FIG. 5.16 – Réponse spectrale expérimentale mesurée sur un λ -routeur 4×4 .

5.2 Modélisation du λ -routeur

Dans cette thèse, nous cherchons à étudier la faisabilité de réseaux d'interconnexion optique intégrés, et à estimer leurs performances potentielles vis-à-vis des solutions standards. Nous avons ainsi dû modéliser et simuler les comportements optiques des composants élémentaires du niveau d'abstraction le plus bas (au plus près des comportements physiques des composants de bases) au niveau d'abstraction le plus élevé (le lien optique passif n'est plus caractérisé que par sa latence et ses pertes). Dans ce paragraphe, nous présentons rapidement les méthodes correspondant aux deux premiers niveaux d'abstraction : la modélisation physique FDTD³ [TAF-05] et la modélisation comportementale.

5.2.1 Modélisation physique : la méthode FDTD

Généralités

La résolution analytique des équations de Maxwell n'est possible que dans des cas extrêmement simples, pour les dispositifs réels des méthodes de résolutions numériques sont nécessaires. Nous avons choisi d'utiliser l'algorithme FDTD, très couramment employé.

La méthode FDTD fonctionne sur le même principe que certaines techniques numériques de différences finies (propagation scalaire). Il s'agit de réaliser une résolution directe des équations aux dérivées partielles qui définissent les champs électromagnétiques \vec{E} et \vec{H} dans la structure.

L'algorithme FDTD est un algorithme de différences finies, au second ordre, les dérivées partielles spatiales et temporelles des champs électrique \vec{E} et magnétique \vec{H} sont discrétisées en temps et dans l'espace. Les pas de discrétisation spatial et temporel sont choisis de façon à assurer la stabilité numérique de l'algorithme.

Les contraintes portant sur cette méthode sont le temps de calcul et la charge mémoire. En effet, le pas de discrétisation spatial est nécessairement très inférieur à la longueur d'onde du signal optique et le pas de discrétisation temporel très inférieur à sa période. Il est donc en particulier nécessaire de limiter l'espace de calcul, ce qui rend complexe l'écriture des conditions

³Finite Difference Time Domain.

aux limites (Les conditions de Mur⁴ [ENG-77] et PML⁵ [BER-94, BER-03, BER-98, BER-97, FAN-96] ont été implémentées dans l'algorithme).

Algorithme de la méthode

Les équations de Maxwell dans un milieu diélectrique à trois dimensions sont données par les équations (5.1) [TAF-05].

Dans un matériau isotrope non dispersif, les champs \vec{B} et \vec{H} d'une part et \vec{D} et \vec{E} d'autre part sont reliés par les relations (5.23). ϵ est la permittivité du milieu et μ sa perméabilité.

$$\begin{cases} \vec{B} = \mu \vec{H} \\ \vec{D} = \epsilon \vec{E} \end{cases} \quad (5.23)$$

Dans un repère cartésien $(O, \vec{x}, \vec{y}, \vec{z})$, les équations de Maxwell sont donc traduites par les 6 équations couplées (5.24).

$$\begin{cases} \frac{\partial H_x}{\partial t} = \frac{1}{\mu} \left(\frac{\partial E_y}{\partial z} - \frac{\partial E_z}{\partial y} \right) \\ \frac{\partial H_y}{\partial t} = \frac{1}{\mu} \left(\frac{\partial E_z}{\partial x} - \frac{\partial E_x}{\partial z} \right) \\ \frac{\partial H_z}{\partial t} = \frac{1}{\mu} \left(\frac{\partial E_x}{\partial y} - \frac{\partial E_y}{\partial x} \right) \\ \frac{\partial E_x}{\partial t} = \frac{1}{\epsilon} \left(\frac{\partial H_z}{\partial y} - \frac{\partial H_y}{\partial z} \right) \\ \frac{\partial E_y}{\partial t} = \frac{1}{\epsilon} \left(\frac{\partial H_x}{\partial z} - \frac{\partial H_z}{\partial x} \right) \\ \frac{\partial E_z}{\partial t} = \frac{1}{\epsilon} \left(\frac{\partial H_y}{\partial x} - \frac{\partial H_x}{\partial y} \right) \end{cases} \quad (5.24)$$

L'idée principale de l'algorithme de la FDTD est de discrétiser les équations (5.24) dans leur forme différentielle et de les remplacer par un jeu d'équations aux différences finies (Algorithme de Yee [TAF-05, YEE-66]).

Il s'agit d'une méthode de numérisation qui permet de passer de l'expression analytique de l'équation à une approximation numérique. Cette méthode peut s'appliquer à toute dérivée partielle spatiale ou temporelle, du premier ou second ordre (développement en série de Taylor).

La figure 5.17 représente la disposition des champs électromagnétiques \vec{E} et \vec{H} dans l'algorithme de Yee.

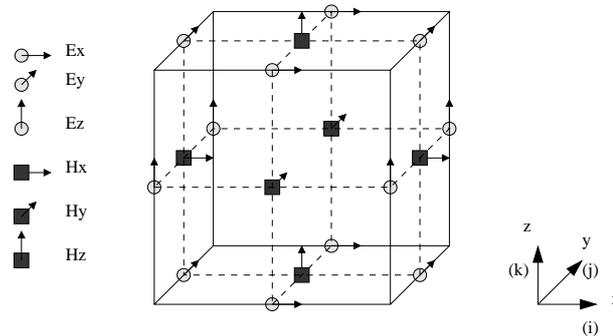


FIG. 5.17 – Représentation de l'espace de Yee.

⁴Basé sur les équations différentielles des conditions limites proposées par Engquist-Majda.

⁵Perfectly Matched Layer "simulant" un matériau à indice complexe.

On obtient à chaque instant t , un échantillonnage en volume de la distribution de \vec{E} et de \vec{H} , donné dans les équations (5.25) et (5.26).

$$\begin{cases} H_{x_{i,j,k}}^{n+1/2} = H_{x_{i,j,k}}^{n-1/2} + \frac{\Delta t}{\mu_{i,j,k}} \left(\frac{E_{y_{i,j,k+1/2}}^n - E_{y_{i,j,k-1/2}}^n}{\Delta z} - \frac{E_{z_{i,j+1/2,k}}^n - E_{z_{i,j-1/2,k}}^n}{\Delta y} \right) \\ H_{y_{i,j,k}}^{n+1/2} = H_{y_{i,j,k}}^{n-1/2} + \frac{\Delta t}{\mu_{i,j,k}} \left(\frac{E_{z_{i+1/2,j,k}}^n - E_{z_{i-1/2,j,k}}^n}{\Delta x} - \frac{E_{x_{i,j,k+1/2}}^n - E_{x_{i,j,k-1/2}}^n}{\Delta z} \right) \\ H_{z_{i,j,k}}^{n+1/2} = H_{z_{i,j,k}}^{n-1/2} + \frac{\Delta t}{\mu_{i,j,k}} \left(\frac{E_{x_{i,j+1/2,k}}^n - E_{x_{i,j-1/2,k}}^n}{\Delta y} - \frac{E_{y_{i+1/2,j,k}}^n - E_{y_{i-1/2,j,k}}^n}{\Delta x} \right) \end{cases} \quad (5.25)$$

$$\begin{cases} E_{x_{i,j,k}}^{n+1} = E_{x_{i,j,k}}^{n-1} + \frac{\Delta t}{\epsilon_{i,j,k}} \left(\frac{H_{z_{i,j+1/2,k}}^{n+1/2} - H_{z_{i,j-1/2,k}}^{n+1/2}}{\Delta y} - \frac{H_{y_{i,j,k+1/2}}^{n+1/2} - H_{y_{i,j,k-1/2}}^{n+1/2}}{\Delta z} \right) \\ E_{y_{i,j,k}}^{n+1} = E_{y_{i,j,k}}^{n-1} + \frac{\Delta t}{\epsilon_{i,j,k}} \left(\frac{H_{x_{i,j,k+1/2}}^{n+1/2} - H_{x_{i,j,k-1/2}}^{n+1/2}}{\Delta z} - \frac{H_{z_{i+1/2,j,k}}^{n+1/2} - H_{z_{i-1/2,j,k}}^{n+1/2}}{\Delta x} \right) \\ E_{z_{i,j,k}}^{n+1} = E_{z_{i,j,k}}^{n-1} + \frac{\Delta t}{\epsilon_{i,j,k}} \left(\frac{H_{y_{i+1/2,j,k}}^{n+1/2} - H_{y_{i-1/2,j,k}}^{n+1/2}}{\Delta x} - \frac{H_{x_{i,j+1/2,k}}^{n+1/2} - H_{x_{i,j-1/2,k}}^{n+1/2}}{\Delta y} \right) \end{cases} \quad (5.26)$$

Stabilité de l'algorithme

Le choix des pas spatiaux (Δx , Δy et Δz) et temporel (Δt) conditionne la convergence numérique. La stabilité numérique implique une relation entre les pas temporel et spatiaux donnée par l'équation (5.27) [TAF-05], où c_{max} est la vitesse de la propagation de l'onde lumineuse. De manière générale, la résolution spatiale est telle que la maille élémentaire soit inférieure au dixième de la longueur d'onde.

$$c_{max} \Delta t \leq \frac{1}{\sqrt{\frac{1}{\Delta x^2} + \frac{1}{\Delta y^2} + \frac{1}{\Delta z^2}}} \quad (5.27)$$

Condition d'injection

Différentes conditions d'injection ont été implémentées dans l'algorithme :

- une onde lumineuse sinusoïdale qui permet l'étude à fréquence fixe,
- une impulsion lumineuse qui permet une étude fréquentielle.

Calcul des puissances et traitements des données

Afin d'extraire certains paramètres utiles, il est nécessaire de réaliser un traitement des données obtenues par la simulation numérique. Il est en particulier intéressant de pouvoir calculer les puissances de sortie de la structure.

Le calcul du vecteur de Poynting permet de calculer la propagation de l'énergie dans une section de guide. C'est une évolution temporelle de flux qu'il faut calculer (c'est-à-dire en fonction du nombre d'itérations). L'équation (5.28) présente la façon de calculer le vecteur de Poynting en trois dimensions :

$$\vec{\Pi} = \vec{E} \wedge \vec{H} = \begin{bmatrix} E_y H_z - H_y E_z \\ E_z H_x - H_z E_x \\ E_x H_y - H_x E_y \end{bmatrix} \quad (5.28)$$

La transformée de Fourier du vecteur de Poynting permet de calculer les coefficients de transmission et de réflexion (équation (5.29), avec N le nombre d'échantillons, i_t le numéro de l'échantillon considéré et f_{i_t} la fréquence telle que l'équation (5.30)).

$$P_r^\alpha(f_{i_t}) = \sum_{k=0}^{N-1} \Delta t \exp \frac{j2\pi k i_t}{N} \quad (5.29)$$

$$f_{i_t} \equiv \frac{i_t}{N\Delta t} \quad (5.30)$$

Les coefficients de transmission T et de réflexion R sont alors calculés par les équations 5.31.

$$\begin{cases} T(f_{i_t}) = \frac{P_r^t(f_{i_t})}{P_r^i(f_{i_t})} \\ R(f_{i_t}) = \frac{P_r^r(f_{i_t})}{P_r^i(f_{i_t})} \end{cases} \quad (5.31)$$

5.2.2 Modèle comportemental : la méthode phénoménologique avec matrices S

Généralités

La méthode FDTD est contraignante en termes de temps de calcul. Du point de vue de la simulation d'un système, ce temps de calcul devient prohibitif, il est donc nécessaire de modéliser les structures à un niveau d'abstraction plus élevé.

C'est pour cette raison que nous avons développé des modèles comportementaux des briques élémentaires permettant de réaliser un λ -routeur complexe.

Les modèles comportementaux (phénoménologiques) utilisent un formalisme de matrices S [XU-00] implémenté avec le logiciel Matlab⁶ et son module de calcul formel (*Symbolic Toolbox*).

Pour chaque composant élémentaire, une matrice "optique S " (appelée aussi par abus de langage matrice S), permet de relier l'amplitude et la phase des ondes émergentes d'un composant optique à l'amplitude et la phase des ondes incidentes (figure 5.18 et équation 5.32).

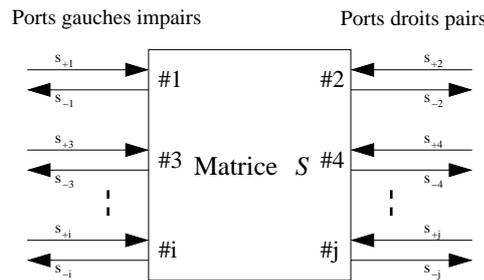


FIG. 5.18 – Convention et représentation d'une matrice S .

Par convention, les ports d'entrée-sortie de "gauche" de la structure sont indexés par des indices impairs et les ports de "droites" par des indices pairs. De plus, les ondes émergentes sont notées s_{-k} et les ondes incidentes s_{+k} .

⁶<http://www.mathworks.com>.

$$\begin{bmatrix} s_{-1} \\ s_{-2} \\ \dots \\ s_{-i} \\ s_{-j} \end{bmatrix} = \mathbf{S} \begin{bmatrix} s_{+1} \\ s_{+2} \\ \dots \\ s_{+i} \\ s_{+j} \end{bmatrix} \quad (5.32)$$

Les coefficients de cette matrice S dépendent du comportement de la structure, ils prennent en compte les propriétés suivantes :

- *La réciprocité* : elle s’applique à un composant constitué de matériaux dont la constante diélectrique et la perméabilité magnétique sont des scalaires. Il est possible de montrer que cette propriété se traduit par la symétrie de la matrice S . Cette caractéristique de symétrie sera vérifiée et contrôlée à chaque étape de la création de la matrice.
- *La conservation de l’énergie* : elle s’applique uniquement pour les systèmes sans pertes. Dans ce cas là, la matrice S (\mathbf{S}) est unitaire, c’est-à-dire qu’elle doit vérifier $\mathbf{S}^+ \mathbf{S} = 1$ (\mathbf{S}^+ la matrice transposée-conjuguée de \mathbf{S}). Cette propriété ne s’applique plus lorsque les structures ont des pertes.

Certaines approximations ont été faites dans l’écriture des modèles comportementaux :

- Les variations des indices effectifs des modes avec la longueur d’onde sont négligées. Il serait néanmoins possible d’écrire une équation comportementale supplémentaire permettant de tenir compte de ces variations.
- Les matériaux envisagés sont supposés isotropes.
- L’onde se propageant dans le réseau est supposée soit *TE* soit *TM*.

Un des avantages principaux du formalisme des matrices S réside dans la relative rapidité du calcul de la matrice S d’un système complexe à partir des matrices de ses composants élémentaires.

Considérons, par exemple, un système constitué de 2 composants élémentaires de matrices S : $\mathbf{S1}$ et $\mathbf{S2}$. On calcule tout d’abord les matrices de transfert T : $\mathbf{T1}$ et $\mathbf{T2}$ (équation (5.33)) des composants élémentaires.

$$\begin{bmatrix} s_{-1} \\ s_{+1} \\ \dots \\ s_{-i} \\ s_{+i} \end{bmatrix} = \mathbf{T} \begin{bmatrix} s_{-2} \\ s_{+2} \\ \dots \\ s_{-j} \\ s_{+j} \end{bmatrix} \quad (5.33)$$

La matrice de transfert T (\mathbf{T}) s’obtient à partir de la matrice S (\mathbf{S}) grâce à un changement de base :

$$\begin{pmatrix} out_{a1} \\ out_{b1} \\ \dots \\ out_{ap} \\ out_{bp} \\ \dots \\ out_{aP} \\ out_{bP} \end{pmatrix} = \begin{pmatrix} s_{1,1} & \dots & s_{1,2p} & \dots & s_{1,2P} \\ s_{2,1} & \dots & s_{2,2p} & \dots & s_{2,2P} \\ \dots & \dots & \dots & \dots & \dots \\ s_{2p-1,1} & \dots & s_{2p-1,2p} & \dots & s_{2p-1,2P} \\ s_{2p,1} & \dots & s_{2p,2p} & \dots & s_{2p,2P} \\ \dots & \dots & \dots & \dots & \dots \\ s_{2P-1,1} & \dots & s_{2P-1,2p} & \dots & s_{2P-1,2P} \\ s_{2P,1} & \dots & s_{2P,2p} & \dots & s_{2P,2P} \end{pmatrix} \begin{pmatrix} in_{a1} \\ in_{b1} \\ \dots \\ in_{ap} \\ in_{bp} \\ \dots \\ in_{aP} \\ in_{bP} \end{pmatrix} \quad \text{soit } \mathbf{A} = \mathbf{S} \mathbf{B}$$

$$\begin{pmatrix} in_{a1} \\ out_{a1} \\ \dots \\ in_{ap} \\ out_{ap} \\ \dots \\ in_{aP} \\ out_{aP} \end{pmatrix} = \begin{pmatrix} t_{1,1} & \dots & t_{1,2p} & \dots & t_{1,2P} \\ t_{2,1} & \dots & t_{2,2p} & \dots & t_{2,2P} \\ \dots & \dots & \dots & \dots & \dots \\ t_{2p-1,1} & \dots & t_{2p-1,2p} & \dots & t_{2p-1,2P} \\ t_{2p,1} & \dots & t_{2p,2p} & \dots & t_{2p,2P} \\ \dots & \dots & \dots & \dots & \dots \\ t_{2P-1,1} & \dots & t_{2P-1,2p} & \dots & t_{2P-1,2P} \\ t_{2P,1} & \dots & t_{2P,2p} & \dots & t_{2P,2P} \end{pmatrix} \begin{pmatrix} out_{b1} \\ in_{b1} \\ \dots \\ out_{bp} \\ in_{bp} \\ \dots \\ out_{bP} \\ in_{bP} \end{pmatrix} \quad \text{soit } \mathbf{A}' = \mathbf{T} \mathbf{B}'$$

Les matrices de passage \mathbf{P} de \mathbf{B} à \mathbf{B}' ($\mathbf{B} = \mathbf{P} \mathbf{B}'$) et \mathbf{Q} de \mathbf{A} à \mathbf{A}' ($\mathbf{A} = \mathbf{Q} \mathbf{A}'$) s'écrivent :

$$\mathbf{P}^{-1} = \begin{pmatrix} s_{2,1} & \dots & s_{2,2p} & \dots & s_{2,2P} \\ 0 & 1 & 0 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ s_{2p,1} & \dots & s_{2p,2p} & \dots & s_{2p,2P} \\ 0 & \dots & 1 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ s_{2P,1} & \dots & s_{2P,2p} & \dots & s_{2P,2P} \\ 0 & \dots & \dots & 0 & 1 \end{pmatrix}$$

$$\mathbf{Q}^{-1} = \begin{pmatrix} \tilde{s}_{1,1} & \dots & \tilde{s}_{1,2p} & \dots & \tilde{s}_{1,2P} \\ 1 & 0 & \dots & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ \tilde{s}_{2p-1,1} & \dots & \tilde{s}_{2p-1,2p} & \dots & \tilde{s}_{2p-1,2P} \\ 0 & \dots & 1 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ \tilde{s}_{2P-1,1} & \dots & \tilde{s}_{2P-1,2p} & \dots & \tilde{s}_{2P-1,2P} \\ 0 & \dots & 0 & 1 & 0 \end{pmatrix}$$

$\tilde{s}_{i,j}$ étant les coefficients de la matrice $\tilde{\mathbf{S}} = \mathbf{S}^{-1}$.

On obtient donc la matrice \mathbf{T} telle que :

$$\mathbf{T} = \mathbf{Q}^{-1} \mathbf{S} \mathbf{P}$$

La matrice de transfert du système complet est bien sûr égale à $\mathbf{T} = \mathbf{T}_1 \mathbf{T}_2$, et un nouveau changement de base permet de calculer la matrice S du système.

Le principe est semblable au précédent et décrit par les équations suivantes :

$$\begin{pmatrix} in_{a1} \\ out_{a1} \\ \dots \\ in_{ap} \\ out_{ap} \\ \dots \\ in_{aP} \\ out_{aP} \end{pmatrix} = \begin{pmatrix} t_{1,1} & \dots & t_{1,2p} & \dots & t_{1,2P} \\ t_{2,1} & \dots & t_{2,2p} & \dots & t_{2,2P} \\ \dots & \dots & \dots & \dots & \dots \\ t_{2p-1,1} & \dots & t_{2p-1,2p} & \dots & t_{2p-1,2P} \\ t_{2p,1} & \dots & t_{2p,2p} & \dots & t_{2p,2P} \\ \dots & \dots & \dots & \dots & \dots \\ t_{2P-1,1} & \dots & t_{2P-1,2p} & \dots & t_{2P-1,2P} \\ t_{2P,1} & \dots & t_{2P,2p} & \dots & t_{2P,2P} \end{pmatrix} \begin{pmatrix} out_{b1} \\ in_{b1} \\ \dots \\ out_{bp} \\ in_{bp} \\ \dots \\ out_{bP} \\ in_{bP} \end{pmatrix} \quad \text{soit } \mathbf{A} = \mathbf{T} \mathbf{B}$$

$$\begin{pmatrix} out_{a1} \\ out_{b1} \\ \dots \\ out_{ap} \\ out_{bp} \\ \dots \\ out_{aP} \\ out_{bP} \end{pmatrix} = \begin{pmatrix} s_{1,1} & \dots & s_{1,2p} & \dots & s_{1,2P} \\ s_{2,1} & \dots & s_{2,2p} & \dots & s_{2,2P} \\ \dots & \dots & \dots & \dots & \dots \\ s_{2p-1,1} & \dots & s_{2p-1,2p} & \dots & s_{2p-1,2P} \\ s_{2p,1} & \dots & s_{2p,2p} & \dots & s_{2p,2P} \\ \dots & \dots & \dots & \dots & \dots \\ s_{2P-1,1} & \dots & s_{2P-1,2p} & \dots & s_{2P-1,2P} \\ s_{2P,1} & \dots & s_{2P,2p} & \dots & s_{2P,2P} \end{pmatrix} \begin{pmatrix} in_{a1} \\ in_{b1} \\ \dots \\ in_{ap} \\ in_{bp} \\ \dots \\ in_{aP} \\ in_{bP} \end{pmatrix} \quad \text{soit } \mathbf{A}' = \mathbf{S} \mathbf{B}'$$

Les matrices de passage \mathbf{P}' de \mathbf{B} à \mathbf{B}' ($\mathbf{B} = \mathbf{P}' \mathbf{B}'$) et \mathbf{Q}' de \mathbf{A} à \mathbf{A}' ($\mathbf{A} = \mathbf{Q}' \mathbf{A}'$) s'écrivent :

$$\mathbf{P}'^{-1} = \begin{pmatrix} t_{1,1} & \dots & s_{1,2p} & \dots & s_{1,2P} \\ 0 & 1 & 0 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ s_{2p-1,1} & \dots & s_{2p-1,2p} & \dots & s_{2p-1,2P} \\ 0 & \dots & 1 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ s_{2P-1,1} & \dots & s_{2P-1,2p} & \dots & s_{2P-1,2P} \\ 0 & \dots & \dots & 0 & 1 \end{pmatrix}$$

$$\mathbf{Q}'^{-1} = \begin{pmatrix} 0 & 1 & 0 & \dots & 0 \\ \tilde{t}_{1,1} & \dots & \tilde{t}_{1,2p} & \dots & \tilde{t}_{1,2P} \\ \dots & \dots & \dots & \dots & \dots \\ \tilde{t}_{2p-1,1} & \dots & \tilde{t}_{2p-1,2p} & \dots & \tilde{t}_{2p-1,2P} \\ 0 & \dots & 1 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & 0 & 0 & 1 \\ \tilde{t}_{2P-1,1} & \dots & \tilde{t}_{2P-1,2p} & \dots & \tilde{t}_{2P-1,2P} \end{pmatrix}$$

$\tilde{t}_{i,j}$ étant les coefficients de la matrice $\tilde{\mathbf{T}} = \mathbf{T}^{-1}$.

La matrice S du système global est décrite par :

$$\mathbf{S} = \mathbf{Q}'^{-1} \mathbf{T} \mathbf{P}'$$

Dans un souci de simplicité, de rapidité de simulation et de facilité d'utilisation, nous avons décidé d'utiliser un logiciel de calcul formel (Matlab). Ainsi, nous déterminons une matrice symbolique $\mathbf{S}(\lambda)$ pour chaque modèle complexe.

Modélisation d'un guide d'onde droit

Le modèle d'un guide d'onde droit doit rendre compte du déphasage de l'onde incidente en fonction du chemin optique parcouru dans le guide et de l'atténuation de l'onde dans ce guide.

La matrice S d'un guide d'onde droit est définie par l'équation (5.34) :

$$\mathbf{S}_{guide} = \begin{bmatrix} 0 & \exp\left(-\frac{2j\pi d N_{eff}}{\lambda}\right) \exp(-\alpha d) \\ \exp\left(-\frac{2j\pi d N_{eff}}{\lambda}\right) \exp(-\alpha d) & 0 \end{bmatrix} \quad (5.34)$$

dans laquelle N_{eff} est l'indice effectif du guide dans l'état de polarisation considéré, d sa longueur, λ la longueur d'onde injectée dans le guide et α son atténuation.

Modélisation du croisement de deux guides

La modélisation d'un croisement de guides doit rendre compte de la réflexion et de la diaphonie d'amplitude. Le composant est supposé sans pertes intrinsèques. Pour les prendre en compte, il suffit d'ajouter des guides d'ondes à pertes aux quatre extrémités du croisement.

La matrice S d'un croisement est définie par l'équation (5.35).

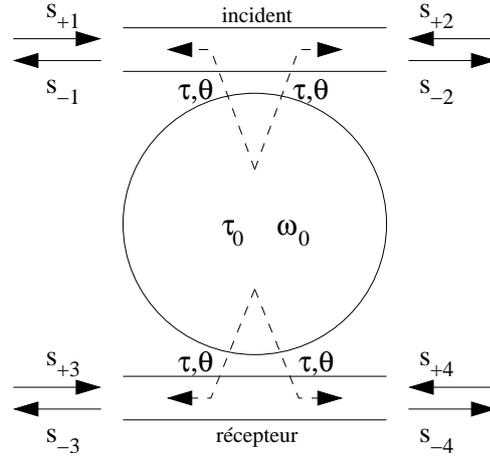
$$\mathbf{S}_{croix} = \begin{bmatrix} r.e^{j\rho} & diaph_1 e^{j\Phi_1} & diaph_2 e^{j\Phi_2} & t.e^{j\theta} \\ diaph_1 e^{j\Phi_1} & r.e^{j\rho} & t.e^{j\theta} & diaph_2 e^{j\Phi_2} \\ diaph_2 e^{j\Phi_2} & t.e^{j\theta} & r.e^{j\rho} & diaph_1 e^{j\Phi_1} \\ t.e^{j\theta} & diaph_2 e^{j\Phi_2} & diaph_1 e^{j\Phi_1} & r.e^{j\rho} \end{bmatrix} \quad (5.35)$$

Modélisation d'un filtre *add-drop* à microdisque

La théorie des modes couplés est utilisée pour modéliser le comportement des filtres à microdisques [KHA-99, MOR-04, YAR-73].

La figure 5.19 présente la vue d'un filtre de type *add-drop* à un microdisque avec ses différentes ondes incidentes et émergentes.

Les paramètres du modèle sont : ω_0 la pulsation de résonance λ_0 du microdisque, τ_0 la constante de temps qui caractérise les pertes intrinsèques dans le microdisque, τ_{bus} et τ_{rec} les constantes de temps caractéristiques du couplage entre le microdisque et les guides incidents


 FIG. 5.19 – *Add-drop* à un microdisque pour les matrices S .

ou récepteurs (θ_{bus} et θ_{rec} les déphasages associés) (figure 5.19) et n_{eff} et d l'indice effectif et la longueur des guides d'ondes entre les plans d'entrée et de sortie. Un exemple de matrice est donné dans l'annexe D.

Ces paramètres peuvent être calculés à partir de la mesure des coefficients de qualité de la structure :

$$Q_0 = \frac{\omega_0 \tau_0}{2} \quad (5.36)$$

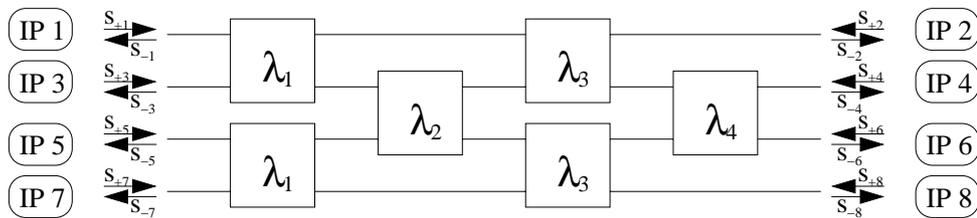
$$Q_{bus,rec} = \frac{\omega_0 \tau_{bus,rec}}{2} \quad (5.37)$$

La durée de vie des photons doit de plus vérifier l'équation (5.38).

$$Q_{total}^{-1} = Q_0^{-1} + Q_{bus}^{-1} + Q_{rec}^{-1} \quad (5.38)$$

Simulation d'un λ -routeur 4×4

Un λ -routeur 4×4 a été conçu [DRO-05] (architecture rappelée sur la figure 5.20).


 FIG. 5.20 – Architecture d'un λ -routeur 4×4 .

Les rayons des différents microdisques sont respectivement de $R1 = 1 \mu\text{m}$, $R2 = 1,5 \mu\text{m}$, $R3 = 2 \mu\text{m}$ et $R4 = 2,5 \mu\text{m}$. Les paramètres des modèles des filtres ont été extraits à partir

des simulations FDTD pour les fréquences de résonance ($\lambda_1 = 1,54615 \mu\text{m}$, $\lambda_2 = 1,55725 \mu\text{m}$, $\lambda_3 = 1,56745 \mu\text{m}$ et $\lambda_4 = 1,577 \mu\text{m}$) et à partir des mesures de pertes pour les paramètres de couplage.

La figure 5.21 donne les réponses spectrales des sorties du λ -routeur pour une entrée sur le port #1 (injection de lumière blanche). Il s'agit des résultats obtenus pour des structures réelles, qui prennent en compte les pertes et les phénomènes de réflexion parasites.

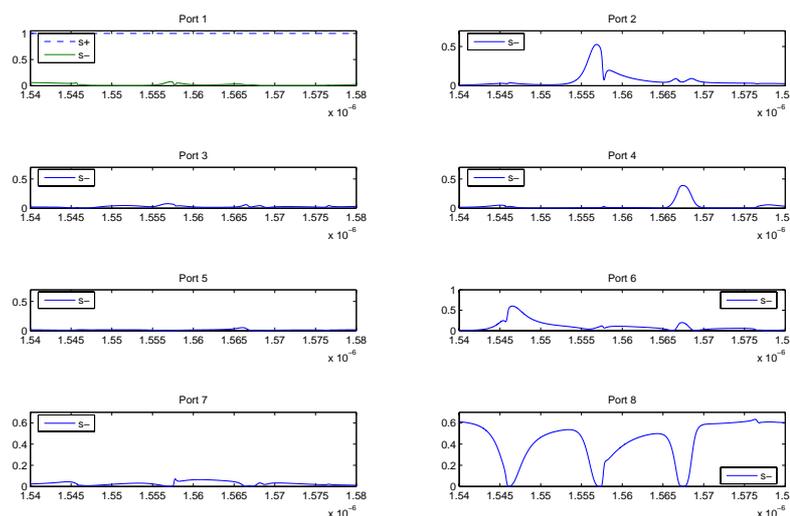


FIG. 5.21 – Réponses spectrales d'un λ -routeur 4×4 .

On met en évidence sur les ports de sortie #2, #4 et #6 une partie de l'intensité de l'onde incidente aux longueurs d'onde λ_2 , λ_3 et λ_1 . Sur le port de sortie #8 on observe l'intensité de l'onde incidente aux autres longueurs d'onde.

D'un point de vue expérimental, la puissance optique sur l'un des ports de sortie représente 60 % de la puissance optique incidente, les transmissions parasites (diaphonie et réflexion) n'excèdent jamais 15 % du signal injecté.

Les résultats issus de la simulation comportementale du réseau sont essentiels pour la conception globale du système. En effet, ces résultats permettent en particulier de déterminer la puissance optique à la sortie de chaque port, ce qui permet de concevoir les circuits d'interfaces optoélectroniques.

5.3 Résumé

5.3.1 Composants et filtres optiques élémentaires

Les tableaux 5.6 à 5.9 présentent les briques élémentaires nécessaires à la réalisation du λ -routeur, des résultats de simulation FDTD, des résultats de simulations comportementales ainsi qu'une photographie du dispositif réalisé.

Les résultats de simulations FDTD 2D sur les structures élémentaires permettent de visualiser la propagation de l'onde électromagnétique dans la structure à un instant donné de la simulation. En ce qui concerne les filtres à microdisque, seules les simulations pour une longueur d'onde de

résonance sont présentées. Qualitativement, il est visible que l’onde est correctement confinée dans la structure.

Les résultats de simulation comportementale donnent la réponse spectrale de chaque structure (injection de lumière blanche dans le port #1).

5.3.2 Temps de simulation

Le tableau 5.5 donne les temps de simulation (*CPU Time*) pour un filtre *add-drop* à 1 microdisque, un λ -routeur 4×4 et un λ -routeur 8×8 .

TAB. 5.5 – Comparaison du temps de simulation FDTD vs. Matrices S .

	FDTD	Matrice S
<i>Add-drop</i> à 1 microdisque	16 heures	0,25 minute
λ -routeur 4×4	72 heures	6 minutes
λ -routeur 8×8	mémoire insuffisante	17,5 minutes

Les simulations FDTD ont été faites avec le logiciel Fullwave sur une machine biprocesseur Intel XEON 3,06 Ghz avec 4 Go de mémoire. Les simulations comportementales utilisent le logiciel Matlab 7 sur une machine biprocesseur Intel XEON 2,8 Ghz avec 1 Go de mémoire.

Les machines utilisées actuellement ne sont pas suffisamment puissantes (processeur et mémoire), en termes de temps de calcul et espace mémoire, pour modéliser au niveau physique (FDTD) un λ -routeur qui possède plus de 16 entrées-sorties. Il est nécessaire de monter en abstraction pour modéliser de tels systèmes en utilisant le formalisme des matrices S qui nous permet de modéliser des systèmes complexes en concaténant les matrices de blocs élémentaires. La difficulté majeure de modélisation entre ces deux niveaux d’abstraction est de “jumeler” le mieux possible le comportement de la matrice S à celui des résultats FDTD ou des caractérisations (ceci impose une matrice S spécifique pour chaque bloc élémentaire utilisé). Les “dégradations” acceptables entre le modèle comportemental et le modèle physique sont : *i*) la suppression du comportement multimode d’une structure qui n’est pas pris en compte nativement par les matrices S et *ii*) le couplage entre les guides d’onde et les microdisques considéré comme ponctuel.

5.3.3 Dessin des masques

Trois lots de circuits ont été réalisés :

- MOM2 et GUI1 dans le cadre du projet Hétéropt (annexe C.1),
- LAM1 dans le cadre du projet LambdaConnect (annexe C.2).

La caractérisation du lot MOM2 a été réalisée par Andrzej Kazmierczak et les principaux résultats sont présentés dans [KAZ–05b].

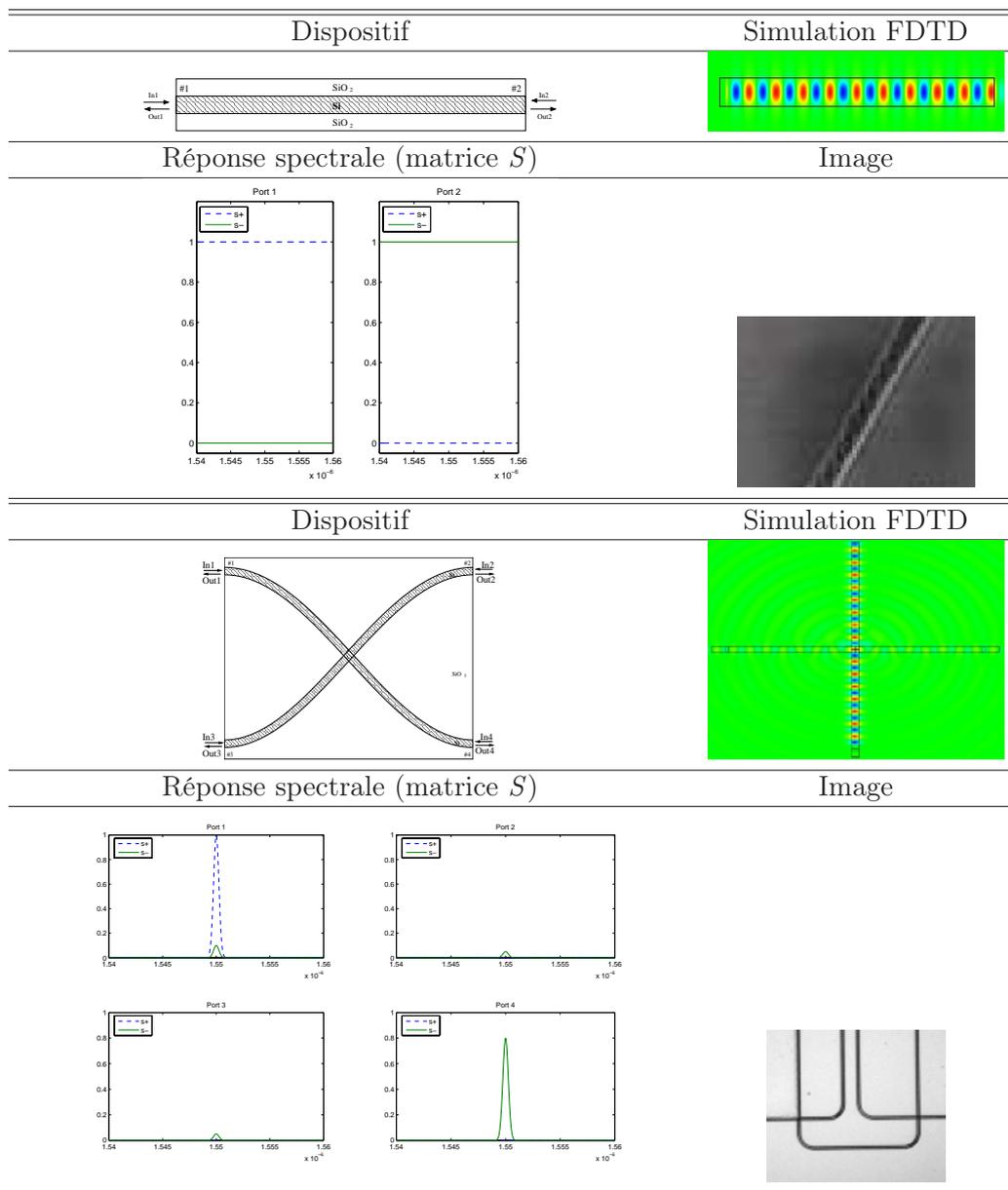
La caractérisation du lot LAM1 a été réalisée par Andrzej Kazmierczak, les résultats ont été publiés dans [KAZ–05a].

5.4 Conclusion

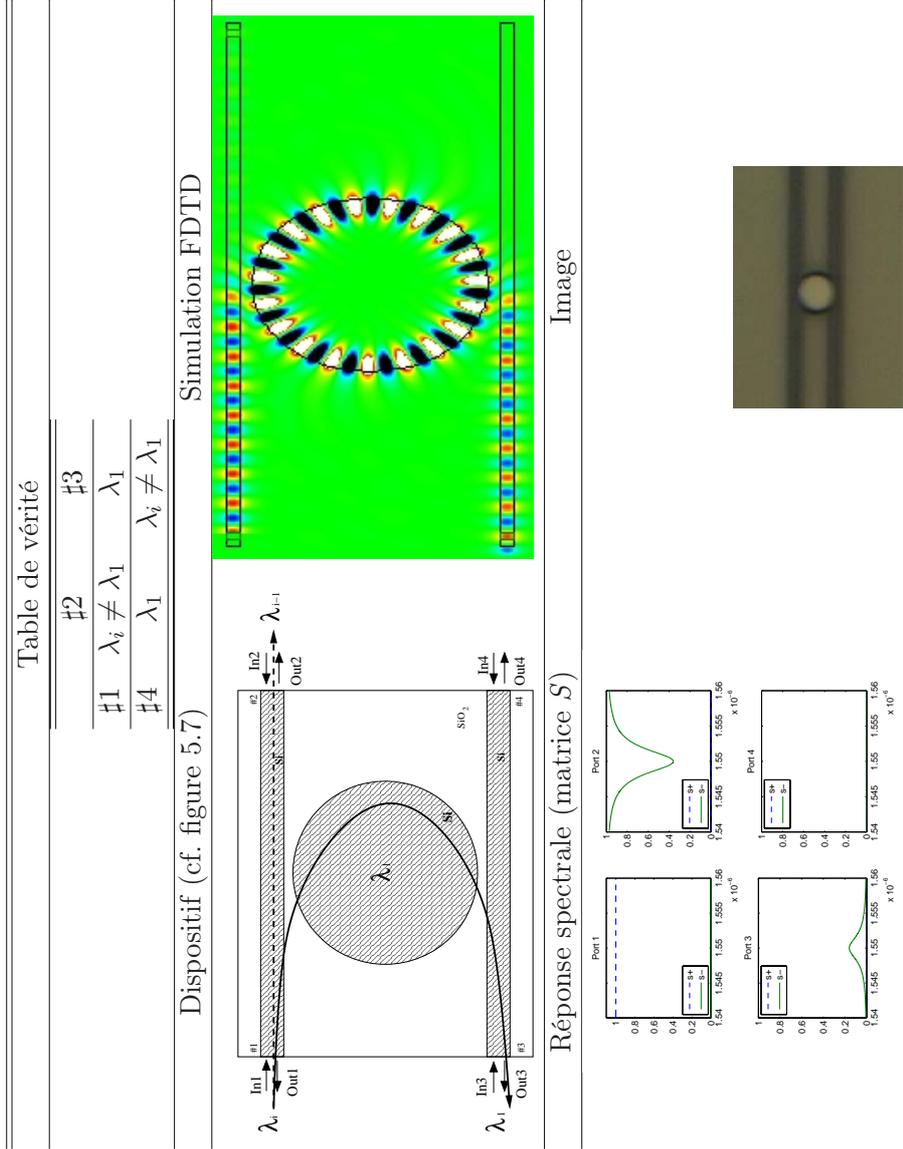
Les sections précédentes ont montré comment concevoir, et avec quels outils, un λ -routeur, en partant de ses caractérisations jusqu’à obtenir des modèles physiques précis et relativement rapides en termes de temps de calcul. De plus, la modélisation phénoménologique au niveau

comportement va permettre d'intégrer directement le comportement réaliste du λ -routeur au niveau système de modélisation de l'ONoC. Cette étape était le lien manquant dans la conception de l'ONoC complet. En effet, ce formalisme de matrice S est très facilement implémentable dans le prototype virtuel, comme il le sera montré dans la partie III. Ceci garantit une grande rapidité de simulation et une bonne fiabilité des résultats, ce qui permettra de réaliser des estimations de performances précises de l'ONoC.

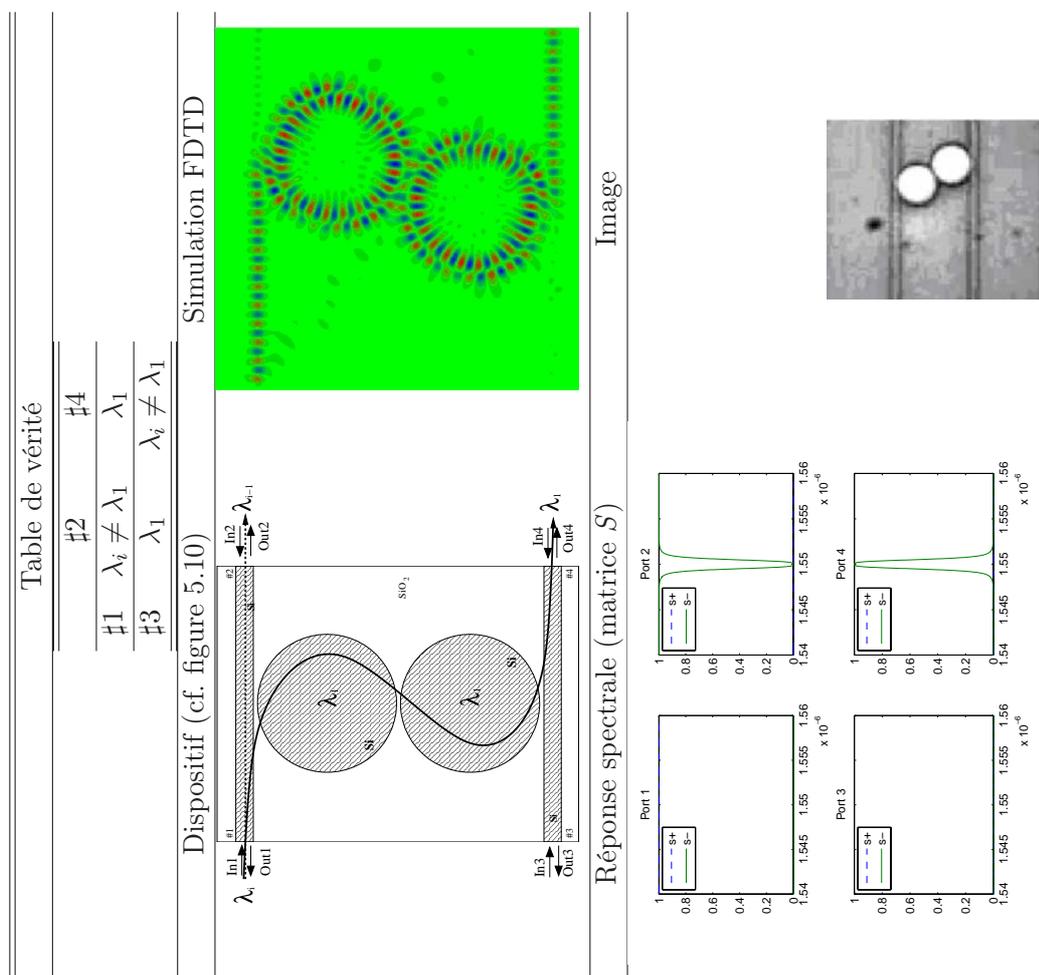
TAB. 5.6 – Dispositifs optiques passifs élémentaires (partie 1).



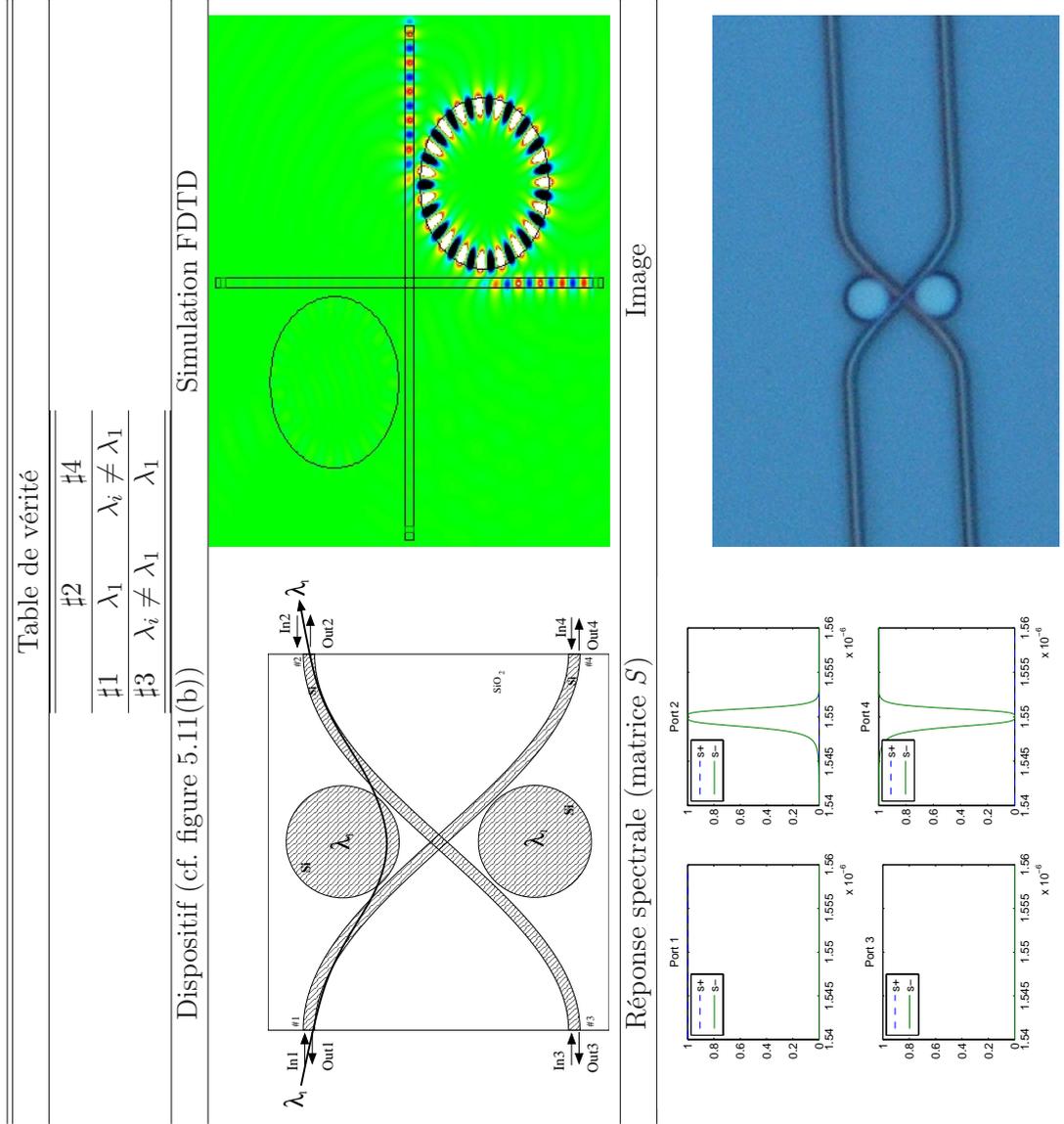
TAB. 5.7 – Dispositifs optiques passifs élémentaires (partie 2).



TAB. 5.8 – Dispositifs optiques passifs élémentaires (partie 3).



TAB. 5.9 – Dispositifs optiques passifs élémentaires (partie 4).



Chapitre 6

Présentation d'un réseau de communication optique intégré

6.1 Généralités

Un réseau de communication optique intégré (ou ONoC¹) est fortement multidomaine. Il inclut des blocs fonctionnels optiques optoélectroniques et électroniques. Du point de vue de sa fonctionnalité un ONoC peut se décomposer en trois grandes sous-parties :

- une partie émission qui réalise la conversion électro-optique,
- une partie transport qui aiguille la lumière,
- une partie réception qui réalise la conversion optoélectronique.

Le paragraphe 2.2.2 a présenté une approche possible d'intégration hétérogène d'un circuit CMOS standard avec une couche de transport optique en technologie SOI et des émetteurs-récepteurs en technologie III-V.

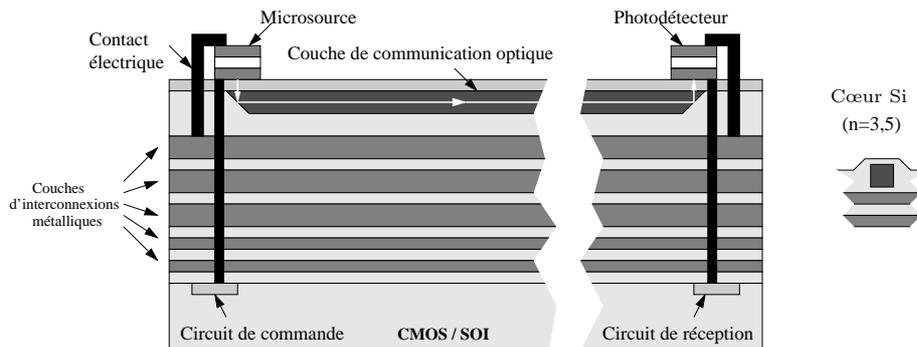


FIG. 6.1 – Technologie SOI (vue de côté) - *Above IC*.

L'architecture que nous avons conçue (figure 6.1) permet de faire communiquer des ressources (processeurs et mémoires) à travers un réseau optique intégré. Chaque ressource doit pouvoir émettre et recevoir des données, elle doit donc posséder un bloc d'émission et un bloc de réception

¹Optical Network on Chip.

(figure 6.2). L'ONoC se décompose en plusieurs sous parties qu'il sera nécessaire de concevoir dans une approche hiérarchique.

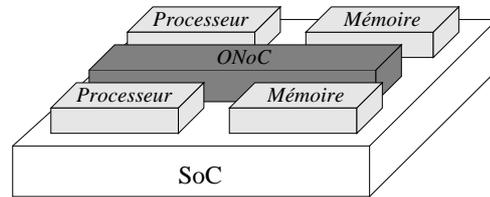


FIG. 6.2 – Schéma-bloc d'un système sur puce utilisant un ONoC comme réseau de communication.

L'ONoC est un réseau de communication complet et non pas une simple interconnexion optique passive. Il comprend en particulier le réseau de transport (passif) des interfaces de conversion électrique-optique et optique-électronique (analogiques) et des blocs numériques (figure 6.3).

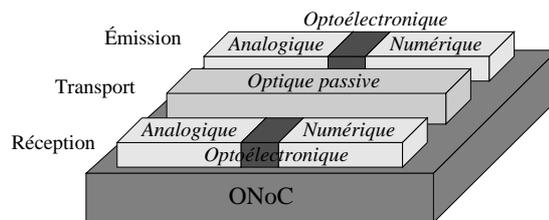


FIG. 6.3 – Schéma-bloc de l'ONoC.

En résumé, un ONoC est constitué :

- d'un circuit optique passif,
- de blocs optoélectroniques incluant un circuit de commande et des lasers pour l'émission, un circuit de détection et des photodiodes pour la réception,
- des blocs numériques adaptés au protocole utilisé (dans le cadre de l'utilisation du protocole VCI, ces blocs incluent un sérialiseur, un désérialiseur, un bloc de sélection de longueur d'onde).

La figure 6.4 présente une chaîne d'émission et de réception unidirectionnelle et les différents blocs la constituant. On constate en particulier l'extrême hétérogénéité de ce système de communications.

6.2 Le cahier des charges

Trois spécifications permettent de définir, au plus haut niveau d'abstraction, le cahier des charges du système : les technologies utilisées, le taux d'erreur par bit et le débit.

Nous avons conçu les blocs électroniques (analogiques et numériques) avec la technologie ST CMOS 0,13 μm ; les performances et les caractéristiques des émetteurs et des récepteurs de lumière sont extraites des données des fabricants ("*datasheets*²"); les performances de la

²Documentation du fabricant.

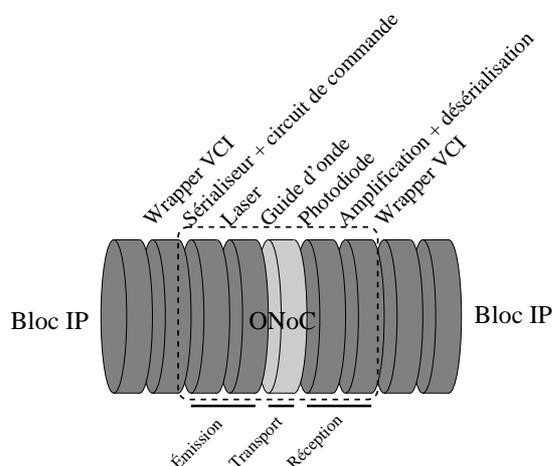


FIG. 6.4 – Chaîne unidirectionnelle d’émission et de réception entre deux blocs IP.

technologie SOI utilisée pour la fabrication des circuits optiques passifs sont déterminées par caractérisations.

Le taux d’erreur par bit a été choisi égal à 10^{-18} . Ce paramètre extrêmement contraignant correspond à une erreur tous les 15 jours pour une architecture à 64 bits fonctionnant à 10 Gbit/s.

La contrainte sur le débit est ajustable, le débit devra être le plus grand possible compte tenu des contraintes imposées par la technologie.

Ces spécifications permettent de concevoir les différents blocs fonctionnels de l’ONoC.

Il est à noter que ces spécifications sont concurrentes, c’est-à-dire qu’elles influent les unes sur les autres. En effet, par exemple le débit maximal atteint par l’ONoC dépend fortement de la technologie silicium utilisée pour fabriquer les circuits d’interfaces et, la conception de ces circuits dépend fortement du taux d’erreur par bit demandé.

6.3 Le protocole de communication et les *wrappers* de l’ONoC

Comme le décrit la partie I, un grand nombre de fonctions (blocs IP) d’un système sur puce peuvent être interconnectées par l’intermédiaire d’un réseau optique.

Pour que ces différents blocs IP puissent communiquer ensemble, il faut réaliser une “traduction” de protocole entre les différentes parties du système. Cette traduction est réalisée par des circuits numériques, appelés *wrappers*.

Dans le but de comparer les performances d’un réseau électrique avec l’ONoC nous avons choisi le protocole VCI.

Il existe deux types de *wrappers* : des *wrappers* initiateurs et des *wrappers* cibles. En effet, dans le cadre de la norme VCI, un système sur puce peut posséder des initiateurs (action de demande, par un premier type de blocs IP) et des cibles (action de réponse, par un second type de blocs IP) ; ces deux types de blocs IP ont des protocoles de communication différents, ce qui implique deux types de *wrappers* différents. Les *wrappers* initiateurs transcrivent le protocole des

initiateurs en protocole du réseau (pour les signaux émis par l'initiateur) et inversement pour les signaux reçus par l'initiateur. Les *wrappers* cibles transcrivent le protocole des cibles en protocole du réseau (pour les signaux réémis par la cible) et inversement pour les signaux arrivant sur les cibles.

Le protocole de réseau est défini par le tableau 6.1.

TAB. 6.1 – Spécification des entrées-sorties de l'ONoC.

Fonction	Largeur du bus (bit)
Entrée de l'ONoC	36
Sortie de l'ONoC	36
Sélection de la longueur d'onde	8

Les *wrappers* initiateurs et les *wrappers* cibles échangent des mots de données de 36 bits, 8 bits de sélection de longueur d'onde permettent de sélectionner une cible parmi 256 possibles (au maximum). Il apparaît clairement que les architectures de SoC actuellement envisageables n'atteindront pas à court terme une telle complexité (512 ressources à interconnecter) ; aussi, la conception que nous avons entreprise est scalable, elle permet donc d'estimer les performances d'architectures "plus raisonnables" (2^{n+1} ressources avec $n < 8$).

Les *wrappers* (circuits entièrement numériques) ne seront pas étudiés ni présentés en détail dans ce travail.

6.4 Architecture de la chaîne d'émission

6.4.1 Présentation

Le protocole VCI impose que les blocs IP échangent des mots de données de 36 bits. Nous avons fait le choix de transmettre ces données en série dans le réseau optique d'interconnexion.

La sérialisation permet de réduire le nombre de canaux de transmission ce qui simplifie considérablement le placement-routage de l'ONoC.

Par ailleurs, il est sans doute technologiquement impossible de transmettre optiquement 36 bits en parallèle ; en effet cela imposerait d'intégrer, pour chaque ressource 36 sources lasers (par longueur d'onde) et 36 détecteurs. C'est-à-dire pour un système comprenant 512 ressources : $36 \text{ (lasers)} \times 256 \text{ (ressources à atteindre)} \times 512 \text{ (ressources)} = 4\,718\,592$ sources lasers.

Le protocole VCI, comme tous les protocoles de communication d'un système sur puce, impose que chaque ressource (initiateur ou cible) indique, par une adresse, le destinataire des données qu'elle envoie dans le réseau de communication. Dans notre système, un signal de sélection codé sur 8 bits est utilisé pour sélectionner un destinataire parmi $2^8 = 256$ destinataires. Un décodeur numérique est nécessaire pour sélectionner la longueur d'onde.

Une fois le destinataire sélectionné, il faut convertir le signal électrique en signal optique. Dans notre application, l'aiguillage du signal ne se fait plus électriquement, mais optiquement en fonction de sa longueur d'onde. Chaque destinataire est donc associé à une longueur d'onde correspondant à la table de vérité du λ -routeur. Chaque ressource de l'ONoC doit donc pouvoir transmettre le signal sur une longueur d'onde parmi 256. Pour des raisons de maturité technologique nous avons choisi d'implémenter 256 sources émettant sur une longueur d'onde unique plutôt que des sources accordables.

La chaîne d'émission est composée des éléments suivants :

- un sérialiseur,
- un décodeur,
- un démultiplexeur (routage des signaux numériques),
- des circuits de commande,
- des sources lasers.

La figure 6.5 représente la chaîne d'émission complète susceptible de permettre la communication de 256 initiateurs et de 256 cibles.

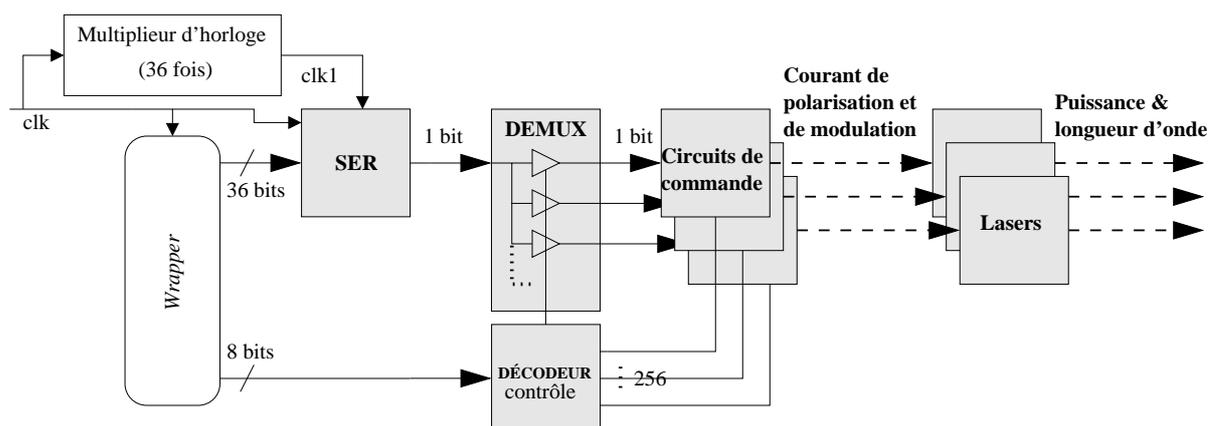


FIG. 6.5 – Partie émission de l'ONoC.

Le *wrapper* fournit à la chaîne d'émission deux mots : *i*) les bits de sélection qui contrôlent les lasers à commander et *ii*) les bits de données à convertir en signal optique et à transmettre dans le λ -routeur.

En sortie de la chaîne d'émission, la longueur d'onde sélectionnée est injectée dans le λ -routeur.

Les prochaines sections détaillent chaque bloc fonctionnel de la chaîne d'émission.

6.4.2 Sérialiseur

Les données à transmettre doivent être "sérialisées" avant leur conversion électro-optique.

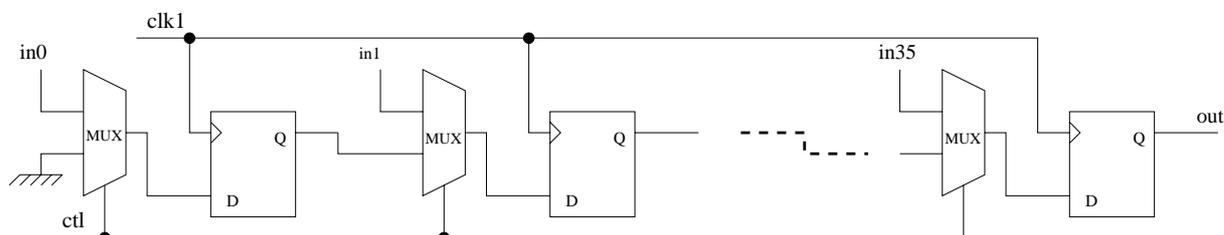


FIG. 6.6 – Principe de fonctionnement du sérialiseur.

L'horloge globale du sérialiseur (bloc *SER* sur la figure 6.5) doit donc être 36 fois plus rapide que l'horloge du *wrapper*. Dans cette étude, on simplifiera le fonctionnement du sérialiseur en supposant que cette horloge provient, soit des blocs IP du système, soit d'un système de

multiplication d'horloge (comme le montre la figure 6.5), qui, dans le temps dont nous disposons, n'a pas été prise en compte dans l'architecture de la partie émission.

Le sérialiseur est entièrement numérique et est conçu en technologie CMOS 0,13 μm . La figure 6.6 présente son architecture simplifiée : les données arrivent en parallèle sur les entrées in_0 à in_{35} puis sont transmises en série sur la sortie grâce à des registres à décalage.

6.4.3 Décodeur

Le décodeur permet de sélectionner un des lasers de la chaîne d'émission (figure 6.7). Il reçoit un mot de contrôle de 8 bits provenant de la ressource à laquelle il est associé, et active un circuit de commande parmi 256 (par convention le bit d'activation vaut '1' pour le laser émetteur).

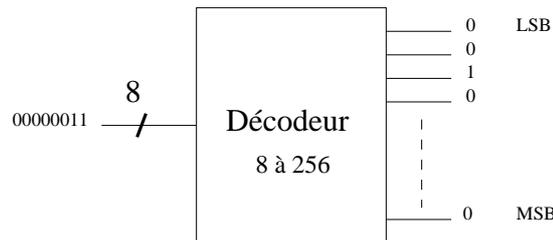


FIG. 6.7 – Principe de fonctionnement du décodeur 8 vers 256.

Chaque ressource est associée à un décodeur, les contraintes de fréquence de fonctionnement pesant sur le décodeur sont faibles. En effet, la fréquence maximale de changement de la longueur d'onde d'émission est égale à la fréquence de fonctionnement du *wrapper*.

La figure de l'annexe E.1 présente l'exemple d'une architecture d'un décodeur 8 vers 256 en technologie CMOS 0,13 μm .

6.4.4 Démultiplexeur

Chaque ressource est associée à un démultiplexeur [KLE-01] qui permet d'envoyer le signal à transmettre sur le circuit de commande du laser d'émission.

6.4.5 Sources lasers

De nombreux travaux de recherche portent sur la réalisation de microsources lasers³ [VIK-03] dont l'intérêt principal est de disposer d'un courant de seuil extrêmement faible. Le modèle statique de source que nous avons utilisé est décrit par la figure 6.8. Il est caractérisé par un courant de seuil [REG-97] et la pente de la caractéristique $P(I)$.

Dans un souci de réalisme, nous avons simulé le fonctionnement complet du système et estimé ses performances en implémentant des sources de type VCSEL⁴ [GEO-97, ROS-97, SAL-95].

6.4.6 Circuits de commande des sources lasers

Nous avons implémenté un circuit de modulation typique de la source (figure 6.9). Une source de polarisation [HYU-04] permet de polariser la source au-dessus du courant de seuil. Le signal

³Light Amplification by Stimulated Emission of Radiation.

⁴Vertical Cavity Surface Emitting Laser.

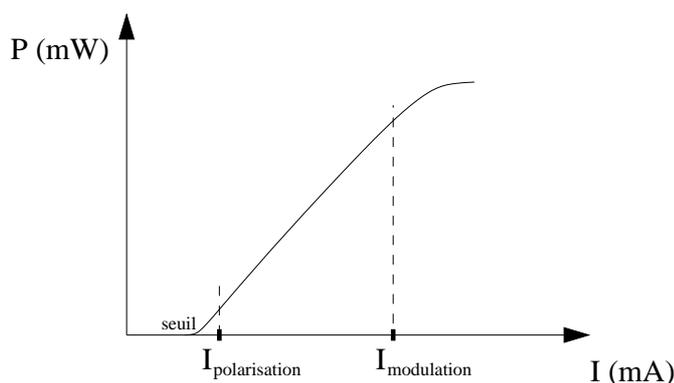


FIG. 6.8 – Caractéristique puissance-courant classique d'un VCSEL.

module le courant dans la source au-dessus du courant de seuil ce qui permet d'augmenter la fréquence de fonctionnement du laser.

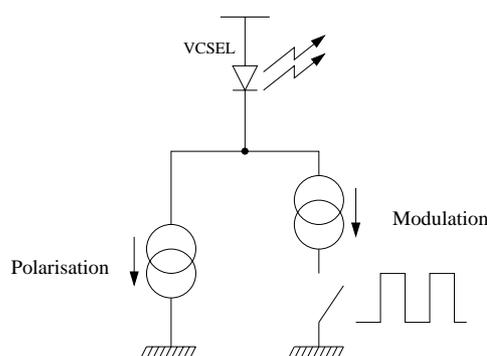


FIG. 6.9 – Circuit de commande d'un VCSEL.

6.5 Architecture de la chaîne de réception

6.5.1 Présentation

L'architecture de la chaîne de réception est plus simple que celle de la chaîne d'émission. En effet, le protocole VCI impose qu'une ressource cible ne peut recevoir simultanément qu'un signal provenant d'une seule ressource émettrice. Le détecteur associé à la ressource cible peut donc ne pas être sélectif en longueur d'onde.

La figure 6.10 représente le schéma synoptique de la chaîne de réception. Elle est composée d'une photodiode, d'un amplificateur à transimpédance et d'un circuit de décision qui restitue le signal numérique. Enfin, un désérialiseur (*DES* sur la figure 6.10) reforme le mot de 36 bits en parallèle.

Chaque ressource du système est associée à une chaîne de réception.

Les différents éléments de la partie réception sont présentés dans les sections suivantes.

Dans le temps qui nous était imparti, il n'a pas été possible de concevoir un circuit de récupération de rythme complet (comme le montre la figure 6.10). La récupération du signal

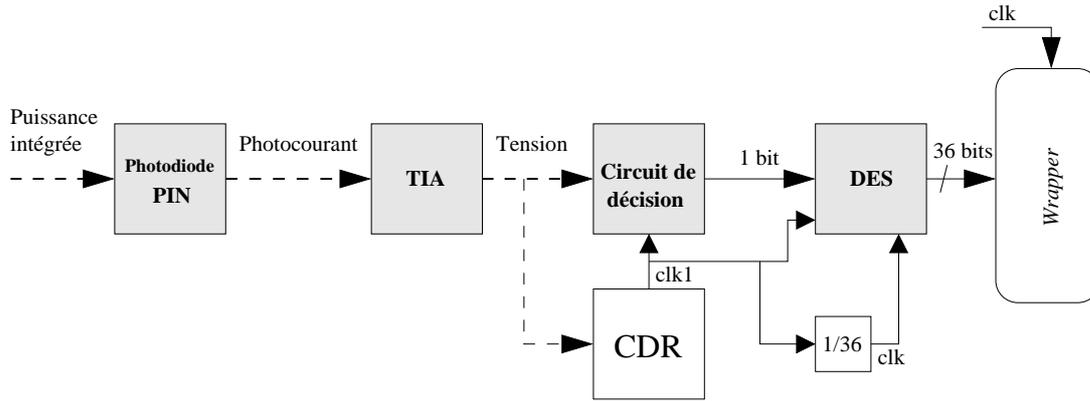


FIG. 6.10 – Partie réception de l'ONoC.

d'horloge pour échantillonner le signal série n'a donc pas été prise en compte dans la partie réception, ceci correspondant à un travail de thèse complet en lui-même [DUP-97, COU-97]. Cela revient à considérer la transmission comme parfaite vis à vis du problème de la resynchronisation des données.

6.5.2 Photodétecteur

À nouveau dans un souci de réalisme, nous avons choisi de modéliser des photodiodes actuellement disponibles : des photodiodes PIN en technologie III-V [ZIM-00]. Au niveau d'abstraction le plus élevé, les photodiodes sont modélisées par leur sensibilité : $I_{PIN} = R P_{incidente}$.

6.5.3 Amplificateur à transimpédance

Le photocourant I_{PIN} , généré par la photodiode, est converti en tension V_{TIA} grâce à un amplificateur à transimpédance (figure 6.11) [TOU-96, CHI-99] : $V_{TIA} = G I_{PIN}$. Une optimisation fine de son architecture est nécessaire pour faire face aux contraintes imposées par le débit [DRI-03].

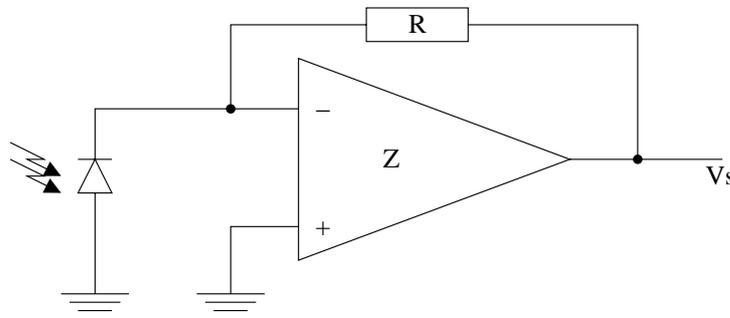


FIG. 6.11 – Schéma équivalent d'une photodiode PIN suivi d'un amplificateur à transimpédance.

6.5.4 Circuit de décision et désérialiseur

Un comparateur permet de transformer le signal électrique analogique en un signal électrique numérique (figure 6.12) [GRE-00].

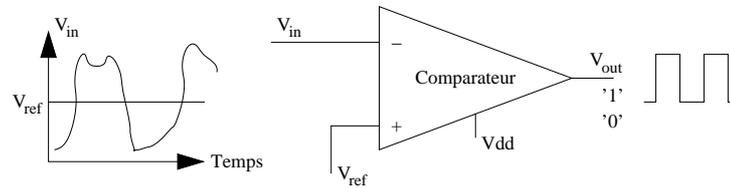


FIG. 6.12 – Schéma de principe d'un comparateur.

Un désérialiseur (figure 6.13), permet d'échantillonner le signal et de reformer des mots de 36 bits en parallèle.

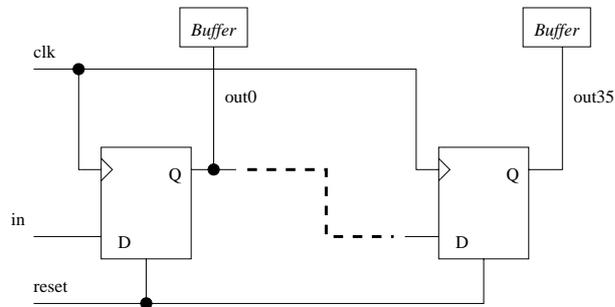


FIG. 6.13 – Principe de fonctionnement du désérialiseur.

Chapitre 7

Conclusion

Notre objectif est de comparer les performances potentielles d'un réseau de communication optique avec celles d'un réseau d'interconnexion électrique en technologie CMOS standard. Nous avons délibérément choisi comme véhicule de test (le réseau électrique servant de base à la comparaison des performances) une architecture de réseau et un protocole à la fois réaliste et proche de l'état de l'art au début de ce travail, à savoir l'architecture SPIN et le protocole VCI.

Nous avons présenté dans ce chapitre tous les blocs nécessaires à la communication optique entre les ressources (purement numériques) que le réseau interconnecte.

Tout d'abord le réseau optique passif (λ -routeur) est décrit. Les outils de conception de bas niveau du λ -routeur sont également présentés.

Les passerelles (ou *wrappers*) permettant l'adaptation des ressources numériques au protocole VCI sont ensuite décrites (ces *wrappers*, entièrement numériques, permettent de traduire les données issues des blocs numériques dans le protocole VCI). Nous avons en particulier présenté les spécificités du protocole VCI et l'adaptation de ce protocole à l'architecture du réseau optique, puis nous avons établi le cahier des charges que le réseau optique doit remplir.

Enfin les circuits d'interface entre le monde électronique et le monde optique sont décrits.

La partie qui suit présente le flot hiérarchique et multidomaine que nous avons dû développer pour concevoir le système et estimer ses performances.

Bibliographie

- [AAL-04] T. Aalto, M. Harjanne, M. Kapulainen, P. Heimala, and M. Leppihalme. « Development of silicon-on-insulator waveguide technology ». In *Proceedings of the Photonics West (SPIE)*, pages 81–95, Jan. 2004.
- [AGR-02] G.P. Agrawal. *Fiber-optic communication systems*. Wiley Interscience, 2002.
- [BER-94] J.-P. Berenger. « A perfectly matched layer for the absorption of electromagnetics waves ». *Journal of Computational Physics*, vol. 114, no. 2, pp. 185–200, 1994.
- [BER-97] J.-P. Berenger. « Improved PML for the FDTD solution of wave-structure interaction problems ». *IEEE Trans. Antennas Propag.*, vol. 45, no. 3, pp. 466–473, Mar. 1997.
- [BER-98] J.-P. Berenger. « An effective PML for the absorption of evanescent waves in waveguides ». *IEEE Microw. Guided Wave Lett.*, vol. 8, no. 5, pp. 188–190, May 1998.
- [BER-03] J.-P. Berenger. « Making use of the PML absorbing boundary condition in coupling and scattering FDTD computer codes ». *IEEE Trans. Electromagn. Compat.*, vol. 45, no. 2, pp. 189–197, May 2003.
- [CHI-98] M.K. Chin and S.T. Ho. « Design and modeling of waveguide-coupled single-mode microring resonators ». *J. Lightw. Technol.*, vol. 16, no. 8, pp. 1433–1446, Aug. 1998.
- [CHI-99] F.-T. Chien and Y.-J. Chan. « Bandwidth enhancement of transimpedance amplifier by a capacitive-peaking design ». *IEEE J. Solid-State Circuits*, vol. 34, no. 8, pp. 1167–1170, Aug. 1999.
- [CHU-99] S.T. Chu, B.E. Little, W. Pan, T. Kaneko, and Y. Kokubun. « Cascaded microring resonators for crosstalk reduction and spectrum cleanup in add-drop filters ». *IEEE Photon. Technol. Lett.*, vol. 11, no. 11, pp. 1423–1425, Nov. 1999.
- [COU-97] P. Couteaux. *Etude d'un circuit de sérialisation à 3 Gbit/s en technologie BiCMOS*. PhD thesis, Université Paris VI, Jul. 1997.
- [DRI-03] F. Tissafi Drissi, I. O'Connor, F. Mieyeville, and F. Gaffiot. « Design methodologies for high-speed CMOS photoreceiver front-ends ». In *Proceedings of the Symposium on Integrated Circuits and Systems Design (SBCCI)*, pages 323–328, Sept. 2003.
- [DRO-05] E. Drouard, M. Brière, A. Kazmierczak, X. Letartre, I. O'Connor, and F. Gaffiot. « Phenomenological modeling of WDM crossbars based on channel drop filters ». In *Proceedings of the International Workshop on Optical Waveguide Theory and Numerical Modelling (OWTNM)*, Apr. 2005.
- [DUM-05] P. Dumon, I. Christiaens, W. Bogaerts, V. Wiaux, J. Wouters, S. Beckx, D. Van Thourhout, and R. Baets. « Microring resonators in silicon-on-insulator ». In *Proceedings of the European Conference on Integrated Optics (ECIO)*, 2005.

- [DUP-97] A. Pierre Duplessix. *Etude et réalisation d'une liaison série à 1 GBaud indépendante du codage des données*. PhD thesis, Université Paris VI, Apr. 1997.
- [ENG-77] B. Engquist and A. Majda. « Absorbing Boundary Conditions for Numerical Simulation of Waves ». *Applied Mathematical Sciences*, vol. 74, no. 5, pp. 1765–1766, May 1977.
- [FAN-96] J. Fang and Z. Wu. « Generalized perfectly matched layer for the absorption of propagating and evanescent waves in lossless and lossy media ». *IEEE Trans. Microw. Theory Tech.*, vol. 44, no. 12, pp. 2216–2222, Mar. 1996.
- [FUK-04] T. Fukazawa, T. Hirano, F. Ohno, and T. Baba. « Low loss intersection of Si photonic wire waveguides ». *Japanese Journal of Applied Physics*, vol. 43, no. 2, , Feb. 2004.
- [GEO-97] L. Georjon. *Conception et caractérisation de lasers à cavité verticale*. PhD thesis, Commissariat à l'Energie Atomique, Oct. 1997.
- [GRE-00] R. Gregorian. *Introduction to CMOS OP-AMPs and comparators*. Wiley, Jul. 2000.
- [HAU-84] H.A. Haus. *Waves and fields in optoelectronics*. Prentice Hall, 1984.
- [HRY-00] J.V. Hryniewicz, P.P. Absil, B.E. Little, R.A. Wilson, and P.-T. Ho. « Higher order filter response in coupled microring resonators ». *IEEE Photon. Technol. Lett.*, vol. 12, no. 3, pp. 320–322, Mar. 2000.
- [HYU-04] S.H. Hyun. *Design of high-speed laser driver using a standard CMOS technology for optical data transmission*. PhD thesis, Georgia Institute of Technology, Nov. 2004.
- [JAL-96] B. Jalali, P.D. Trinh, S. Yegnanarayanan, and F. Copping. « Guided-wave optics in silicon-on-insulator technology ». *Proceedings of Optoelectronics (Special Issue on Guided-Wave Optics on Silicon)*, vol. 143, no. 5, pp. 307–311, Oct. 1996.
- [KAZ-05a] A. Kazmierczak, M. Brière, E. Drouard, P. Rojo-Romeo, I. O'Connor, X. Letartre, F. Gaffiot, L. El Melhaoui, P. Lyan, and J.M. Fedeli. « Design and characterization of optical networks on chip ». In *Proceedings of the European Conference on Integrated Optics (ECIO)*, 2005.
- [KAZ-05b] A. Kazmierczak, M. Brière, E. Drouard, P. Bontoux, P. Rojo-Romeo, I. O'Connor, X. Letartre, F. Gaffiot, R. Orobitchouk, and T. Benyattou. « Design, simulation and characterization of a passive optical add-drop filter in silicon-on-insulator technology ». *IEEE Photon. Technol. Lett.*, vol. 17, no. 7, pp. 1447–1449, Jul. 2005.
- [KHA-99] M.J. Khan, C. Manolatou, S. Fan, P.R. Villeneuve, and H.A. Haus. « Mode-coupling analysis of multipole symmetric resonant add/drop filters ». *IEEE J. Quantum Electron.*, vol. 35, no. 10, pp. 1451–1460, Oct. 1999.
- [KLE-01] W. Kleitz. *Digital electronics : a practical approach (6th edition)*. Prentice Hall, Jun. 2001.
- [LIT-97] B.E. Little, S.T. Chu, H.A. Haus, J. Foresi, and J.-P. Laine. « Microring resonator channel dropping filters ». *J. Lightw. Technol.*, vol. 15, no. 6, pp. 998–1005, Jun. 1997.
- [LIT-98] B.E. Little, J.S. Foresi, G. Steinmeyer, E.R. Thoen, S.T. Chu, H.A. Haus, E.P. Ippen, L.C. Kimerling, and W. Greene. « Ultra-compact $Si - SiO_2$ microring resonator optical channel dropping filters ». *IEEE Photon. Technol. Lett.*, vol. 10, no. 4, pp. 549–551, Apr. 1998.

-
- [LIT-00] B.E. Little, S.T. Chu, W. Pan, and Y. Kokubun. « Microring resonator arrays for VLSI photonics ». *IEEE Photon. Technol. Lett.*, vol. 12, no. 3, pp. 323–325, Mar. 2000.
- [MAN-99a] C. Manolatu, S. Johnson, S. Fan, and P.R. Villeneuve. « High-density integrated optics ». *J. Lightw. Technol.*, vol. 17, no. 9, , Sept. 1999.
- [MAN-99b] C. Manolatu, M.J. Khan, S. Fan, P.R. Villeneuve, and H.A. Haus. « Coupling of modes analysis of resonant channel add-drop filters ». *IEEE J. Quantum Electron.*, vol. 35, no. 9, pp. 1322–1331, Sept. 1999.
- [MOR-04] A. Morand, K. Phan-Huy, Y. Desieres, and P. Benech. « Analytical study of the microdisk's resonant modes coupling with a waveguide based on the perturbation theory ». *J. Lightw. Technol.*, vol. 22, no. 3, pp. 827–832, 2004.
- [RAJ-99] M. Rajarajan, B.M.A. Rahman, and K.T.V. Grattan. « A rigorous comparison of the performance of directional couplers with multimode interference devices ». *J. Lightw. Technol.*, vol. 17, no. 2, pp. 243–248, Feb. 1999.
- [REG-97] José Maria Martin Regalado. *Polarization properties of vertical-cavity surface-emitting lasers*. PhD thesis, Universitat de Les Illes Balears, Sept. 1997.
- [ROS-97] L. Bogdan Rosinski. *Caractérisation statique et dynamique de lasers et matrices de lasers à cavité verticale émettant par la surface*. PhD thesis, Ecole Nationale d'Ingénieurs de Brest, 1997.
- [ROS-02] E. Rosencher and B. Vinter. *Optoélectronique (2nd édition)*. Dunod, 2002.
- [SAL-95] T.E. Sale. *Vertical cavity surface emitting lasers*. Research Studies Press LTD., 1995.
- [SUZ-02] S. Suzuki, Y. Hatakeyama, Y. Kokubun, and S.T. Chu. « Precise control of wavelength channel spacing of microring resonator add-drop filter array ». *J. Lightw. Technol.*, vol. 20, no. 4, pp. 745–749, Apr. 2002.
- [TAF-05] A. Taflove and S.C. Hagness. *Computational electrodynamics : the finite-difference time-domain method (3rd edition)*. Artech House, 2005.
- [TOU-96] C. Toumazou and S.M. Park. « Wideband low noise CMOS transimpedance amplifier for gigahertz operation ». *IEE Electronics Letters*, vol. 32, no. 13, pp. 1194–1196, Mar. 1996.
- [TRI-95] P.D. Trinh, S. Yegnanarayanan, and B. Jalali. « Integrated optical directional couplers in silicon-on-insulator ». *IEE Electronics Letters*, vol. 31, no. 24, pp. 2097–2098, Nov. 1995.
- [VIK-03] P. Viktorovitch, C. Monat, J. Mouette, C. Seassal, X. Letartre, P. Rojo-Roméo, M. Le Vassor D'Yerville, D. Cassagne, J.P. Albert, E. Jalaguier, S. Pocas, and B. Aspar. « Two-dimensional photonic crystal micro-lasers ». In *Proceedings of the Annual Meeting, International Symposium on Optical Science and Technology (SPIE)*, Aug. 2003.
- [XU-00] Y. Xu, Y. Li, R.K. Lee, and A. Yariv. « Scattering-theory analysis of waveguide-resonator coupling ». *Physical Review*, vol. 62, no. 5, pp. 7389–7402, 2000.
- [YAR-73] A. Yariv. « Coupled-mode theory for guided wave optics ». *IEEE J. Quantum Electron.*, vol. 9, no. 9, pp. 919–933, 1973.
- [YAR-97] A. Yariv. *Optical electronics in modern communications*. Oxford University Press, 198 Madison Avenue, New York, 5th. edition, 1997.

- [YAR-00] A. Yariv. « Universal relations for coupling of optical power between microresonators and dielectric waveguides ». *IEE Electronics Letters*, vol. 36, no. 4, pp. 321–322, Feb. 2000.
- [YEE-66] K.S. Yee. « Numerical solution of initial boundary value problems involving Maxwell's equations in isotropic media ». *IEEE Trans. Antennas Propag.*, vol. 14, pp. 302–307, 1966.
- [ZIM-00] H. Zimmermann. *Integrated silicon optoelectronics*. Springer, 2000.

Troisième partie

Plate-forme de conception haut niveau d'un réseau de communication optique intégré

Chapitre 8

Introduction

Cette partie présente une plate-forme de modélisation d'un réseau de communication optique intégré, avec une approche “*top-down*¹” [CHA-96]. Comme précisé dans le chapitre précédent, SystemC² a été choisi pour réaliser cette plate-forme. L'objectif principal de la plate-forme est d'extraire, des paramètres clés, les performances de l'ONoC pour les comparer avec les performances d'un réseau électrique classique.

Dans le cadre du projet *LambdaConnect*, le réseau électrique choisi pour cette comparaison est le réseau SPIN³ [GUE-00] développé par le laboratoire d'informatique LIP6 et présenté dans la partie I. C'est pour cette raison, et pour que les comparaisons de performances soient exhaustives, que le protocole de communication utilisé dans le modèle de l'ONoC est le même que celui utilisé par SPIN, c'est-à-dire le protocole de communication VCI également présenté dans la partie I.

¹Projection des spécifications du niveau système au niveau physique afin de le partitionner et de le dimensionner.

²Open SystemC Initiative - <http://www.systemc.org>.

³Scalable, Packet Switched, On-Chip Micro-Network.

Chapitre 9

Conception hiérarchique d'un réseau d'interconnexion optique intégré

9.1 Définition d'une conception hiérarchique appliquée à l'ONoC

La principale difficulté lors de la conception d'un ONoC est de relier les trois niveaux de conception de ses différents domaines : électronique, optique et optoélectronique. La manière de procéder peut se résumer ainsi :

1. La première étape consiste à fabriquer et à caractériser la partie optique passive. En effet, le λ -routeur impose de grandes contraintes sur les interfaces électroniques : il faudra déterminer les pertes, le nombre et la valeur des longueurs d'onde de résonance des microdisques. Dans un premier temps, ces contraintes ne peuvent pas être déterminées au niveau système, ceci pourra éventuellement être fait dans un deuxième temps lorsque les composants optiques seront reproductibles et suffisamment matures. Sa modélisation suit donc un flot d'extraction complet de paramètres depuis la caractérisation des dispositifs optiques jusqu'au niveau système.
2. La deuxième étape consiste à projeter le cahier des charges (technologie, taux d'erreur par bit et débit maximum) au niveau physique, dans une approche classique dite *top-down*. Le niveau physique est ensuite dimensionné en fonction des différents domaines électrique et optoélectronique (celui de l'optique étant déjà dimensionné dans la première étape).
3. La troisième étape consiste à choisir les composants optoélectroniques : les lasers et les photodiodes. Ce choix se fait facilement grâce aux deux étapes précédentes. En effet, les longueurs d'onde de résonance des filtres optiques, leurs pertes, ainsi que le cahier des charges (débit, bande passante, technologie), permettent de choisir les dispositifs optoélectroniques adéquats. Leur modélisation suit une approche exploitant un passage de paramètres direct entre la caractérisation des dispositifs ("*datasheet*" des constructeurs) et le niveau système. Dans notre cas, les niveaux intermédiaires de modélisation ne sont pas nécessaires et ne réduisent pas la précision et la fiabilité du modèle de haut niveau.
4. La dernière étape sera la modélisation de la partie électronique analogique-numérique pour un λ -routeur fixé. Elle suit un flot de conception complet EDA classique, depuis le cahier des charges jusqu'au dimensionnement des transistors. Les contraintes imposées par le λ -routeur, ainsi que par les photodiodes, vont directement influencer les puissances lumineuses, donc les photocourants, donc la conception directe des circuits électroniques. De plus, le laser choisi impose des contraintes sur le circuit de commande (c'est-à-dire le

courant de modulation et de polarisation).

La difficulté de concevoir un système hétérogène, qui mêle électronique et optique, réside dans les deux approches différentes de conception [TOS-04]. Il est de plus primordial que la méthode de conception utilisée soit généralisable pour des technologies de rupture.

En effet, en ce qui concerne la partie électronique, l'approche *top-down* est tout à fait classique et très largement utilisée par tous les concepteurs de circuits électroniques [DRI-03]. En ce qui concerne la partie optique, une approche contraire, *bottom-up*, est le plus souvent utilisée par les concepteurs de circuits photoniques; c'est une approche pragmatique liée au manque de maturité de la technologie optique. En effet, il est plus facile de fabriquer tout d'abord les filtres, de les caractériser et ensuite de réaliser des modèles comportementaux qui concordent avec les résultats de caractérisations (cf. partie II). De plus, le réseau optique passif est fait sur mesure et en fonction du nombre de ressources à connecter.

La figure 9.1 résume les différents outils et langages qui sont utilisés dans l'approche hiérarchique, ainsi que les passages de paramètres entre ces outils.

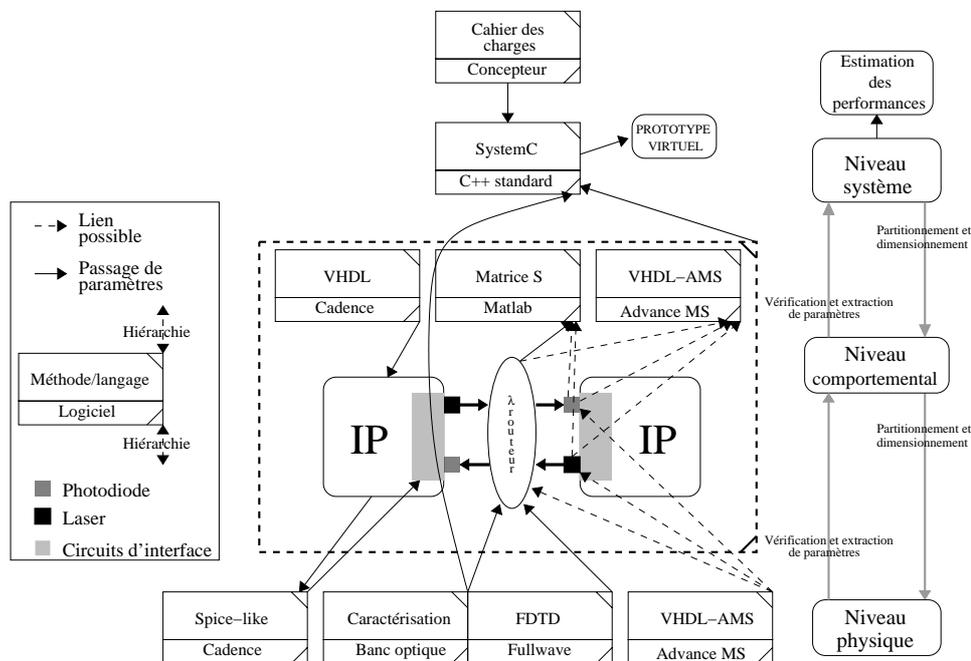


FIG. 9.1 – Approche hiérarchique de la modélisation d'un réseau de communication optique intégré.

Les sections suivantes présentent les différents niveaux d'abstraction de chacune des parties de l'ONoC ainsi que les différents paramètres à extraire entre ces niveaux.

9.1.1 Partie optique passive

Caractérisation

La caractérisation des dispositifs optiques passifs est une phase importante et indispensable lors de la conception de circuits photoniques. Ces caractérisations permettent, d'une part de vérifier la géométrie et le comportement des dispositifs, et d'autre part de valider les modèles physiques.

Pour réaliser ces caractérisations, un banc optique est utilisé, il permet d'injecter de la lumière depuis une source laser externe et de détecter la lumière par un photodétecteur, lui aussi externe. Il est ainsi possible d'étudier la propagation de la lumière dans le λ -routeur et d'en déduire ses pertes.

Les principaux paramètres (les plus critiques et les plus objectifs) qui seront étudiés pour être ensuite extraits des niveaux d'abstraction supérieurs, sont : *i*) l'atténuation des guides d'onde, *ii*) le facteur de qualité des microdisques et *iii*) les longueurs d'onde de résonance des filtres.

Niveau physique

L'outil de conception utilisé pour modéliser le comportement des dispositifs optiques passifs au niveau physique est la méthode FDTD¹ [TAF-05] qui résout numériquement les équations de Maxwell (cf. chapitre 5).

Les paramètres d'entrée de ce type de modèle sont principalement, l'indice effectif de la structure [CHI-96b, CHI-96a] (pouvant être déterminé avec un solveur de mode par exemple) et sa géométrie (dimensions des guides d'onde et des filtres, extraites des caractérisations géométriques). Le couplage et la longueur d'onde de résonance (pour les filtres *add-drop* à microdisques) ainsi que l'atténuation de la transmission sont extraits des résultats de simulation et seront exploités au niveau d'abstraction supérieur.

Une phase de vérification est possible avec les caractérisations des composants pour vérifier que la longueur d'onde de résonance calculée par la simulation FDTD correspond bien à la longueur d'onde de résonance mesurée.

Niveau comportemental

Pour modéliser le comportement des filtres optiques passifs, un modèle phénoménologique (avec mise en œuvre des matrices S) est utilisé (cf. chapitre 5), basé sur la théorie des modes couplés (évolution temporelle de l'énergie).

Un des avantages de monter en abstraction est le gain en temps de simulation (facteur 700 sur des structures de $100\ \mu\text{m} \times 100\ \mu\text{m}$ entre la FDTD et les matrices S), car au niveau d'abstraction comportemental, tout le champ électromagnétique de la structure n'est pas calculé (les équations de Maxwell ne sont plus directement utilisées), mais seulement les amplitudes et les phases des ondes aux entrées-sorties de la structure.

Les paramètres d'entrée de ce niveau d'abstraction sont principalement : les fréquences de résonance des microdisques, les pertes des guides d'onde et les couplages entre les guides et les microdisques (directement liés au facteur de qualité de ces derniers). Une phase de vérification est nécessaire avec les modèles du niveau physique afin de comparer les résultats de simulations et d'approcher au mieux les caractéristiques réelles.

Les paramètres extraits de ce niveau d'abstraction comportemental jusqu'au niveau système sont les puissances de sortie de chaque port de la structure en fonction de la puissance d'entrée de ces ports (afin de prendre en compte les pertes dans l'interconnexion optique) aux longueurs d'onde mises en jeu.

Le logiciel Matlab a été utilisé afin d'implémenter cet algorithme. En effet, ce dernier utilise des matrices symboliques dont la résolution manuelle serait trop longue en utilisant un langage classique non optimisé (langage C par exemple).

¹Finite Difference Time Domain.

Il est à noter que dans le cadre de cette étude, un modèle du λ -routeur a été réalisé en VHDL-AMS² [VAC–97, BRI–04]. Il n'a cependant pas été implémenté dans la plate-forme, mais permet de vérifier de façon rapide et simple, la fonctionnalité et la table de vérité d'un réseau optique passif avec une injection gaussienne.

Niveau système

Pour modéliser le comportement d'un λ -routeur complexe à ce niveau d'abstraction, les deux paramètres nécessaires sont la valeur de la puissance optique aux entrée/sortie des ports du λ -routeur et la longueur d'onde. Seuls ces paramètres sont utiles dans la mesure où la bande passante autorisée par les guides d'onde est très largement supérieure à celle du signal. Ces paramètres seront directement et automatiquement extraits des résultats de simulation du niveau de modélisation inférieur.

À ce niveau système, SystemC a été choisi pour modéliser le comportement du λ -routeur.

9.1.2 Partie électronique analogique-numérique

Les niveaux hiérarchiques classiques de conception d'un circuit électronique peuvent se découper ainsi (figure 9.2) : niveau transistor (physique), niveau porte logique (comportemental) et niveau bloc (système).

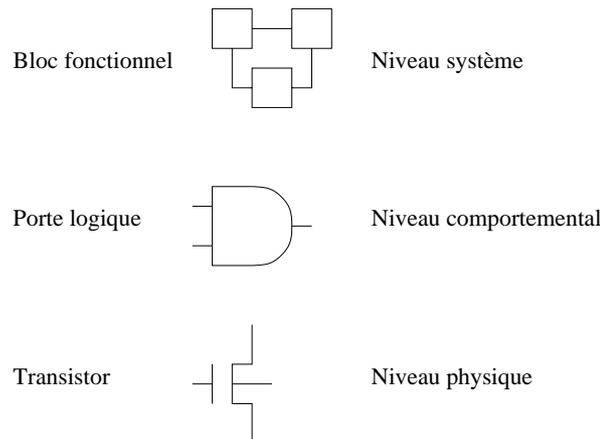


FIG. 9.2 – Niveaux hiérarchiques de la partie électronique.

Les circuits électroniques peuvent être conçus par une simple association de blocs logiques (conception de type “*standard cell*”³), eux-mêmes composés d'une association de transistors.

Niveau physique

Les circuits d'interface électronique de l'ONoC n'ont pas été fabriqués. Cependant, les modélisations au niveau physique des transistors sont suffisamment précises pour permettre des simulations proches du comportement réel des circuits. En effet, contrairement à la partie optique qui peut avoir des défauts non prévisibles lors de la fabrication, la technologie de fabrication des

²Very high speed integrated circuit Hardware Description Language-Analog Mixed Signal.

³Conception du circuit en associant des blocs logiques préconçus.

circuits CMOS est connue et éprouvée ; les modèles du niveau physique (modèle BSIM3 et BSIM4⁴ utilisés avec le simulateur Spectre) prennent en compte les phénomènes connus ainsi que les tolérances de fabrication. Dans le cadre de l'ONoC, la technologie utilisée sera le CMOS 0,13 μm , grâce à la disponibilité du *design kit* de ST Microelectronics pour les modèles des transistors.

Pour le niveau physique, la plate-forme Cadence est utilisée pour modéliser et simuler les circuits électroniques numériques et analogiques ; cette plate-forme intègre des simulateurs comme Spectre qui permet de calculer les courants des branches et les tensions des nœuds du circuit.

Il est donc possible de créer une “*netlist*” qui permet de définir les nœuds du circuit, c'est-à-dire les différentes connexions entre tous les transistors du circuit. Ensuite, grâce aux lois classiques de l'électricité (lois de Kirchhoff) il est possible de calculer l'influence des transistors les uns par rapport aux autres (paramètre W/L).

Les paramètres physiques extraits et fournis au niveau système sont : *i*) la puissance consommée, *ii*) le délai, *iii*) la surface et *iv*) certains paramètres spécifiques (gain de l'amplification, seuil du comparateur, etc.).

Niveau comportemental

Les circuits numériques seront souvent directement modélisés au niveau hiérarchique comportemental (fonctionnalité) grâce à des langages tels que le VHDL⁵ [ANS-93].

Le langage permet la description, la simulation et la synthèse d'un système numérique. Il est possible de créer des bibliothèques de modèles réutilisables. Depuis sa première normalisation en 1987, le VHDL est devenu très largement utilisé dans les communautés industrielle et scientifique.

Grâce à ces modèles comportementaux, il est possible d'extraire directement, et plus rapidement qu'au niveau physique, certains paramètres comme la puissance consommée, ou la surface par exemple.

Niveau système

Tout comme la partie optique, un langage unifié, SystemC, est utilisé au niveau système pour modéliser les circuits analogiques-numériques de l'ONoC.

Seule la fonctionnalité est modélisée à ce niveau système. Le délai introduit par chaque circuit électrique est utilisé pour estimer le délai total de l'ONoC, tout comme sa puissance consommée et sa surface.

9.1.3 Partie optoélectronique

Niveau physique

Dans notre cas, les caractérisations (sous forme de documentation du fabricant) des composants optoélectroniques (source laser et photodiode), sont les seules sources de données utilisées pour modéliser ces composants au niveau système. Les paramètres nécessaires pour la phase de vérification sont ainsi directement extraits des “*datasheets*” des fabricants.

Il existe cependant des outils spécifiques pour modéliser des dispositifs optoélectroniques au niveau physique en prenant en compte les phénomènes physiques des structures. L'outil *O'SEMI*⁶ [SIK-03] en est un exemple et permet de modéliser le comportement physique de VCSEL et de photodiodes.

⁴<http://www-device.eecs.berkeley.edu/~bsim3/intro.html>.

⁵Very high speed integrated circuit Hardware Description Language.

⁶Optical SEMIconductor, CFD Research Corporation : <http://www.cfdrc.com>.

Ces types d'outils n'ont pas été étudiés dans ce travail car leur niveau de modélisation est trop précis et complexe pour pouvoir en extraire des paramètres nécessaires à un modèle de haut niveau. Cependant, il est envisageable dans les futures évolutions de la plate-forme de modélisation d'intégrer une extraction de paramètres depuis ce type d'outil afin d'être plus réactif aux changements technologiques.

Niveau comportemental

Tout comme au niveau physique, il existe des modèles comportementaux de VCSEL et de photodiodes qui sont disponibles dans la littérature [MIE-01, JUN-03, DW03, DW04]. Ces derniers ont été développés avec des langages compatibles avec la plate-forme de modélisation de l'ONoC (Matlab, VHDL-AMS, Verilog-A) et s'inscrivent ainsi parfaitement dans le flot de conception utilisé.

Ces modèles peuvent encore être considérés comme trop précis car ils résolvent les équations de balance complexes d'une source laser [MIE-01]. Cependant, certains paramètres peuvent être simplement vérifiés à ce niveau de modélisation.

Niveau système

Comme pour les parties optique et électrique, le langage unifié SystemC est utilisé au niveau système pour modéliser ces dispositifs optoélectroniques.

Pour la source laser, les paramètres principaux nécessaires pour le modèle sont : *i*) la puissance optique émise, *ii*) la tension de fonctionnement, *iii*) le courant de seuil, *iv*) le rendement, *v*) la bande passante, *vi*) le bruit et *vii*) la longueur d'onde d'émission.

À l'heure actuelle, ce modèle d'injection suffit à calculer les spectres en sortie du λ -routeur et donne une précision suffisante pour la modélisation au niveau système (cf. partie IV).

En ce qui concerne le modèle de la photodiode, *i*) la sensibilité à la longueur d'onde de travail, *ii*) la capacité de jonction (qui impose un délai et influence la conception de la chaîne de réception) et *iii*) le courant d'obscurité, sont les trois paramètres nécessaires.

9.2 Conception de la chaîne d'émission et de réception

Les circuits numériques de ces deux chaînes sont composés du sérialiseur, du désérialiseur, du décodeur et du démultiplexeur. Les seules contraintes sur ces circuits numériques sont la technologie et l'architecture choisie (classique dans notre cas). Le goulot d'étranglement de l'ONoC provient principalement des circuits analogiques; l'étude de ces circuits fixera le débit maximal que devra atteindre le sérialiseur, donc le fonctionnement global de l'ONoC.

9.2.1 Conception des circuits numériques

Sérialiseur et désérialiseur

Le bloc sérialiseur-désérialiseur (SERDES⁷) utilisé est une architecture classique et entièrement numérique.

On rappellera que les blocs d'émission et de réception ne prennent pas en compte les problèmes liés à l'horloge; les estimations concernant la surface occupée et la puissance consommée par les SERDES prennent donc en compte uniquement les bascules D et les arbres de données.

⁷SERialiseur-DESérialiseur.

Ces circuits ont été conçus en technologie ST CMOS 0,13 μm et simulés au niveau transistor (simulation de type SPICE).

Les dispositifs de récupération de rythme d'horloge pour gérer les horloges des SERDES (cf. sections 6.4 et 6.5) n'ont pas été inclus dans ces estimations. Cependant afin d'avoir des estimations plus complètes du système global, nous avons ajouté les valeurs extraites de l'état de l'art des CDR. Les travaux de Razavi [LEE-03] dans ce domaine font état d'une puissance consommée de 144 mW et d'une surface occupée de 1,4 mm^2 (architecture de type PLL) en technologie CMOS 0,18 μm pour un lien de 40 Gbit/s. Un CDR à base de DLL, comme le présente Szymanski [MAO-03], consomme 27 mW pour une surface de 0,06 mm^2 en technologie CMOS 0,18 μm pour un lien de 4 Gbit/s. L'article de référence choisi fait état d'une puissance consommée d'environ 18,6 mW et une surface silicium de 0,3 mm^2 [GUR-03] pour un CDR à base de PLL réalisé en CMOS 0,13 μm capable d'opérer à 3,2 GHz. Ce sont ces données qui seront utilisées dans la suite de ce manuscrit.

Le débit maximal atteint par l'association des bascules D est de 3 Gbit/s [NAV-05], ceci pour une architecture simple et non optimisée. Il faut noter qu'il est donc possible d'augmenter ce débit en utilisant une autre architecture (parallèle par exemple); cependant une autre partie de l'ONoC limitera son débit à environ 3 Gbit/s (cf. section 9.2.2) ce qui rend inutile un SERDES plus rapide. Dans cet exemple d'architecture, le délai introduit par les bascules et les arbres du sérialiseur est de 280 ps et leur puissance consommée totale est d'environ 4,2 mW (dont 190 μW de puissance consommée statique). Le délai introduit par les bascules et les arbres du désérialiseur est de 100 ps pour une puissance consommée d'environ 3,6 mW (dont 175 μW statique). En effet, les architectures utilisées possèdent 783 portes logiques pour les bascules et les arbres du sérialiseur et 682 portes logiques pour ceux du désérialiseur.

Décodeur

L'architecture du décodeur est fortement liée au nombre de ressources du SoC. À titre d'exemple, la figure de l'annexe E.1 présente l'architecture du décodeur pour 256 ressources en technologie ST CMOS 0,13 μm . Il possède 368 portes logiques.

Cette architecture complexe, a été synthétisée directement à partir d'un code source VHDL qui modélise le comportement du décodeur. Il n'a donc pas été nécessaire de réaliser manuellement le placement des transistors.

Plusieurs simulations avec des valeurs d'entrée différentes ont été réalisées afin de vérifier sa table de vérité (à titre d'exemple la figure 9.3 présente une simulation si l'entrée est à "10000000").

Une estimation de la puissance consommée par ce décodeur au niveau des portes logiques est possible. Cependant, il est à noter que l'activité du décodeur sera très inférieure à l'activité du SERDES car l'émetteur changera de destinataire au minimum après l'envoi d'un paquet de 36 bits. Elle dépend donc fortement du *testbench* appliqué à l'ONoC et sera détaillée dans le chapitre 11.

L'estimation du délai que pourrait introduire le décodeur n'est pas nécessaire car les données à transmettre, entre un initiateur et une cible par exemple, ne traversent pas le décodeur. Le délai introduit va seulement influencer le temps nécessaire à polariser le VCSEL. Ce délai n'a aucun impact sur le délai global de l'ONoC car le VCSEL est prépolarisé au cycle d'horloge qui précède l'envoi des données (délai inférieur à un cycle d'horloge).

Plusieurs architectures différentes de décodeurs ont été réalisées afin d'adapter leur complexité (impact direct sur le nombre de portes logiques donc sur la puissance consommée) au nombre de ressources à atteindre. Ce paramètre étant plutôt du niveau système, les estimations de puissance consommée et de délai seront présentées dans le chapitre 11 et la partie IV.

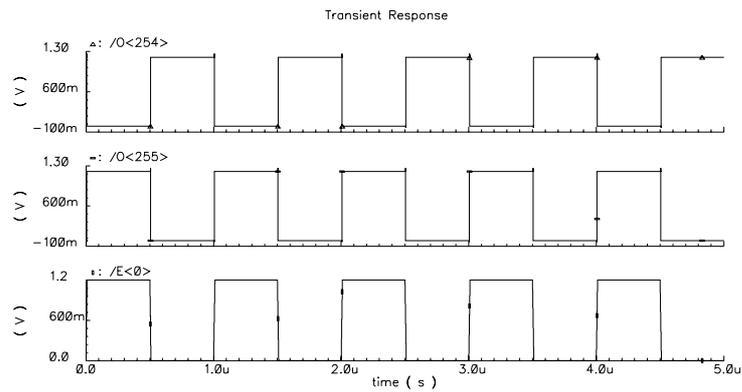


FIG. 9.3 – Exemple de fonctionnalité du décodeur.

Démultiplexeur

Contrairement au décodeur, les données sérialisées vont traverser le démultiplexeur (fonctionnalité présentée sur la figure 6.5). Ce dernier doit donc supporter un débit de 3 Gbit/s. Cependant, le démultiplexeur ne commutera pas à cette vitesse, mais aura la même activité que le décodeur.

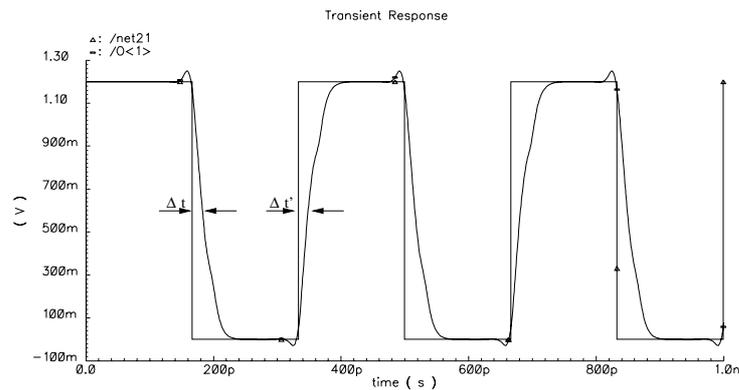


FIG. 9.4 – Simulation du démultiplexeur à un débit de 3 Gbit/s.

Le démultiplexeur va donc introduire un délai et une puissance consommée dus à la propagation des données. Des simulations au niveau transistor sont donc nécessaires pour réaliser précisément ces estimations. Avec les résultats de simulations Spectre, il est possible de les déterminer de façon précise. En effet, pour le délai, il suffit de mesurer la différence Δt entre l'instant auquel les signaux d'entrée et de sortie, atteignent la tension à mi-chemin de leur front montant (respectivement $\Delta t'$ pour leur front descendant). La plus grande de ces deux différences temporelles sera prise pour estimer le délai (correspondant au pire des cas). Pour estimer la puissance consommée totale (statique et dynamique) il suffit d'étudier la variation du courant du générateur V_{dd} qui correspond au courant dû aux commutations, au court-circuit et aux courants de fuite (grille et substrat). À partir de la moyenne de la variation de ce courant, et en le multipliant par la tension d'alimentation des transistors ($V_{dd}=1,2$ V), on obtient la puissance consommée totale. Afin d'extraire uniquement la puissance consommée statique, il suffit de refaire

le même type de simulation avec toutes les entrées à 0 volt.

L'architecture du démultiplexeur dépend du nombre de ressources du système, ce qui influence le délai et la puissance consommée. À titre d'exemple la simulation de la figure 9.4 présente l'influence du délai introduit par le démultiplexeur sur les signaux (soit environ 165 ps), pour une architecture à 256 destinataires (soit le pire cas, qui comprend 511 portes logiques) ; sa puissance consommée totale est d'environ 0,22 mW.

Le nombre de ressources du SoC étant une spécification au niveau système, les estimations de délai et de puissance consommée du démultiplexeur en fonction de ce nombre de ressources seront présentées dans la partie IV.

9.2.2 Conception de la chaîne de réception

Le CDR n'ayant pas été pris en compte dans la chaîne de réception (cf. chapitre 6.4 et 6.5), le *jitter* n'a donc pas été évalué. Cependant, le *jitter* pourrait être inclus sous forme de pénalités de puissance (intersymbole, cf. chapitre 9.2.3) lors de la modélisation du système [MIE-04].

Théorie

Le taux d'erreur par bit (TEB) permet de déterminer la puissance minimale que doit détecter la photodiode.

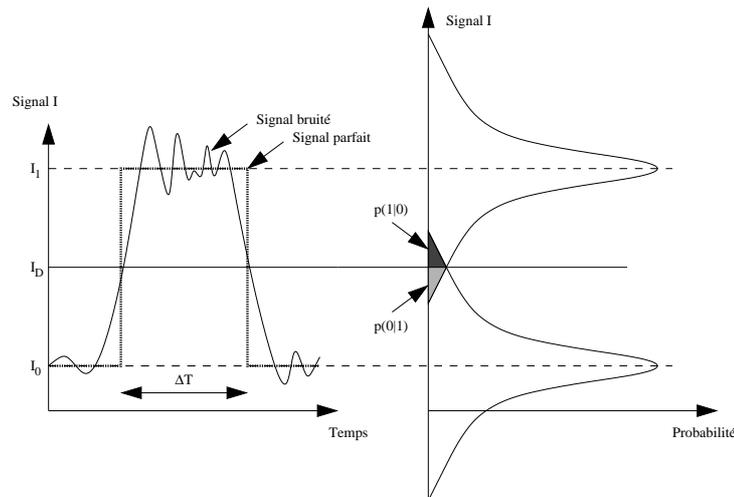


FIG. 9.5 – Représentation temporelle d'un signal avec ses distributions de probabilité de forme gaussienne.

La figure 9.5 présente la forme du signal reçu par le circuit de détection qui correspond à la variation d'un bit pendant un temps ΔT . La courbe de gauche montre le signal temporel (équivalent à un front montant et un front descendant parfaits, représentés en pointillé) perturbé par du bruit. Les deux valeurs I_1 et I_0 correspondent respectivement à un bit parfait à la valeur logique '1' et un bit parfait à la valeur logique '0'. La valeur I_D correspond au seuil de décision de la chaîne de détection, si le signal reçu I est tel que $I > I_D$ alors il est lu égal à '1', inversement si $I < I_D$ le signal reçu est lu comme un '0' logique.

Le taux d'erreur par bit permet de quantifier la qualité du lien de communication, donc en particulier de la chaîne de détection de l'ONoC. Le TEB mesure la probabilité qu'un bit en

sortie de la chaîne de détection soit faux (un '1' émis est détecté comme un '0', ou un '0' émis est détecté comme un '1').

L'équation (9.1) donne la valeur du TEB :

$$TEB = p(1)p(0|1) + p(0)p(1|0) \quad (9.1)$$

avec :

- $p(1)$ et $p(0)$ sont respectivement les probabilités de réception d'un '1' logique ou d'un '0' logique,
- $p(0|1)$ est la probabilité de détecter un '0' alors qu'un '1' a été émis,
- $p(1|0)$ est la probabilité de détecter un '1' alors qu'un '0' a été émis,
- $p(1|0)$ et $p(0|1)$ sont égales aux aires grisées de la figure 9.5 [AGR-02].

Nous faisons l'hypothèse que le signal est "équiréparti" et donc $p(0) = p(1)$.

L'équation (9.1) peut alors être simplifiée et devient l'équation (9.2) :

$$TEB \simeq \frac{1}{2} [p(0|1) + p(1|0)] \quad (9.2)$$

Afin de déterminer les probabilités $p(0)$ et $p(1)$ il faut connaître les fonctions de distribution des signaux reçus. Nous supposons ces fonctions de distribution gaussiennes, le bruit est dû au bruit thermique et au bruit de grenaille (ou "shot noise").

Le *shot noise* est dû à la génération aléatoire d'électrons dans la photodiode [MAC-62, BEN-60, ROB-74]. Le photocourant généré par une photodiode est décrit par l'équation (9.3).

$$I(f) = I_p + I_{Dark} + i_s(f) \quad (9.3)$$

$I_p = R P_{in}$ est le courant délivré par la photodiode lorsqu'elle reçoit une puissance optique incidente P_{in} (R est la sensibilité de la photodiode en A/W), I_{Dark} est le courant d'obscurité et $i_s(f)$ la fluctuation du courant due au *shot noise*.

$i_s(f)$ est caractérisée par sa variance σ_s^2 :

$$\sigma_s^2 = \langle i_s^2(f) \rangle = 2q(I_p + I_{dark}) \quad (9.4)$$

Le bruit thermique de la résistance de conversion R_L est caractérisé par :

$$\sigma_T^2 = \frac{4k_B T}{R_L} \quad (9.5)$$

Pour prendre en compte le bruit dû à l'amplificateur à transimpédance, nous écrivons :

$$\sigma_T^2 = \langle i_T^2(f) \rangle = \frac{4k_B T}{R_L} F_n \quad (9.6)$$

Le bruit thermique et le bruit de grenaille étant supposés indépendants, la variance de la fluctuation du courant est décrite par l'équation (9.7).

$$\sigma^2 = \langle \Delta I^2 \rangle = \sigma_s^2 + \sigma_T^2 \quad (9.7)$$

On peut alors écrire :

$$p(0|1) = \frac{1}{\sigma_1 \sqrt{2\pi}} \int_{-\infty}^{I_D} \exp \left[-\frac{(I - I_1)^2}{2\sigma_1^2} \right] dI = \frac{1}{2} \operatorname{erfc} \left(\frac{I_1 - I_D}{\sigma_1 \sqrt{2}} \right) \quad (9.8)$$

$$p(1|0) = \frac{1}{\sigma_0\sqrt{2\pi}} \int_{I_D}^{\infty} \exp\left[-\frac{(I - I_0)^2}{2\sigma_0^2}\right] dI = \frac{1}{2} \operatorname{erfc}\left(\frac{I_D - I_0}{\sigma_0\sqrt{2}}\right) \quad (9.9)$$

σ_0^2 et σ_1^2 sont respectivement les variances de la fluctuation du courant lorsque un '0' est reçu ou lorsqu'un '1' est reçu.

La fonction erfc (fonction erreur complémentaire) est définie par :

$$\operatorname{erfc}(x) = \frac{2}{\sqrt{\pi}} \int_x^{\infty} \exp(-y^2) dy \quad (9.10)$$

Le TEB est donc égal à :

$$TEB = \frac{1}{4} \left[\operatorname{erfc}\left(\frac{I_1 - I_D}{\sigma_1\sqrt{2}}\right) + \operatorname{erfc}\left(\frac{I_D - I_0}{\sigma_0\sqrt{2}}\right) \right] \quad (9.11)$$

L'équation (9.11) montre que le TEB est directement lié au seuil de décision I_D de la chaîne de réception. Ce dernier doit être optimisé, afin de minimiser le TEB. On montre que :

$$I_{D_{opt}} = \frac{\sigma_0 I_1 + \sigma_1 I_0}{\sigma_0 + \sigma_1} \quad (9.12)$$

Dans l'hypothèse où les variances de bruit correspondant au '1' et au '0' logique sont identiques (soit $\sigma_1 = \sigma_0 = \sigma$), le seuil de décision de la chaîne de détection sera donc égal à :

$$I_{D_{opt}} = \frac{I_1 + I_0}{2} \quad (9.13)$$

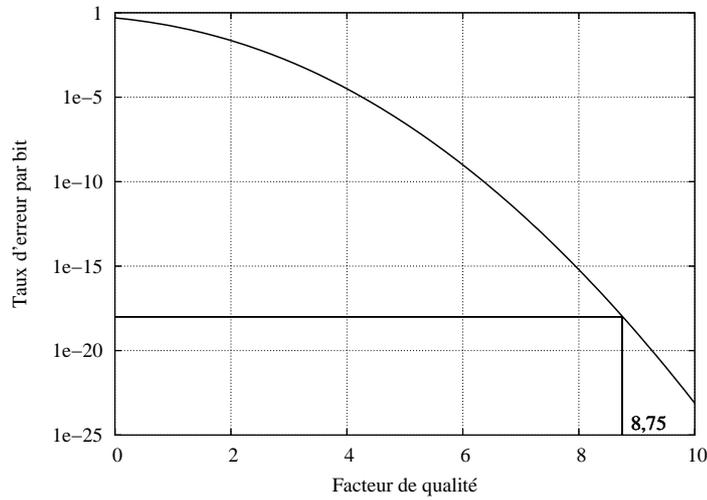


FIG. 9.6 – Fonction erreur complémentaire donnant le taux d'erreur par bit en fonction du facteur Q .

Le TEB peut alors être déterminé par l'équation (9.14) dans laquelle on définit le facteur de qualité $Q = \frac{I_1 - I_0}{2\sigma}$:

$$TEB = \frac{1}{2} \operatorname{erfc}\left(\frac{Q}{\sqrt{2}}\right) \simeq \frac{\exp(-Q^2/2)}{Q\sqrt{2\pi}} \quad (9.14)$$

La figure 9.6 représente le TEB en fonction du facteur de qualité Q .

Dans notre étude, un taux d'erreur par bit est choisi égal à 10^{-18} , le facteur de qualité Q est alors égal à $Q \simeq 8,75$.

La définition de Q permettra donc de déterminer la puissance maximale de bruit acceptable en sortie de l'amplificateur à transimpédance.

La figure 9.7 présente l'architecture classique d'un amplificateur à transimpédance.

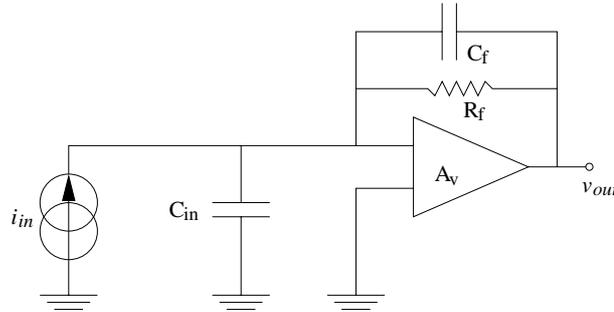


FIG. 9.7 – Architecture classique d'un amplificateur à transimpédance.

La figure 9.8 présente le schéma petits signaux du montage de l'amplificateur à transimpédance qui permet de calculer la plupart des paramètres nécessaires au calcul du bruit dans l'amplificateur.

La fonction de transfert d'un amplificateur à transimpédance peut être décrite par l'équation (9.15) :

$$Z_T(\omega) = \frac{v_{out}(\omega)}{i_{in}(\omega)} = \frac{-R_f \left(\frac{A'_v}{1+A'_v} \right)}{1 + j\omega R_f \left(C_f + \frac{C_{in}}{1+A'_v} \right)} \quad (9.15)$$

avec A'_v [MOR-94] :

$$A'_v = \frac{-g_m + \frac{1}{R_f} + j\omega C_f}{\frac{1}{R_0} + \frac{1}{R_f} + j\omega(C_{out} + C_f)} \quad (9.16)$$

soit

$$A'_v = \frac{A + j\omega B}{C + j\omega D + (j\omega)^2 E} \quad (9.17)$$

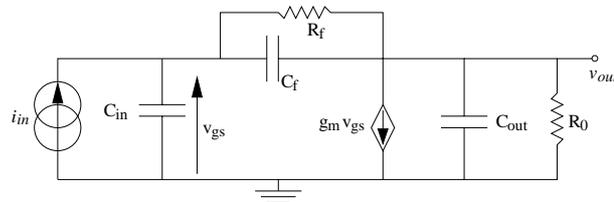


FIG. 9.8 – Schéma “petits signaux” du montage de l'amplificateur à transimpédance.

Les principaux paramètres sont définis dans le tableau 9.1.

TAB. 9.1 – Principaux paramètres de la fonction de transfert d'un amplificateur à transimpédance.

Paramètre	Définition
A	$R_0(1 - g_m R_f)$
B	$R_0 R_f C_f$
C	$1 + g_m R_0$
D	$R_0(C_{in} + C_{out}) + R_f(C_f + C_{out}) + g_m R_0 R_f C_f$
E	$R_0 R_f [(C_{in} + C_{out}) C_f + C_{in} C_{out}]$

Grâce aux équations (9.15) et (9.16), il est possible d'en déduire une définition du bruit dû à la chaîne de détection [MOR-94] :

$$\sigma_c^2 = \langle i_c^2 \rangle = \left[2q(I_{gate} + I_{dark}) + \frac{4k_B T}{R_f} \right] \frac{C}{4D} + 4k_B T \Gamma \frac{(2\pi C_{in})^2}{g_m} \frac{C^2}{16\pi^2 D E} \quad (9.18)$$

Le bruit total généré par le circuit de réception est donc connu, en effet, tous les paramètres de cette équation sont connus et sont directement liés à la technologie de fabrication. Grâce à cette valeur du bruit, il est possible de calculer la puissance optique minimale nécessaire pour obtenir un TEB donné.

Lorsque la puissance du niveau '0' est nulle, la puissance optique moyenne minimale s'écrit :

$$\overline{P_{min}} = \frac{Q\sigma_c}{R_{ph}} \sim \frac{P_1}{2} \quad (9.19)$$

En pratique P_0 n'est pas nulle et la puissance moyenne minimale devient :

$$\overline{P_{min}}(r_x) = \frac{1 + r_x}{1 - r_x} \frac{Q\sigma_c}{R_{ph}} \quad (9.20)$$

avec

$$r_x = \frac{P_0}{P_1} \quad (9.21)$$

Du point de vue numérique, en tenant compte de la technologie utilisée, une puissance minimale de 100 μ W sera nécessaire, avec une dynamique d'environ 117 μ W entre P_0 et P_1 .

Lorsque la puissance moyenne minimale optique est connue, il est possible de concevoir la chaîne de détection complète.

Application à l'ONoC

Les figures des annexes E.2 et E.3 présentent l'architecture, en technologie ST CMOS 0,13 μ m, de l'amplificateur à transimpédance et du comparateur, optimisés pour satisfaire aux conditions de fonctionnement déterminées précédemment [DRI-03, DRI-04]. Le débit maximal atteint par la chaîne de détection est d'environ 3 Gbit/s⁸ (le SERDES proposé fonctionnant aussi pour ce débit, un SERDES plus évolué n'est donc, à l'heure actuelle, pas nécessaire).

⁸Limite technologique atteinte par rapport à la fréquence de commutation des transistors de l'amplificateur.

La figure 9.9 présente un exemple de simulation du circuit de décision. Cette simulation montre l'évolution de la sortie V_{out} en fonction du signal d'entrée V_{in} et du seuil de décision ($V_{ref} = \frac{V_{dd}}{2}$). Le signal d'entrée est un signal carré (avec une dynamique de 100 mV), avec un temps de montée et de descente de 30 ps, et un débit de 3 Gbit/s (équivalent à une période d'environ 333 ps). Il est visible que la régénération du signal est réalisée avec succès et que le signal de sortie évolue bien entre 1,2 V et 0 V (correspondant à la tension d'alimentation des transistors).

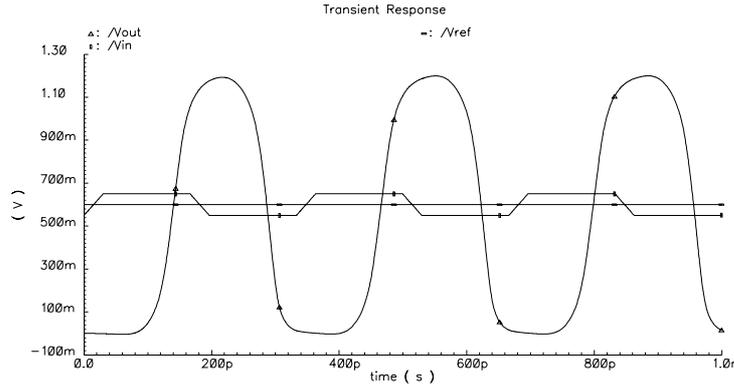


FIG. 9.9 – Réponse temporelle du circuit de décision.

Les résultats de ces simulations montrent que le comparateur introduit un délai d'environ 116 ps et l'amplificateur de 60 ps. Les puissances totales qu'ils consomment sont respectivement de 182 μ W et 1,7 mW.

9.2.3 Conception de la chaîne d'émission

Théorie

Le rôle de la chaîne d'émission est de transformer un signal électrique en signal optique.

Une fois que la puissance minimale $\overline{P_{min}}$ reçue par la photodiode est calculée, il est possible de calculer la puissance minimale que doit émettre la source de la chaîne d'émission. La figure 9.10 représente graphiquement le bilan en puissance de la chaîne de transmission.

L'équation (9.22) donne alors la puissance d'émission moyenne du laser $\overline{P_{laser}}$.

$$\overline{P_{laser_{dB}}} = \overline{P_{min_{dB}}} + \overline{P_{pertes_{dB}}} \quad (9.22)$$

En utilisant les caractérisations optiques du réseau, nous avons déterminé $\overline{P_{laser}} \sim 250 \mu$ W.

Contraintes sur les sources

La conception du réseau optique et des circuits d'interface conduit à la spécification de la puissance optique délivrée par la source. Ce paramètre est principalement dépendant du TEB et des pertes dans le réseau passif. Même si le réseau passif était "sans perte" la contrainte de TEB imposerait une puissance moyenne minimale reçue de 150 μ W.

La conception du circuit de contrôle de la source est directement conditionnée par ces caractéristiques de conversion de l'énergie électrique en énergie optique. Il est bien évident que, dans le but de réduire la puissance consommée dans le circuit de commande, la source doit avoir

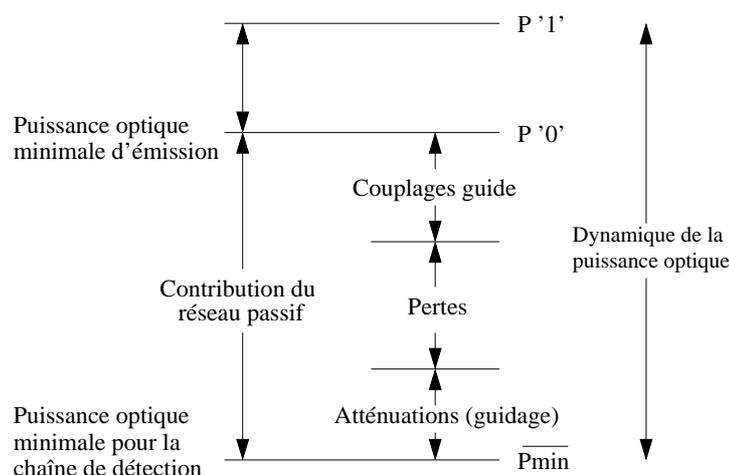


FIG. 9.10 – Influence des pertes du λ -routeur sur la puissance d'émission de la source laser.

le courant de seuil le plus petit possible et le rendement de conversion électrique-optique le plus élevé possible.

Dans un souci de réalisme, nous avons poursuivi la conception du réseau d'interconnexion optique en choisissant des sources existantes. Notre choix s'est par exemple porté sur un VCSEL émettant à $1,55 \mu\text{m}$ dont les caractéristiques sont disponibles sur le site du laboratoire ETRI⁹. Le courant de seuil de ce VCSEL est de $4,8 \text{ mA}$. Cette valeur est bien sur extrêmement élevée (les VCSEL à $1,55 \mu\text{m}$ ont une maturité bien moindre que celle des VCSEL à 850 nm ¹⁰).

9.3 Conclusion

Ce chapitre a présenté les principaux résultats issus de la conception, au niveau physique, de tous les blocs fonctionnels de la chaîne de transmission optique. Dans la démarche *bottom-up* les paramètres à transmettre au niveau d'abstraction supérieur sont :

- Le délai : qui correspond au temps mis par le signal pour traverser les différents blocs fonctionnels.
- La puissance consommée : qui correspond à la somme des puissances consommées par tous les blocs fonctionnels.
- La surface : qui correspond à la surface de silicium utilisée par les circuits de conversion.

⁹Electronics and Telecommunications Research Institute - Optical Devices Research Department - Corée - <http://www.etri.re.k>.

¹⁰Le courant de seuil de ces VCSEL est typiquement de $0,5$ à $1,5 \text{ mA}$ avec une puissance d'émission maximale d'environ 2 mW .

Chapitre 10

Présentation de SystemC

Le chapitre précédent a décrit la conception des blocs fonctionnels du système au niveau physique. Avant de présenter (chapitre 11) la conception du réseau au niveau système nous présentons les principales caractéristiques de SystemC.

10.1 Généralités

SystemC n'est pas un langage de programmation en lui-même, c'est une simple classe d'objet C++ orientée "matériel", implémentée dans un environnement de programmation C++ standard. Ce lien direct avec le langage C++ permet d'envisager la "co-modélisation" matériel-logiciel ainsi que la conception et la simulation de dispositifs au niveau système.

SystemC a été créé à la fin des années 1990 par l'organisation indépendante OSCI¹, composée de nombreuses compagnies et universités (spécialisées dans le domaine du logiciel, de la CAO et de la fabrication de circuits intégrés), est chargée de faire évoluer les futures versions de SystemC. Les principaux objectifs de l'OSCI sont :

- d'établir un langage de conception "riche" au niveau système fondé sur les classes de bibliothèques C++,
- d'encourager l'adoption de blocs IP, d'outils et de méthodologies fondés sur SystemC,
- de définir des critères d'interopérabilité pour les blocs IP et les outils basés sur SystemC.

Les systèmes devenant de plus en plus complexes, les anciennes méthodes de conception deviennent inadaptées. SystemC apporte le lien manquant entre les développements du logiciel et du matériel, tout en utilisant les hiérarchies de modèles.

SystemC intègre un noyau de simulation ("*kernel*") qui permet de modéliser et de simuler des systèmes, au cycle d'horloge près, intégrant des fonctions matérielles et logicielles (l'objectif n'est pas de modéliser les mêmes systèmes et les mêmes comportements qu'avec le VHDL, bien que des passerelles existent afin de réaliser les conversions des modèles). Grâce à SystemC, il est possible de réaliser des modèles à haut niveau d'abstraction et d'en raffiner certaines parties. Le caractère hiérarchique de cette modélisation permet de trouver un compromis entre le temps de simulation et la finesse des modèles.

SystemC a été introduit récemment, et il a été adopté par de nombreuses entreprises et industries du domaine de la microélectronique (ARM, ST Microelectronics, Sonics, etc.). Ainsi

¹Open SystemC Initiative incluant des membres comme ARM, Cadence Design Systems, CoWare, Mentor Graphics Corporation, STMicroelectronics, Synopsys, Royal Philips Electronics, Fraunhofer Institute for Integrated Circuits, Prosilog, Intel Corporation, etc.

des modèles SystemC et des blocs IP (processeurs, bus de communication, mémoires, etc.) commencent à être disponibles.

SystemC permet de séparer clairement la fonctionnalité des blocs modélisés de leurs communications, par l'intermédiaire de canaux de communication. Ce concept est parfaitement adapté pour réaliser le prototype virtuel de blocs IP (réalisant une fonction), de réseaux de communication (supportant les communications) et de protocoles (définissant les communications).

10.2 Introduction à SystemC

SystemC est basé sur l'utilisation de "canaux" de communication, où peuvent circuler des données. Ces canaux de communication sont souvent utilisés pour lier plusieurs blocs, ou modèles entre eux. En effet, lors de la conception hiérarchique d'un modèle de système complexe, ce dernier est "décomposé" en plusieurs parties, ou sous-blocs. Grâce aux canaux de communication, ces blocs peuvent communiquer entre eux pour échanger les données à traiter, ou pour synchroniser leur fonctionnement (figure 10.1).

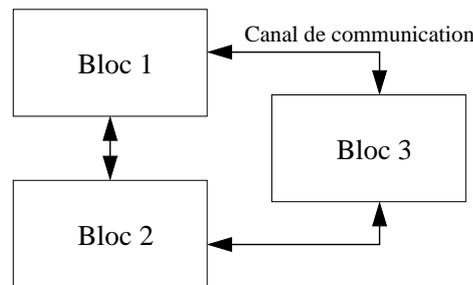


FIG. 10.1 – Lien entre les blocs d'un système.

La figure 10.2 présente un flot de conception utilisant SystemC. Un modèle SystemC est composé d'un ou plusieurs modules (chaque module correspondant à un bloc de base du système modélisé) ayant un comportement concourant et des canaux de communication les reliant.

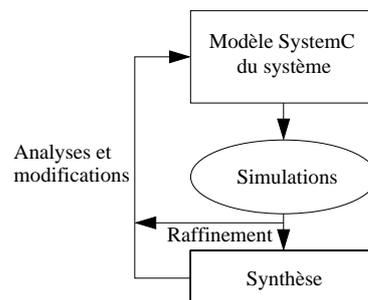


FIG. 10.2 – Flot de conception utilisant SystemC.

L'ordonnancement des tâches, c'est-à-dire la gestion et l'ordre d'exécution des modules, est géré par le noyau de simulation SystemC. Ce dernier est basé sur un type de simulateur "event-driven".

À la suite de la compilation et de l'exécution du modèle SystemC, un fichier "trace" est généralement créé. Ce fichier représente "graphiquement" l'évolution temporelle des différents signaux numériques du modèle. Grâce à l'étude de ces signaux numériques il est possible d'optimiser le système.

SystemC possède 4 niveaux d'abstraction découpés en 2 catégories [OSC-02a] : 3 niveaux transactionnels et 1 niveau RTL². Dans notre cas, seuls les différents niveaux transactionnels seront utilisés (en effet la simulation RTL complète du système serait trop gourmande en temps de calculs).

L'un des avantages principaux de SystemC est qu'il est possible de lier plusieurs modèles de différents niveaux d'abstraction.

10.2.1 Modéliser avec SystemC

Le tableau 10.1 présente les principales structures de base et les principaux types de variables (qui caractérisent le format des signaux et/ou des données utilisés dans le modèle) de la classe SystemC [OSC-02b].

Les signaux déjà définis par SystemC sont des signaux numériques :

- Les *sc_logic* qui sont des données de logique 4 états (1,0,Z,X).
- Les *sc_lv <width>* des vecteurs de données de logique 4 états (1,0,Z,X) de taille *width*.
- Les *sc_bit* qui sont des données du type '1' ou '0'.

TAB. 10.1 – Architecture de SystemC.

Canaux spécifiques (par exemple une librairie initiateur/cible)	
Canaux élémentaires par exemple une FIFO, un buffer, un sémaphore, etc.	
<i>Constructions de base :</i>	<i>Types de données :</i>
Modules	Données 4 états (1, 0, Z, X)
Ports	Vecteurs 4 états ([1, 0, Z, X])
Processus	Bits et vecteurs de bits
Événements	Entiers de taille spécifique
Interfaces	Données à virgule fixe
Canaux	Type C++ : <i>char</i> , <i>bool</i> , etc.
<i>Noyau de simulation</i>	
C++	

Des variables spécifiques (*sc_quantity*) ont été créées pour gérer les signaux analogiques (courants et tensions pour la partie électrique, ainsi que longueur d'onde et la puissance pour la partie optique) non prévues initialement dans SystemC. Tout comme les signaux numériques de SystemC, ces variables spécifiques pourront circuler dans les canaux de communication entre les différents modules d'un modèle.

²Register Transfer Level.

Les modules

Généralement, chaque module modélise le comportement d’une partie du système. Du point de vue pratique, un module SystemC est composé de 2 fichiers C++ : un fichier d’en-tête *moduleX.h* qui définit les “constructeurs” du module (réservation d’une partie de la mémoire pour les variables), et un fichier *moduleX.cpp* qui définit l’implémentation, c’est-à-dire la fonctionnalité du module.

Un module contient aussi la déclaration de ses ports d’entrées-sorties (dans le fichier d’en-tête). Ces derniers permettent au module de communiquer avec les autres modules du modèle. La table de l’annexe F.1 présente un exemple de fichier d’en-tête.

Les constructeurs

Le constructeur correspond à “l’enveloppe” du module. Il réserve la mémoire nécessaire au bon fonctionnement du prototype virtuel, et définit toutes les opérations effectuées lorsqu’un objet est “instancié” (c’est-à-dire lorsque l’on crée un objet de la classe). Il initialise les ports et les données. Il permet aussi de créer la hiérarchie interne du module. La table de l’annexe F.2 présente un exemple d’utilisation du constructeur.

Les ports

Les définitions des ports permettent aux modules de communiquer entre eux. Les ports sont connectés aux canaux de communication où des signaux vont être transportés entre les modules. Plusieurs types de port existent et ont été implémentés dans le noyau de simulation de SystemC :

- Les types “hardware” (*sc_in*, *sc_out*, *sc_inout*). Ce sont des ports d’entrée, de sortie ou bien d’entrée-sortie combinés.
- Les types spécialisés : *sc_fifo_in<type>*, *sc_fifo_out<type>*, ..., avec la variable *type* qui représente le type de données qui vont passer dans une FIFO³. Les FIFO sont des canaux de communication spécialisés.
- Des ports abstraits pour la modélisation à haut niveau d’abstraction.
- Des ports spécifiques créés spécialement pour l’ONoC : *sc_quantity_in* et *sc_quantity_out*, pour gérer les signaux analogiques (courants, tensions, longueur d’onde).

La table de l’annexe F.3 présente un exemple d’implémentation de ces ports dans le fichier d’en-tête SystemC.

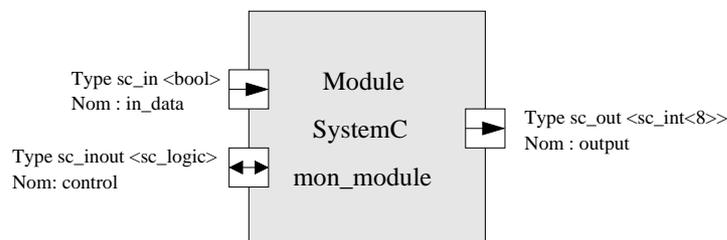


FIG. 10.3 – Vue schématique des ports dans un module SystemC.

La figure 10.3 présente une vue schématique de la représentation de ces ports dans le module SystemC *mon_module*. Il faudra connecter à ces ports des canaux de communications ; par

³First In First Out.

exemple un canal `sc_signal <bool>` connecté au port `in_data`. A priori, tous les ports des modules doivent être connectés avec un canal de communication, mais cette obligation semble amenée à disparaître dans les futures versions de SystemC.

Les canaux de communication

Les canaux de communication sont souvent appelés signaux, par abus de langage. Ces canaux servent à lier plusieurs modules entre eux via leurs ports d'entrées-sorties, ainsi que de synchroniser les données qui y circulent. La figure 10.4 présente une vue schématique de ces liens entre les modules. Ce sont dans ces canaux de communication que sont écrites et/ou lues des données.

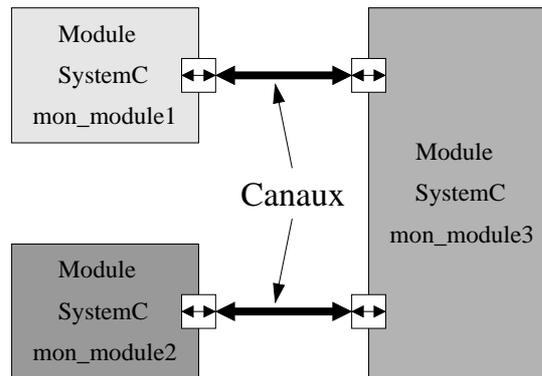


FIG. 10.4 – Vue schématique des canaux SystemC.

Un canal implémente les fonctions d'accès au port : en général l'écriture (fonction `write()`) ou la lecture (fonction `read()`). Il existe deux types de canaux : les canaux primitifs (`sc_signal`, `sc_fifo`, etc.) et les canaux hiérarchiques. Ces derniers permettent de réaliser un raffinement des règles d'accès à un module (ajouter, optimiser ou supprimer certain accès aux modules).

Le noyau de simulation SystemC gère la mise à jour des canaux (par l'intermédiaire de l'ordonnanceur de tâches) pour que les données soient disponibles "instantanément" par tous les modules. En réalité, les données ne sont ni lues ni écrites instantanément dans les canaux (car C++ est un langage séquentiel) ; cependant grâce à la fonction "`request_update`", il est possible de "forcer" les canaux à se mettre à jour quand cela est nécessaire.

10.2.2 Simuler avec SystemC

Les processus

Une autre notion essentielle dans la modélisation SystemC est le "*process*" ou processus. Les processus sont implémentés dans un module et décrivent son comportement. Ils s'exécutent de façon pseudoconcurrente et il peut y en avoir plusieurs par module. Un processus va aussi déterminer quand le module sera exécuté lors de la simulation. L'ordonnanceur du noyau de simulation utilise ces informations pour organiser la simulation de façon optimale. Cet ordonnancement est déterministe, c'est-à-dire qu'il dépend de l'architecture de la machine utilisée pour la compilation des modèles.

Différents types de processus existent : `sc_thread`, `sc_method` et `sc_cthread`. Ces processus sont activés grâce à une liste de sensibilité qui définit les ports susceptibles de les démarrer.

Le noyau de simulation

Le simulateur du noyau SystemC est basé sur la méthode “*event-driven*” (équivalente aux simulateurs RTL classiques). Un ordonnanceur des tâches contrôle le temps, l’ordre d’exécution des processus et la notification des événements (écriture ou lecture de données dans un canal par exemple).

La méthode de simulation, dirigée par les événements, minimise le nombre d’évaluations à effectuer pour calculer l’état du modèle à un instant donné. Un événement est un changement d’état d’un port (de la liste de sensibilité décrite dans les processus) c’est-à-dire un changement de sa valeur.

Une simulation se déroule en deux phases : *i*) évaluation des processus et *ii*) mise à jour des données pour simuler la concurrence des modules. La simulation commence par l’affectation de valeurs initiales à tous les signaux (ou canaux de communications). Le temps de simulation T avance en fonction de l’ordonnancement temporel des événements (ordre d’exécution). Les mises à jour se font grâce à la notion de “delta-cycle” (notion présente également dans le langage VHDL) qui correspond à un temps “infiniment” court au bout duquel les mises à jour seront faites. Le temps de simulation est ensuite avancé jusqu’au prochain événement détecté par le noyau de simulation. Les valeurs des modules qui ont un événement sont alors de nouveau mises à jour. La boucle de simulation se répète ainsi de suite jusqu’à ce qu’il n’y ait plus d’événements à propager dans le modèle.

La figure 10.5 présente le flot de simulation SystemC lors de l’exécution d’un modèle.

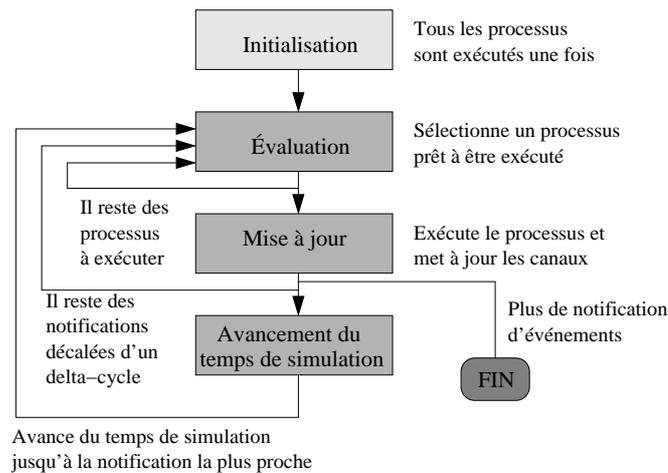


FIG. 10.5 – Flot de simulation SystemC.

Compilation et exécution d’un modèle

La figure 10.6 présente une vue générale des liens entre les fichiers des modèles, la librairie et les classes SystemC, le compilateur C++ et éventuellement d’autres librairies extérieures (Matlab par exemple).

10.2.3 Évolutions futures de SystemC

La première version de SystemC (version 1.0 en 1999) était similaire au HDL standard. Ensuite, la deuxième version de SystemC (2.0.1) a permis d’intégrer les niveaux hiérarchiques

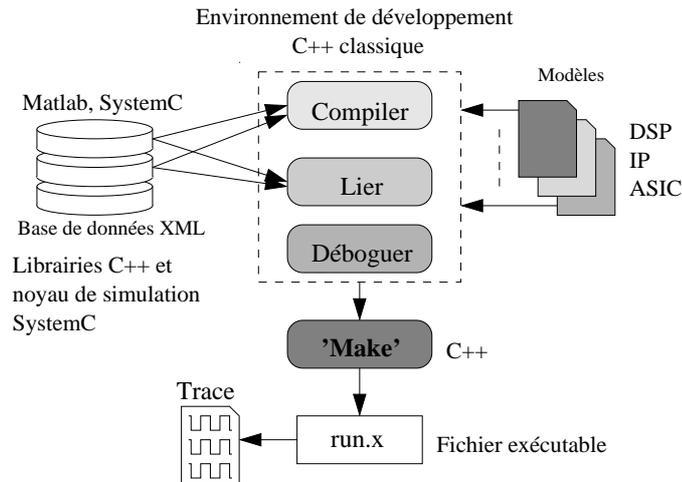


FIG. 10.6 – Vue d'ensemble de la modélisation avec SystemC.

permettant la description de plus haut niveau. C'est cette dernière qui a été choisie pour réaliser le prototype virtuel de l'ONoC, car elle permet d'intégrer des modèles hétérogènes et de faire appel à des passerelles avec d'autres simulateurs. La dernière version au moment de l'écriture de ce manuscrit est la version 2.1 (2005). Cette version est compatible avec les modèles SystemC de l'ONoC développés avec la version précédente.

De plus, une extension AMS (Analog Mixed Signal) pour SystemC est développée : SystemC-AMS⁴ qui doit intégrer des simulateurs (ou solveurs) analogiques, ce qui permettrait de modéliser certaines parties à très bas niveau. De plus, il devrait être possible d'y intégrer ses propres simulateurs. L'utilisation de SystemC-AMS pourrait être intéressante pour réaliser le prototype virtuel de l'ONoC, cependant le temps de conception deviendrait très important, car il faudrait développer un solveur optique spécifique pour la partie du λ -routeur. Nous avons décidé de ne pas utiliser SystemC-AMS actuellement, mais la compatibilité avec ce dernier est assurée pour son futur développement.

10.3 Modèle SystemC élémentaire

Avant de réaliser le modèle SystemC d'un dispositif complexe, quelques modèles simples ont été réalisés afin d'optimiser le fonctionnement des canaux de communications.

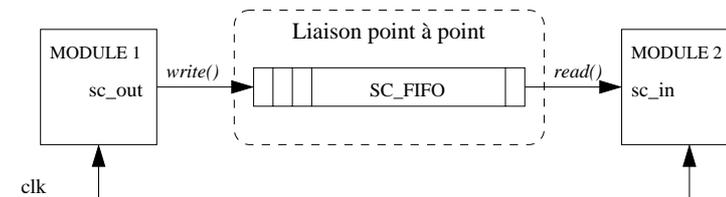


FIG. 10.7 – Exemple d'un modèle SystemC.

⁴<http://www.ti.informatik.uni-frankfurt.de/systemc-ams/>.

Le plus simple des modèles est une connexion point à point unidirectionnelle entre deux modules SystemC (figure 10.7). Ce dernier pourrait correspondre à un prototype virtuel simplifié d'une communication unidirectionnelle entre un processeur et une mémoire.

Les deux modules du système (*module 1* et *module 2*) sont synchronisés sur l'horloge du système (*clk*). Le fonctionnement du modèle permet au *module 1* d'envoyer des données au *module 2* par l'intermédiaire d'une liaison point à point modélisée par une FIFO.

La table 10.2 présente l'instanciation des modules du modèle dans sa forme SystemC.

La figure 10.8 présente un exemple de résultat de simulation donné par le noyau de simulation SystemC. Elle montre les différents signaux des deux modules :

- *clk* : l'horloge globale du système.
- *data_mod1* : les données en sortie du *module 1*. Écriture dans le canal de communication.
- *data_mod2* : les données en entrée du *module 2*. Lecture dans le canal de communication.

TAB. 10.2 – Modèle SystemC simple d'une liaison unidirectionnelle.

```

1  int sc_main (int argc, char* argv[]) {
    char trace_file_name[10] = "trace";

5     sc_clock clk("clk", 1, SC_NS, 0.5);
    sc_trace_file* tf;
    sc_fifo <sc_logic > out_mod1_in_mod2("out_mod1_in_mod2",1);
    sc_signal <sc_logic> data_mod1;
10    sc_signal <sc_logic> data_mod2;

    tf = sc_create_vcd_trace_file(trace_file_name);
    sc_trace(tf, clk, "clk");
    sc_trace(tf, data_mod1, "data_mod1");
    sc_trace(tf, data_mod2, "data_mod2");

15    display display1 ("display1");
    display1.clk_result(clk);

    module1 mod1 ("mod1");
20    mod1.clk(clk);
    mod1.out(out_mod1_in_mod2);
    mod1.out_trace(data_mod1);

    module2 mod2 ("mod2");
25    mod2.clk(clk);
    mod2.in(out_mod1_in_mod2);
    mod2.in_trace(data_mod2);

    sc_start(clk, 10);

30    sc_close_vcd_trace_file(tf);

    return 0;
}

```



FIG. 10.8 – Simulation numérique d'une liaison simple unidirectionnelle point à point.

Dans la “trace” de la figure 10.8, le signal de sortie du *module 1* (*data_mod1*) est synchronisé avec le signal d’entrée du *module 2* (*data_mod2*), ce qui revient à un délai nul entre les deux modules. Or ce phénomène de délai doit être intégré dans le prototype virtuel de l’ONoC afin de modéliser le retard apporté par les circuits analogiques et numériques, photoniques et optoélectroniques dans la propagation des signaux, et d’en déduire ainsi le délai global d’une communication.

La table 10.3 montre un exemple simple d’intégration d’un délai entre les deux modules *module 1* et *module 2*, et la figure 10.9 présente le résultat de la simulation.

TAB. 10.3 – Modèle SystemC simple d’une liaison unidirectionnelle avec délai.

```

1  #include "systemc.h"
   SC_MODULE(module2){
       sc_in < sc_logic > in;
5     sc_out < sc_logic > trace;
       sc_in <bool> clk;

       sc_logic in_Copy;

10    sc_event event1;

       void transfert();
       void delai();

15    SC_CTOR (module2):
       in("in"),trace("trace"),clk("clk")
       {
           SC_METHOD (transfert);
           sensitive << in;
20           SC_THREAD (delai);
       }
   };

25 void module2::transfert(){
       in_Copy=in->read();
       event1.notify(sc_time(0.2,SC_NS));
   }

30 void module2::delai(){
       while (1) {
           wait(event1);
           trace->write((sc_logic)in_Copy);
35       }
   }

```

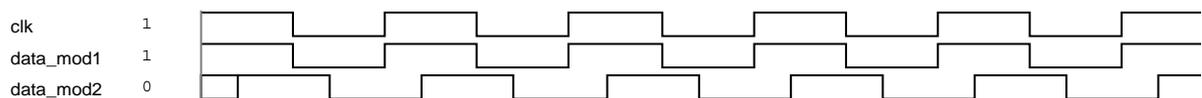


FIG. 10.9 – Simulation numérique d’une liaison simple unidirectionnelle point à point avec délai.

Chapitre 11

Prototype virtuel complet de haut niveau d'un réseau d'interconnexion optique intégré

11.1 Modèle SystemC de l'ONoC

11.1.1 Introduction

Pour l'établissement des modèles SystemC, nous avons suivi la décomposition en blocs fonctionnels de l'ONoC. Chacun de ces blocs sera modélisé à l'aide d'un module SystemC, et ils seront "liés" entre eux par des canaux de communications. Cette étape va fixer le point de départ de la modélisation et séparer la communication des signaux avec la fonctionnalité de chaque module. Il sera toujours possible de réaliser des raffinements de certains modules afin d'optimiser le comportement du modèle.

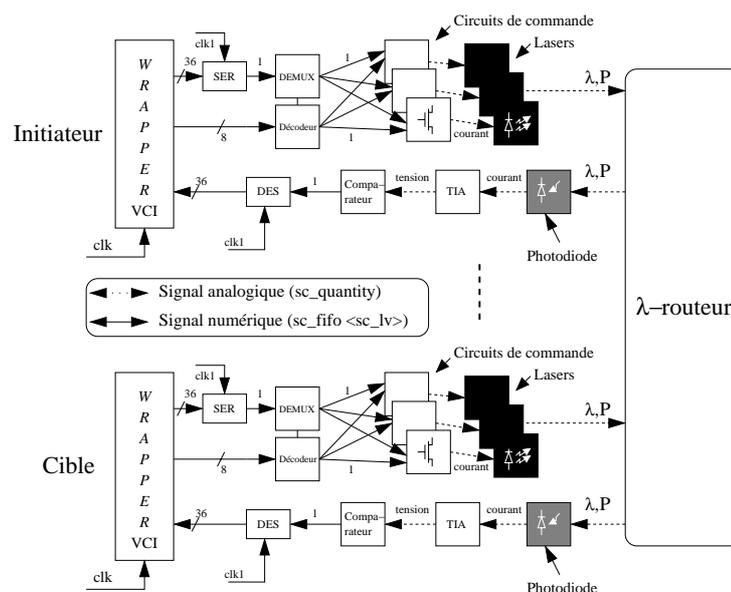


FIG. 11.1 – Modèle SystemC complet de l'ONoC avec un initiateur et une cible.

La figure 11.1 présente une vue d'ensemble du modèle SystemC de l'ONoC. Cette figure représente uniquement un initiateur et une cible connectés par l'intermédiaire du réseau d'interconnexion optique passif, c'est-à-dire le λ -routeur. Cette figure est "scalable", c'est-à-dire qu'il est possible de connecter au module du λ -routeur autant de ressources que ce dernier peut en gérer.

L'ONoC est bidirectionnel, ce qui implique que les modules SystemC vont devoir recevoir et envoyer des données en même temps. Pour tenir compte de cette spécificité, il est nécessaire d'implémenter des ports particuliers (appelés "ports optiques" qui sont une simple combinaison de *sc_in* et *sc_out*) qui géreront cette bidirectionnalité dans les modules SystemC (en effet, SystemC implémente déjà des ports bidirectionnels, *sc_inout*, mais il n'est cependant pas possible d'accéder simultanément à l'entrée et à la sortie; or le protocole VCI n'interdit pas que les initiateurs et/ou les cibles envoient et reçoivent des données simultanément dans le réseau d'interconnexion).

11.1.2 Résumé des modules

Après l'identification des différents blocs du modèle, la deuxième étape de la conception consiste à définir les types d'entrée/sortie de tous les blocs. Cette étape va permettre de déterminer les "méthodes d'accès" aux modules par l'intermédiaire de leurs ports.

La table 11.1 résume les différents signaux circulant dans l'ONoC et présente quelques paramètres comme le débit de fonctionnement attendu et la technologie de fabrication. Les horloges ne sont pas indiquées dans le tableau, mais il y a une entrée spécifique d'horloge pour les circuits numériques (SERDES, démultiplexeur et décodeur).

TAB. 11.1 – Résumé des signaux circulant dans l'ONoC (num. \sim E/S numériques).

Module SystemC	Entrée	Sortie	Débit maximal	Technologie
Sérialiseur	1 num.	1 num.	3 Gbit/s	CMOS 0,13 μ m
Démultiplexeur	2 num.	256 num.	3 Gbit/s	CMOS 0,13 μ m
Décodeur	1 num.	256 + 1 num.	3 Gbit/s	CMOS 0,13 μ m
Commande	2 num.	courant	3 Gbit/s	CMOS 0,13 μ m
VCSEL	courant	longueur d'onde et puissance	3 Gbit/s	III-V
λ -routeur	longueur d'onde et puissance	puissance	" ∞ "	SOI
PIN	puissance	photocourant	3 Gbit/s	III-V
TIA	photocourant	tension	3 Gbit/s	CMOS 0,13 μ m
Comparateur	tension	1 num.	3 Gbit/s	CMOS 0,13 μ m
Désérialiseur	1 num.	1 num.	3 Gbit/s	CMOS 0,13 μ m

La table 11.2 résume les différents modules SystemC avec leurs nombres d'entrées/sorties, leur type ainsi que leur liste de sensibilité. Deux types de signaux sont utilisés : *i*) des signaux numériques (horloge, bits de données et de contrôle) et *ii*) des signaux analogiques (tension, courant, puissance et longueur d'onde).

Pour faciliter les tests du modèle de l'ONoC et être compatible avec les *wrappers* VCI, deux modules SystemC ont été ajoutés (table 11.3) :

- Un générateur aléatoire de 36 bits connecté à l'entrée des sérialiseurs. Ce générateur permet de créer une activité fixée par l'utilisateur.
- Un module de sélection pour choisir la longueur d'onde à émettre par les VCSEL pendant la simulation.

En associant tous les modules présentés précédemment, il est possible de mettre en place des "bancs d'essais" (souvent appelés "*testbench*") pour tester le modèle complet, et estimer

TAB. 11.2 – Résumé des modules SystemC de l'ONoC.

Module SystemC	Entrée	Sortie	Type Entrée	Type Sortie	Sensibilité
Sérialiseur	1	1	sc_lv<sc_logic<36>>	sc_logic	clk1
Démultiplexeur	2	256	sc_logic & sc_lv<DMUX>	sc_logic	Entrée
Décodeur	1	256 + 1	sc_lv<sc_logic<8>>	sc_logic & sc_lv<DMUX>	Entrée
Commande	2	1	sc_logic	sc_quantity_out	Entrée
VCSEL	1	2	sc_quantity_in	sc_quantity_out	Entrée
λ -routeur	2n	m	sc_quantity_in	sc_quantity_out	Entrée
PIN	1	1	sc_quantity_in	sc_quantity_out	Entrée
TIA	1	1	sc_quantity_in	sc_quantity_out	Entrée
Comparateur	1	1	sc_quantity_in	sc_logic	Entrée
Désérialiseur	1	1	sc_logic	sc_lv<sc_logic<36>>	clk1

TAB. 11.3 – Résumé des modules SystemC pour l'automatisation du test du modèle de l'ONoC.

Module SystemC	Entrée	Sortie	Type Entrée	Type Sortie	Sensibilité
Générateur	0	1	NULL	sc_lv<sc_logic<36>>	clk
Select	0	1	NULL	sc_lv<sc_logic<8>>	clk

les paramètres clés comme le délai total du système, sa consommation moyenne et sa surface (détaillés dans la partie IV).

Les sections suivantes présentent les différents modules SystemC ainsi que le détail de leur fonctionnement. Les tables de l'annexe G présentent les différents modules de l'ONoC

11.1.3 Modules numériques

Les comportements des modules “numériques” (sérialiseur, désérialiseur, décodeur et démultiplexeur) sont détaillés dans l'annexe G et les tables 11.2 et 11.1. Leur fonctionnalité est détaillée dans la partie II.

11.1.4 Module du circuit de commande

Les valeurs des courants de polarisation et de modulation, que doit fournir le circuit de commande, dépendent des lasers utilisés dans le système. Une base de données XML¹ (cf. figure 11.4) qui contient les paramètres caractérisant les lasers a été construite. Le module SystemC se réfère à cette base de données pour y mettre à jour ses variables.

11.1.5 Module du laser

Un laser est décrit par trois paramètres : la longueur d'onde d'émission centrale, la largeur spectrale et la puissance d'émission (figure 11.2).

11.1.6 Module du λ -routeur

Présentation

Le module SystemC du λ -routeur calcule le comportement optique complet du système de transmission.

¹Extensible Markup Language - World Wide Web Consortium - <http://www.w3.org>.

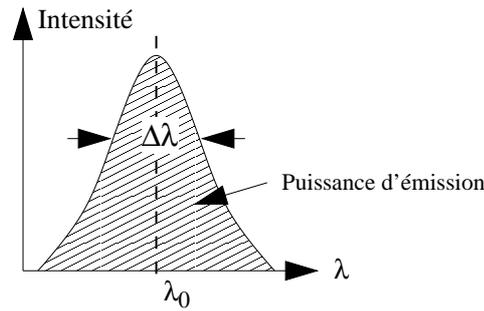


FIG. 11.2 – Impulsion gaussienne du laser.

Pour modéliser, avec une précision suffisante, le comportement du réseau passif, le modèle SystemC fait appel automatiquement à Matlab. Matlab permet de calculer symboliquement la matrice S du réseau et le modèle SystemC extrait de ce calcul la matrice correspondant à la longueur d'onde spécifique du laser d'émission.

Modèle phénoménologique

Pour modéliser le comportement de filtres optiques passifs, ainsi que le comportement de réseaux optiques plus complexes, le formalisme des matrices S est utilisé comme l'explique le chapitre 5.

Dans le cadre de la modélisation de l'ONoC, les ondes incidentes correspondent à celles qui proviennent des lasers et les ondes émergentes calculées sont converties en puissance optique et envoyées dans la chaîne de réception (détection quadratique). La figure 11.3 présente la correspondance entre les ondes incidentes et émergentes, nécessaires au modèle des matrices S , avec les entrées-sorties du module SystemC du λ -routeur.

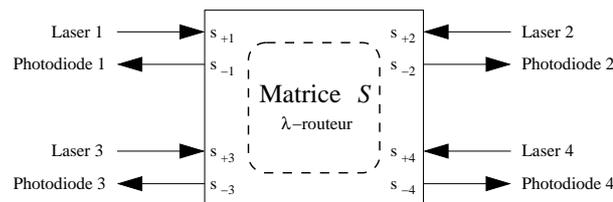


FIG. 11.3 – Correspondance entre le module du λ -routeur et les ondes incidentes et émergentes.

Interface Matlab/SystemC

Le calcul des matrices S , ainsi que l'extraction des paramètres doivent être automatiques et transparents pour l'utilisateur.

La matrice symbolique $S(\lambda)$ du réseau d'interconnexion optique est déterminée (sous Matlab) à partir d'une *netlist* qui décrit l'architecture du réseau. Il est à noter que cette matrice ne dépend que de l'architecture et qu'elle n'est donc calculée qu'une seule fois.

La figure 11.4 présente un schéma synoptique de la "cosimulation" SystemC-Matlab.

L'appel à Matlab se fait grâce à l'utilisation de la librairie Matlab C++, et grâce notamment aux interfaces externes ("*External Interface*") développées par Mathworks. Ces interfaces externes

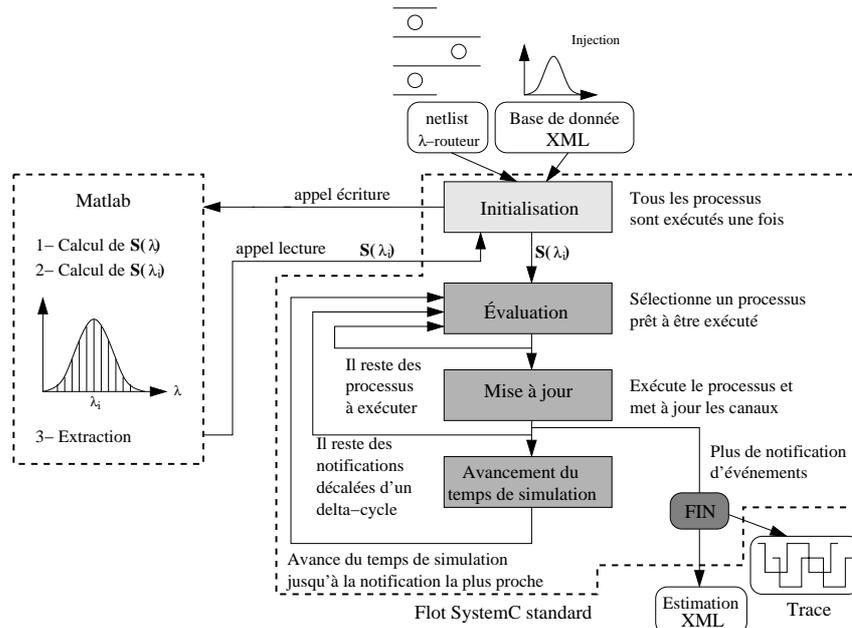
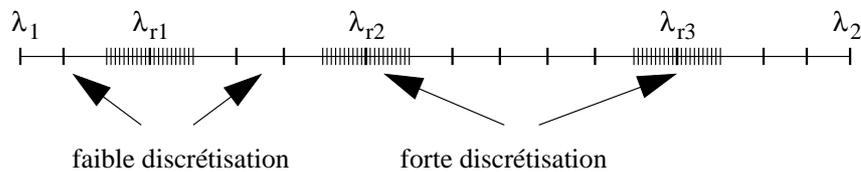


FIG. 11.4 – Synopsis graphique de l'utilisation SystemC-Matlab.

permettent d'utiliser n'importe quelle fonction de Matlab depuis un programme C++, et donc par extension depuis un module SystemC. Le noyau de simulation SystemC "appelle" Matlab et lui transmet la *netlist* du λ -routeur ; Matlab détermine la matrice symbolique $\mathbf{S}(\lambda)$, puis les matrices $\mathbf{S}(\lambda_i)$. Les λ_i sont des longueurs d'onde échantillonnant le spectre d'émission du laser. Ces matrices sont mémorisées et le modèle SystemC du λ -routeur les utilise pour calculer les puissances optiques de sortie.

Pour augmenter la précision du modèle, le nombre de longueurs d'onde λ_i décrivant le spectre du laser doit être augmenté, ce qui bien sûr augmente le temps de simulation. Dans le but d'optimiser le temps de simulation, l'échantillonnage du spectre n'est pas régulier : l'échantillonnage est plus resserré aux alentours des fréquences de résonance des structures élémentaires (λ_{r_i} sur la figure 11.5).


 FIG. 11.5 – Découpage de l'intervalle spectral $[\lambda_1.. \lambda_2]$ pour le calcul des matrices S numériques.

La table de l'annexe G.3 montre un exemple d'implémentation du module du λ -routeur.

Calcul des ondes émergentes

Les ondes émergentes sont obtenues par le produit matriciel entre la matrice $\mathbf{S}(\lambda_i)$ et le vecteur des ondes incidentes à la longueur d'onde λ_i (figure 11.6) :

$$\begin{bmatrix} s_{-1}(\lambda_i) \\ s_{-2}(\lambda_i) \\ \dots \\ s_{-(n-1)}(\lambda_i) \\ s_{-n}(\lambda_i) \end{bmatrix} = \mathbf{S}(\lambda_i) \begin{bmatrix} s_{+1}(\lambda_i) \\ s_{+2}(\lambda_i) \\ \dots \\ s_{+(n-1)}(\lambda_i) \\ s_{+n}(\lambda_i) \end{bmatrix} \text{ avec } \lambda_i \in [\lambda_1.. \lambda_2] \quad (11.1)$$

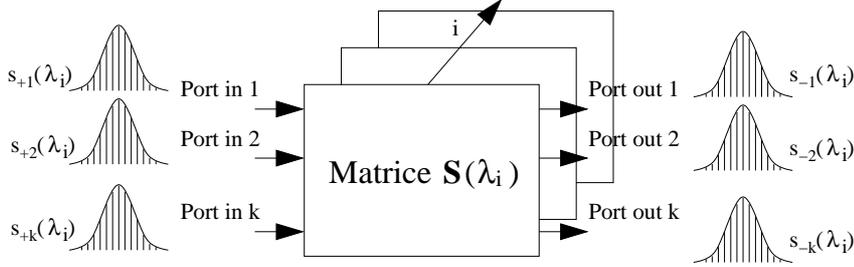


FIG. 11.6 – Construction du spectre émergent.

La description du spectre incident (équation (11.2)) est contenue dans la base de données XML. Pour chaque laser, la base de données contient la longueur d'onde centrale, la puissance d'émission et la largeur à mi-hauteur (figure 11.7).

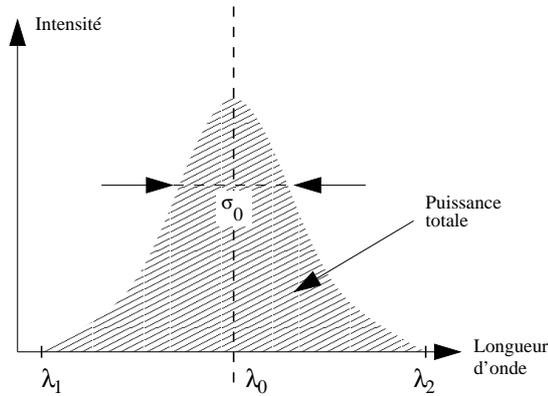


FIG. 11.7 – Construction du spectre incident.

Pour construire ce spectre incident avec les paramètres cités précédemment, il suffit d'utiliser l'équation (11.2).

$$P(\lambda) = \frac{P_{totale}}{\sigma\sqrt{2\pi}} e^{-\frac{(\lambda-\lambda_0)^2}{2\sigma^2}} \quad (11.2)$$

La figure 11.8 présente deux spectres qui sont calculés par le module SystemC du λ -routeur : *i*) le spectre incident qui modélise un VCSEL classique (puissance d'environ 500 μ W, longueur d'onde centrale à 1,5687 μ m, largeur à mi-hauteur 2 10^{-5} μ m) et *ii*) le spectre émergent après la transmission par le λ -routeur. Dans cet exemple, le λ -routeur modélise le réseau fabriqué et testé, reliant 8 ressources, avec environ 40 % de pertes.

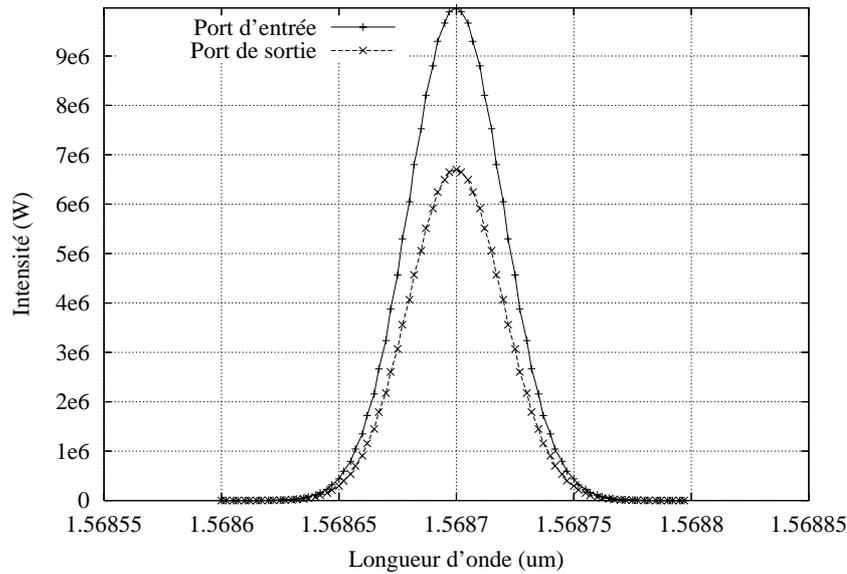


FIG. 11.8 – Intensité incidente et émergente calculée par le module SystemC du λ -routeur.

Calcul de la puissance de sortie

Pour chaque port de sortie du λ -routeur, la puissance optique est enfin calculée :

$$P_{s-i} = \int_{\lambda_1}^{\lambda_2} s_{-i}(\lambda) d\lambda \quad (11.3)$$

11.1.7 Module de la photodiode

Une partie de la fonction *detection()* (annexe G.4) calcule la valeur du photocourant généré par la photodiode en fonction de la valeur des puissances de sortie du λ -routeur. À nouveau les paramètres caractéristiques de la photodiode sont issus d'une base de données XML.

11.1.8 Module de l'amplificateur à transimpédance

Le module SystemC de l'amplificateur à transimpédance (annexe G.5) permet de calculer la tension amplifiée. Ce module intègre le calcul du bruit de l'amplificateur.

11.1.9 Module du comparateur

L'annexe G.6 donne le modèle du comparateur. Une fonction réalise la conversion analogique/numérique c'est-à-dire le calcul de la valeur du signal numérique ('1' logique ou '0' logique) en fonction de la valeur de la tension amplifiée (provenant de l'amplificateur) par rapport à un certain seuil de référence. Ce dernier provient directement de la phase de conception de l'ONoC (détaillé dans le chapitre 9).

11.1.10 Modélisation du bruit

Le bruit est modélisé grâce à l'approximation de Box-Muller [BOX-58] qui permet de générer des nombres aléatoires suivant une distribution normale. Cette approximation permet de modéliser le bruit du courant de sortie de l'amplificateur suivant une gaussienne comme le présente le chapitre 9. Le modèle de l'amplificateur peut provoquer des erreurs lors de la détection (un '1' logique détecté comme un '0' par le comparateur et inversement un '0' logique détecté comme un '1' logique par le comparateur).

Si x_1 et x_2 sont deux variables indépendantes et uniformément distribuées entre 0 et 1, alors z_1 et z_2 (équation (11.4)) sont réparties suivant une distribution normale :

$$\begin{cases} z_1 = \sqrt{-2 \ln x_1} \cos(2\pi x_2) \\ z_2 = \sqrt{-2 \ln x_1} \sin(2\pi x_2) \end{cases} \quad (11.4)$$

Le caractère aléatoire du courant détecté est modélisé en ajoutant la contribution du bruit au courant, détecté par la photodiode (équation (11.5)).

$$P(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-(x-\mu)^2/(2\sigma^2)} \quad (11.5)$$

La figure 11.9 présente un exemple de résultat de simulation pour un TEB de 10^{-2} .

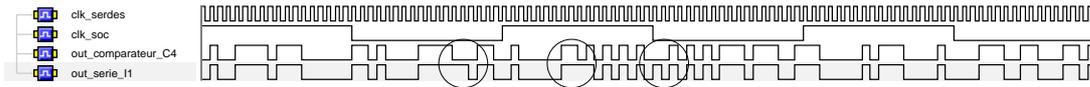


FIG. 11.9 – Chaîne de réception avec un TEB de 10^{-2} - Les erreurs de transmission sont entourées d'un cercle.

11.2 Estimation de la puissance consommée

La puissance consommée par le réseau d'interconnexion optique intégré (incluant les conversions électrique-optique et optique-électrique) est un paramètre important à estimer lors de la conception d'un ONoC.

Dans le modèle SystemC de l'ONoC une estimation de cette puissance consommée a été intégrée.

11.2.1 Fonctions numériques

L'estimation de la puissance consommée de la partie numérique de l'ONoC prend en compte le sérialiseur, le désérialiseur, le démultiplexeur, le décodeur (figure 11.1), auxquels se rajoute le CDR.

Cette estimation de puissance est étroitement liée à l'architecture du dispositif numérique (nombre de portes logiques donc de transistors) ainsi qu'à sa technologie de fabrication.

Au niveau système, il est possible d'estimer la puissance consommée d'une porte logique, elle correspond à la somme de la puissance statique et de la puissance dynamique (équation (11.6)) [VEE-00].

$$P_{totale} = P_{dynamique} + P_{statique} \quad (11.6)$$

La puissance dynamique est directement proportionnelle à l'activité du système, et prend en compte la puissance de commutation et la puissance de court-circuit (équation (11.7)) [VEE-00].

$$P_{dynamique} = P_{commutation} + P_{court-circuit} \quad (11.7)$$

L'équation (11.8) présente une bonne approximation de la puissance de commutation pour une porte logique. La puissance de court-circuit pour une porte logique peut être calculée avec l'équation (11.9). Les principaux paramètres des deux équations sont les suivants :

- s : l'activité de la porte, c'est-à-dire le nombre de changements d'état logique de la valeur considérée par rapport au signal d'horloge. Une activité maximale correspondra à $s = 1$ c'est-à-dire à un changement d'état à chaque front actif de l'horloge.
- f : la fréquence de fonctionnement du circuit numérique.
- C : la capacité d'entrée d'une porte logique.
- U : la tension d'alimentation.
- V_T : la tension de seuil d'un transistor MOS.
- β : le facteur de gain d'un transistor MOS.
- τ : le temps de montée et le temps de descente du signal d'entrée de la porte logique.

$$P_{commutation} = sfCU^2 \quad (11.8)$$

$$P_{court-circuit} = sf \frac{\beta}{12} (U - 2V_T)^3 \tau \quad (11.9)$$

En ce qui concerne la puissance statique (équation (11.10)), elle provient des courants de fuite directement donnés par les constructeurs (*datasheets*) des portes logiques, en fonction de la technologie. Ces fuites sont intrinsèques (présentes, même avec une activité nulle) et non maîtrisables par le concepteur. I_{diode} se rapporte au courant traversant les diodes formées entre les régions de diffusion et le substrat. Les fuites à travers le diélectrique sont négligeables. $I_{subthreshold}$ se rapporte au courant traversant les transistors à l'état bloqué. Ces courants de fuite sont toujours présents même à activité nulle ($s = 0$) : ils sont pris en compte dans l'estimation de la puissance consommée totale.

$$P_{statique} = (I_{diode} + I_{subthreshold})U \quad (11.10)$$

Il est à noter que les bascules D et les arbres de données des SERDES ont été simulés au niveau transistor, ce qui a permis de réaliser des estimations précises pour calculer la puissance consommée totale (dynamique et statique). Ainsi, avec ces estimations, il a donc été possible de valider les résultats obtenus par l'estimateur implanté dans le modèle SystemC.

11.2.2 Blocs analogiques

Pour l'ensemble des circuits analogiques, l'estimation de puissance consommée est issue de simulations au niveau transistor. Nous considérons, que seuls les blocs liés à la conversion électro-optique et optoélectronique sont analogiques.

11.2.3 Résumé

Le tableau 11.4 résume les puissances consommées totales par les circuits électroniques analogiques et numériques de l'ONoC. Ces puissances correspondent à une activité numérique de $s = 1$ et à un ONoC comprenant 512 ressources.

TAB. 11.4 – Puissance consommée des circuits électroniques analogiques-numériques.

	Dynamique (mW)	Statique (mW)	Totale (mW)
Sérialiseur	3,9747	0,1941	4,1688
Désérialiseur	3,4559	0,1753	3,6311
Décodeur 8 à 256	0,5811	0,2895	0,8706
Démultiplexeur 1 à 256	0,096	0,134	0,23
TIA	1,6896	0,006	1,6956
Comparateur	0,1716	0,01	0,1816
Circuit de commande	7,2	0,085	7,285

11.3 Estimation du délai

Le délai est le deuxième paramètre important à évaluer lors de la conception d'un réseau d'interconnexion optique intégré.

Une estimation du délai global de l'ONoC a été intégrée dans son prototype virtuel. Cette estimation prend en compte la latence de la partie électrique numérique-analogique, de la partie optoélectronique, ainsi que de la partie photonique.

Les délais sont directement implémentés dans les différents modules SystemC de l'ONoC afin de mettre à jour, au bon moment, les signaux SystemC dans les canaux de communication qui sont connectés au module.

11.3.1 Bloc photonique - guides d'onde

Le délai introduit par le λ -routeur est dû au temps de propagation de l'onde lumineuse depuis l'entrée du réseau passif jusqu'à sa sortie. Le spectre gaussien injecté dans le λ -routeur n'est pas "déformé" (pas d'étalement spectral). Ceci est dû aux faibles distances entre les initiateurs et les cibles (moins d'un centimètre a priori sur un système sur puce). La figure 11.10 présente l'impact du délai sur les signaux lumineux de sortie dû au λ -routeur.

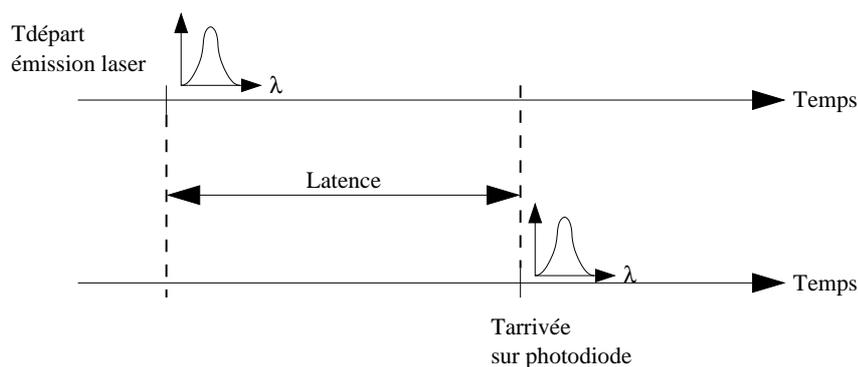


FIG. 11.10 – Impact du délai dû au λ -routeur.

Ce temps de propagation va donc uniquement dépendre de la distance d à parcourir par l'onde dans le λ -routeur, ainsi que de son indice optique (équation (11.11)). Pour un guide d'onde en silicium, l'indice optique de réfraction est d'environ $n = 2,6$.

$$\tau_{LR} = d \frac{n}{c} \quad (11.11)$$

11.3.2 Circuits électroniques analogiques et numériques

Tout comme l'estimation de la puissance consommée dans la partie numérique de l'ONoC, l'estimation du délai dans cette partie prend en compte le sérialiseur, le désérialiseur, le démultiplexeur et le décodeur. Des détails sur la façon de déterminer cette latence sont donnés dans le chapitre 9.

Le tableau 11.5 résume le délai des différents circuits analogiques-numériques de l'ONoC. Cependant les données à convertir en signaux lumineux ne traversent pas le décodeur, donc le délai introduit par ce dernier n'intervient pas dans le délai total dû à la conversion électrique-optique, au transport dans le λ -routeur et à la conversion optique-électronique. Le prototype virtuel n'en tient donc pas compte.

TAB. 11.5 – Délai moyen introduit par les interfaces électroniques.

	Délai (ps)
Sérialiseur	280
Désérialiseur	100
Démultiplexeur 1 à 256	165
TIA	60
Comparateur	116

11.3.3 Composants optoélectroniques

Une base de données XML, où sont inscrits tous les *datasheets* des dispositifs optoélectroniques (laser et photodiode), est directement lue par le prototype virtuel qui peut mettre à jour, au bon moment, les signaux des modules SystemC des lasers et des photodiodes dans les canaux de communication qui y sont connectés.

11.4 Estimation de la surface

L'estimation de la surface est le troisième paramètre important afin de réaliser une étude complète des performances d'un réseau d'interconnexion optique intégré sur un système sur puce.

Contrairement aux deux autres paramètres, la puissance et la latence, qui lient tous les domaines de l'ONoC (électronique numérique-analogique, optoélectronique et photonique) afin d'avoir une estimation globale, il est nécessaire de faire trois estimations différentes de la surface utilisée par l'ONoC.

11.4.1 Partie électronique analogique

Afin de déterminer de façon précise la surface utilisée par les circuits analogiques, il faut réaliser le dessin des masques de ces circuits, avec le logiciel Cadence par exemple. Ceci permet

de prendre en compte les règles de dessin des masques en fonction de la technologie (espacement entre les lignes métalliques, zone de diffusion, etc.). Une estimation de cette surface analogique est intégrée dans le prototype virtuel.

11.4.2 Partie électronique numérique

Pour la partie électronique numérique, les constructeurs des portes logiques fournissent la taille de ces dernières ce qui permet de réaliser une estimation fiable et rapide de la surface prise par le sérialiseur, le désérialiseur, le démultiplexeur et le décodeur. En effet, le type et le nombre de portes de ces circuits numériques sont connus (déjà présentés dans les parties précédentes).

Connaissant les taux de remplissage moyens des placeurs-routeurs (80-90 %), ce calcul est automatique et directement implémenté dans le prototype virtuel de l'ONoC.

11.4.3 Partie optoélectronique

La surface de la partie optoélectronique dépend uniquement du nombre de lasers et de photodiodes nécessaire au fonctionnement de l'ONoC. Ce nombre est directement calculé par le prototype virtuel en fonction de son architecture (nombre d'initiateurs, nombre de cibles et nombre de longueurs d'onde nécessaires).

Les *datasheets* disponibles dans la base de données XML permettent d'obtenir la surface moyenne d'un laser et d'une photodiode. En général, avec les technologies actuelles, la surface utilisée par un laser et une photodiode est sensiblement la même, c'est-à-dire environ $250 \mu\text{m} \times 250 \mu\text{m}$. L'espacement entre les dispositifs est pris en compte dans cette estimation.

Si l'architecture du λ -routeur est celle qui est présentée dans le premier chapitre (figure 2.14), le nombre de photodiodes est exactement égal au nombre de ressources du système, c'est-à-dire le nombre d'initiateurs plus le nombre de cibles, $nb_IP = Nb_I + Nb_C$. Ce nombre augmentera donc de façon linéaire en fonction du nombre de ressources du système.

En ce qui concerne les lasers, et si l'architecture du λ -routeur est celle de la figure 2.14, il y en aura $\frac{Nb_I + Nb_C}{2} (Nb_I + Nb_C)$ sur le système sur puce. La relation (11.12) sera toujours vérifiée. Ceci impose qu'il y ait toujours plus de lasers que de photodiodes et que le nombre de lasers augmente comme une fonction en x^2 .

$$1 \leq \frac{nb_IP}{2} \Leftrightarrow nb_IP \leq \frac{nb_IP^2}{2} \quad (11.12)$$

Par exemple, pour un système possédant 4 initiateurs et 4 cibles utilisant l'architecture de la figure 2.14 pour le λ -routeur, il y aura 8 photodiodes et 32 lasers.

11.4.4 Partie photonique

La surface de la partie optique passive peut se calculer par rapport au nombre de routeurs optiques, ou de briques élémentaires qui composent le réseau. Si l'architecture du réseau est la même que celle qui est présentée sur la figure 2.14, le nombre de *switchs* optiques nb_RONoC est donné par la relation (11.13).

$$nb_RONoC = \frac{Nb_I Nb_I}{2} + \left(\frac{Nb_C}{2} - 1 \right) \frac{Nb_C}{2} \quad (11.13)$$

Par exemple, pour un système possédant 4 initiateurs et 4 cibles, il y aura 6 *switchs* optiques dans le λ -routeur.

La surface d'un routeur optique dépend de son architecture, c'est-à-dire du nombre de microdisques dont il est composé. En moyenne, un routeur optique aura une surface maximale d'environ $10 \mu\text{m} \times 10 \mu\text{m}$. Cette estimation de la surface globale du λ -routeur est directement intégrée dans le prototype virtuel.

11.4.5 Résumé

Le tableau 11.6 résume la surface moyenne utilisée par les différentes parties de l'ONoC. L'estimation de la surface du circuit de commande est donnée pour un VCSEL donné.

TAB. 11.6 – Surface moyenne de l'ONoC (*Above IC).

	Surface (mm^2)
Sérialiseur	$6,31 \cdot 10^{-3}$
Désérialiseur	$5,15 \cdot 10^{-3}$
Démultiplexeur 1 à 256	$4,95 \cdot 10^{-3}$
Décodeur 8 à 256	$17,4 \cdot 10^{-3}$
Circuit de commande	$1,26 \cdot 10^{-3}$
Amplificateur	$1,56 \cdot 10^{-4}$
Comparateur	$4,85 \cdot 10^{-6}$
VCSEL ou Photodiode*	0,0625

Rappelons que les parties optoélectronique et photonique se situent au-dessus de la dernière couche de métallisation, ce qui relâche les contraintes sur la surface.

11.5 Simulation globale

Le temps de simulation est un paramètre caractéristique du niveau hiérarchique considéré. Au niveau système (SystemC) l'ONoC complet est modélisé, alors qu'au niveau physique chacune de ses parties est modélisée indépendamment.

TAB. 11.7 – Différences majeures des trois niveaux d'abstraction.

	FDTD	Matrice S	Prototype virtuel SystemC
Niveau	Physique	Comportementale	Système
Action	Résolution précise d'équations physiques	Mise en équation du comportement	Fonctionnel
Système	λ -routeur	λ -routeur	ONoC (λ -routeur + interfaces)
Correspondance	1 bit	1 cycle	36 000 bits
ONoC 2×2	16 heures	15 secondes	< 1 minute
ONoC 4×4	72 heures	6 minutes	3 minutes
ONoC 8×8	Mémoire insuffisante	17 minutes	15 minutes
Précision	Interférences optiques temporelles, défaut de fabrication, couplage guide-microdisque, etc. (comportement optique précis)	Comportement en phase et en amplitude des ports d'entrée-sortie d'un filtre optique	Comportement fonctionnel avec prise en compte des défauts optiques d'un λ -routeur donné (architecture figée)

Le tableau 11.7 résume les temps de simulation des trois niveaux hiérarchiques (uniquement le λ -routeur pour le niveau physique et comportemental qui est prédominant en termes de temps de calcul) pour des architectures données, ainsi que les différences de “précision” des niveaux.

À la fin de la simulation du prototype virtuel de l'ONoC, trois types de fichier sont créés :

- un fichier *VCD* qui enregistre la “trace” des signaux numériques,
- deux fichiers base de données *XML* [YER-04] qui enregistrent toutes les estimations de puissances consommées et de surfaces,
- plusieurs fichiers *DAT* pour le débogage des signaux analogiques.

Les traces *VCD* obtenues après une simulation d'un prototype virtuel SystemC seront visualisées avec l'outil SimVision de Cadence.

Chapitre 12

Conclusion

Cette partie a présenté le flot hiérarchique complet de conception d'un réseau d'interconnexion optique intégré comprenant toutes ses sous-parties : électronique, optoélectronique et optique passive. Une méthode de conception spécifique, en quatre étapes (le λ -routeur étant le point central), a été mise en place pour concevoir et optimiser la totalité des parties hétérogènes de l'ONoC. Des estimateurs de surface, de puissance consommée et de délai ont été réalisés pour toutes les parties de l'ONoC. Un modèle de haut niveau a été présenté utilisant un langage unifié (SystemC) afin de diminuer le temps de conception et de garantir des modèles fiables grâce aux extractions automatiques de paramètres des niveaux d'abstraction inférieurs. Le flot de conception simplifié est rappelé sur la figure 12.1.

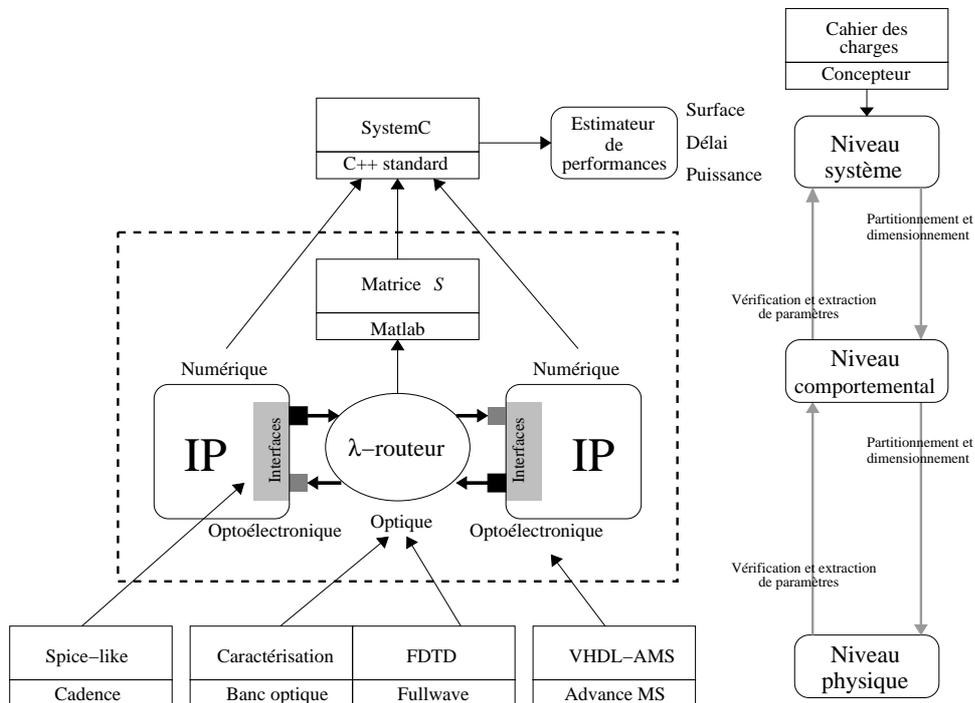


FIG. 12.1 – Flot de conception de l'ONoC.

La conception des interfaces optoélectroniques a permis de déterminer avec précision les

performances que l'ONoC pouvait atteindre : un débit maximal de 3 Gbit/s (associé à un TEB de 10^{-18}) avec une latence inférieure à 2 cycles d'horloge sont les principales caractéristiques du réseau.

La prochaine partie présentera les applications, sur plusieurs architectures d'ONoC, utilisant notre plate-forme de conception. Puis une première approche de comparaison entre l'ONoC et le réseau SPIN sera donnée.

Bibliographie

- [AGR-02] G.P. Agrawal. *Fiber-optic communication systems*. Wiley Interscience, 2002.
- [ANS-93] ANSI/IEEE, Std. 1076-1993. *IEEE standard VHDL language reference manual*, 1993.
- [BEN-60] W.R. Bennett. *Electrical noise*. McGraw-Hill, New York, 1960.
- [BOX-58] G.E.P. Box and M.E. Muller. « A note on the generation of random normal deviates ». *Annals Mathematics and Statistics*, vol. 29, pp. 610–611, 1958.
- [BRI-04] M. Brière, L. Carrel, T. Michalke, F. Mieyeville, I. O'Connor, and F. Gaffiot. « Design and behavioral modeling tools for optical network-on-chip ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, Feb. 2004.
- [CHA-96] E. Charbon, U. Choudhury, A. Demir, E. Felt, E. Liu, E. Malavasi, A. Sangiovanni-Vincentelli, and I. Vassiliou. *A top-down, constraint-driven design methodology for analog integrated circuits*. Kluwer Academic Publishers, 1996.
- [CHI-96a] Kin Seng Chiang. « Analysis of the effective-index method for the vector modes of rectangular-core dielectric waveguides ». *IEEE Trans. Microw. Theory Tech.*, vol. 44, no. 5, pp. 692–700, May 1996.
- [CHI-96b] Kin Seng Chiang, Chi Lai Wong, Hau Ping Chan, and Yuk Tak Chow. « Refractive-index profiling of graded-index planar waveguides from effective indexes measured for both mode types and at different wavelengths ». *J. Lightw. Technol.*, vol. 14, no. 5, pp. 827–832, May 1996.
- [DRI-03] F. Tissafi Drissi, I. O'Connor, F. Mieyeville, and F. Gaffiot. « Design methodologies for high-speed CMOS photoreceiver front-ends ». In *Proceedings of the Symposium on Integrated Circuits and Systems Design (SBCCI)*, pages 323–328, Sept. 2003.
- [DRI-04] F. Tissafi Drissi. *Méthodes et outils de synthèse pour systèmes multi-domaine*. PhD thesis, École Centrale de Lyon, Dec. 2004.
- [DW03] M. De Wilde, O. Rits, R. Bockstaele, J. Van Campenhout, and R. Baets. « A circuit-level simulation approach to analyse system level behaviour of VCSEL-based optical interconnects ». In *Proceedings of the Annual Meeting, International Symposium on Optical Science and Technology (SPIE)*, Volume 4942, pages 247–257, 4 2003.
- [DW04] M. De Wilde, O. Rits, W. Meeus, H. Lambrecht, and J. Van Campenhout. « Integration of modeling tools for parallel optical interconnects in a standard EDA design environment ». In *Workshop on Parallel Optical Interconnects Inside Electronic Systems at DATE 2004*, 2 2004.
- [GUE-00] P. Guerrier. *Un réseau d'interconnexion pour systèmes intégrés*. PhD thesis, Université Paris VI, May 2000.

- [GUR-03] Z.O. Gursoy and Y. Leblebici. « Design and realization of a 2.4 Gbps - 3.2 Gbps clock and data recovery circuit using deep-submicron digital CMOS technology ». In *Proceedings of the IEEE International SOC Conference (SOCC)*, pages 99–102, Sept. 2003.
- [JUN-03] M. Jungo. *Spatiotemporal VCSEL model for advanced simulations of optical links*. PhD thesis, Swiss Federal Institute of Technology, Aug. 2003.
- [LEE-03] J. Lee and B. Razavi. « A 40-Gb/s clock and data recovery circuit in 0.18- μm CMOS technology ». *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2181–2190, Dec. 2003.
- [MAC-62] D.K.C. MacDonald. *Noise and fluctuations : an introduction*. Wiley, New York, 1962.
- [MAO-03] Z. Mao and T.H. Szymanski. « A 4Gb/s CMOS fully-differential analog dual delay-locked loop clock/data recovery circuit ». In *Proceedings of the IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pages 559–562, Dec. 2003.
- [MIE-01] F. Mieleville. *Modélisation de liaisons optiques inter- et intra-puces à haut débit*. PhD thesis, École Centrale de Lyon, Oct. 2001.
- [MIE-04] F. Mieleville and M. Brière. « Étude et modélisation d’une liaison opto-électronique pour ordinateur massivement parallèle ». Technical report - contrat CEA-LIST, Ecole Centrale de Lyon, Nov. 2004.
- [MOR-94] J.J. Morikuni, A. Dharchoudhury, Y. Leblebici, and S.-M. Kang. « Improvements to the standard theory for photoreceiver noise ». *J. Lightw. Technol.*, vol. 12, no. 7, , Jul. 1994.
- [NAV-05] D. Navarro, M. Brière, I. O’Connor, F. Mieleville, and F. Gaffiot. « Quantitative study of area and power consumption costs for 3 Gbits/s optical communications in a 0.13 μm CMOS circuit ». In *Proceedings of the Conference on Design of Circuits and Integrated Systems (DCIS)*, Nov. 2005.
- [OSC-02a] OSCI. « SystemC v2.0.1 ». White paper, OSCI, 2002.
- [OSC-02b] OSCI. *SystemC v2.0.1 users guide*, 2002.
- [ROB-74] F.N.H. Robinson. *Noise and fluctuations in electronic devices and circuits*. Oxford University Press, Oxford, 1974.
- [SIK-03] Z. Sikorski, M. Turowski, Y. Jiang, T. Czyszanowski, A. Prezekwas, and M.S. Wartak. « Multiphysics modeling tools for vertical cavity surface emitting lasers ». In *Proceedings of the International Conference on Numerical Simulation of Semiconductor Optoelectronic Devices (NUSOD)*, pages 47–48, Oct. 2003.
- [TAF-05] A. Taflove and S.C. Hagness. *Computational electrodynamics : the finite-difference time-domain method (3rd edition)*. Artech House, 2005.
- [TOS-04] G. Tosik. *Conception et modélisation de la répartition de l’horloge des systèmes intégrés par voie optique*. PhD thesis, École Centrale de Lyon, Jan. 2004.
- [VAC-97] A. Vachoux, J.M. Bergé, O. Levia, and J. Raillard. *Analog and mixed signal hardware description languages*. Kluwer Academic Publishers, 1997.
- [VEE-00] H. Veendrick. *Deep-submicron CMOS ICs : from basics to ASICs*. Kluwer academic, 2000.
- [YER-04] F. Yergeau, T. Bray, J. Paoli, C.M. Sperberg-McQueen, and E. Maler. « Extensible Markup Language (XML) 1.0 (Third Edition) ». W3C recommendation, W3C, Feb. 2004.

Quatrième partie

Applications, tests et évolutions

Chapitre 13

Prototypages

Plusieurs prototypes ont tout d’abord été conçus : une connexion point à point entre un initiateur et une cible, un ONoC reliant 4 blocs IP (2 initiateurs et 2 cibles), et un réseau d’interconnexion plus complexe reliant 8 blocs IP entre eux par l’intermédiaire du λ -routeur.

Ces premières études sont fondées sur l’utilisation de réseaux d’interconnexion réels, fabriqués et caractérisés.

Ensuite, nous avons étudié l’impact du nombre de ressources (jusqu’à 64) sur l’évolution des paramètres macroscopiques des puissances consommées, de latence et de surface. Ces estimations ont été faites dans le cadre des hypothèses simplificatrices précédemment énoncées, c’est-à-dire que l’ONoC présenté ne prend pas en compte les circuits de récupération de rythme d’horloge. De même manière que dans les chapitres 9 et 11, les résultats des travaux de Leblebici [GUR–03] seront utilisés afin d’avoir des valeurs plus objectives sur les performances globales de l’ONoC en ce qui concerne sa partie CDR.

13.1 Connexion point à point

13.1.1 Présentation

Dans cet exemple, le réseau d’interconnexion est un simple guide d’onde droit (bidirectionnel) en silicium, reliant deux blocs IP : un initiateur *I1* et une cible *C2*. La figure 13.1 en présente un schéma-bloc. Les modules SystemC ne sont pas présentés car l’implémentation est exactement la même que sur la figure 11.1 de la partie III.

13.1.2 Étude de l’ONoC complet

Une fois les simulations physiques réalisées pour vérifier la fonctionnalité du λ -routeur (grâce à la visualisation des réponses spectrales du réseau), les entrées-sorties numériques de l’ONoC sont étudiées. Des générateurs aléatoires de signaux VCI sont utilisés afin de générer les signaux provenant des initiateurs et des cibles.

La figure 13.2 présente la “trace” des signaux numériques du système si l’initiateur *I1* communique avec la cible *C1* et si la cible *C1* répond à l’initiateur *I1*. La description de ces signaux est détaillée dans le tableau 13.1.

Dans cette simulation, aucune erreur n’est visible lors de la transmission (les signaux numériques *out_serie_I1* et *out_comparateur_C1*, ainsi que les signaux numériques

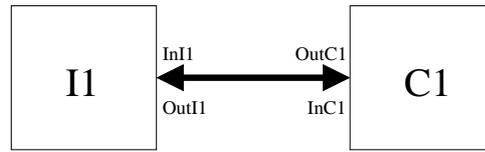


FIG. 13.1 – Schéma d'un lien point à point entre un initiateur et une cible.

Convention : L'entrée *I1* (In_{I1}) du guide d'onde correspond à la sortie *I1* (Out_{I1}) de l'initiateur 1, et réciproquement, la sortie *I1* (Out_{I1}) du guide d'onde correspond à l'entrée *I1* de l'initiateur. On retrouvera la même convention pour la cible.

out_serie_C1 et *out_comparateur_I1* sont identiques) : la communication entre l'initiateur et la cible fonctionne correctement (du fait que le TEB à 10^{-18} est très faible¹).

TAB. 13.1 – Signaux numériques d'une simulation SystemC.

Signal	Définition
<i>REQ(I)</i>	demande d'accès à la cible
<i>GNT(C)</i>	demande d'accès à l'initiateur
<i>clk_soc</i>	horloge globale du système sur puce
<i>clk_serdes</i>	horloge du SERDES 36 fois plus rapide que <i>clk_soc</i>
<i>select_I1</i>	indique le numéro du laser à "moduler" pour que l'initiateur communique avec la cible sélectionnée
<i>select_C1</i>	indique le numéro du laser à "moduler" pour que la cible communique avec l'initiateur sélectionné
<i>out_vci_I1</i>	signal (norme VCI) envoyé dans le réseau optique par l'initiateur
<i>out_vci_C1</i>	signal (norme VCI) envoyé dans le réseau optique par la cible
<i>out_serie_I1</i>	signal <i>out_vci_I1</i> sérialisé
<i>out_serie_C1</i>	signal <i>out_vci_C1</i> sérialisé
<i>out_comparateur_I1</i>	signal numérique en sortie du comparateur de la partie réception de l'initiateur
<i>out_comparateur_C1</i>	signal numérique en sortie du comparateur de la partie réception de la cible
<i>in_vci_I1</i>	signal reçu par l'initiateur après la désérialisation du signal <i>out_comparateur_I1</i>
<i>in_vci_C1</i>	signal reçu par la cible après la désérialisation du signal <i>out_comparateur_C1</i>

13.1.3 Estimation de la latence, de la puissance consommée et de la surface

Le tableau 13.2 résume les valeurs des estimations de la latence, de la puissance consommée et de la surface pour une simulation du prototype virtuel. Le *testbench* appliqué au prototype

¹Le temps de simulation deviendrait prohibitif s'il fallait le tester exhaustivement (une erreur tous les 10^{18} bits).

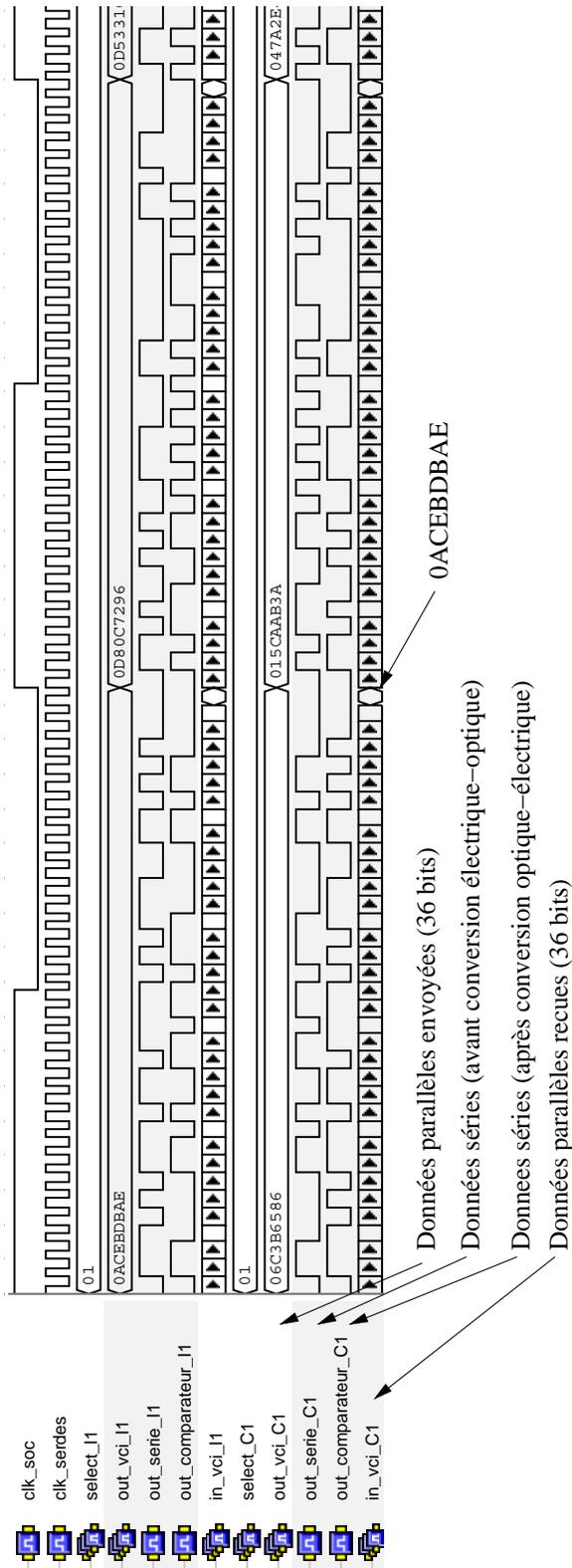


FIG. 13.2 – Signaux numériques d’une liaison point à point.

est une communication bidirectionnelle de données VCI aléatoires entre l'initiateur et la cible. Un seul destinataire est atteignable, il n'y a donc pas de décodeur et de démultiplexeur.

TAB. 13.2 – Performance de l'ONoC : deux ressources et un guide d'onde droit (*Above IC).

	Guide parfait	Guide avec défaut	Unité
Latence	724,73 / 2,17	724,73 / 2,17	ps / cycle
Puissance consommée numérique	45,37	45,37	mW
Puissance consommée analogique	9,263	12,863	mW
Surface numérique	0,7429	0,7429	mm ²
Surface analogique	0,00284	0,0041	mm ²
Surface laser*	0,125	0,125	mm ²
Surface photodiode*	0,125	0,125	mm ²
Surface photonique*	30	30	µm ²
Nombre de lasers	2	2	
Nombre de photodiodes	2	2	

Il est à noter que la puissance consommée des circuits numériques, ainsi que leur surface, sont principalement liées aux SERDES/CDR (environ 80 % de la puissance consommée totale, et 80 % de la surface totale de silicium, dans le cadre d'un réseau sans défaut).

L'impact de la qualité des guides est faible sur la latence et la surface totale de l'ONoC (augmentation de 40 % de la partie analogique). On peut déduire du tableau 13.2 que les défauts des guides influencent principalement la puissance consommée par les circuits analogiques. Elle augmente d'environ 40 % à cause de l'augmentation de la puissance d'émission du VCSEL (donc à cause de l'augmentation du courant de modulation) afin de compenser les pertes dans le guide.

13.2 Réseau d'interconnexion 2 × 2

13.2.1 Présentation

Un autre exemple simple de réseau d'interconnexion peut être utilisé pour relier 4 blocs IP entre eux (2 initiateurs et 2 cibles par exemple) : un *add-drop* à microdisque (figure 13.3). Les conventions sur les noms des ports du réseau d'interconnexion, ainsi que sur les signaux numériques, sont les mêmes que dans l'exemple précédent.

TAB. 13.3 – Table de vérité.

	<i>C1</i>	<i>C2</i>
<i>I1</i>	λ_1	λ_2
<i>I2</i>	λ_2	λ_1

Pour que le système fonctionne correctement, il est nécessaire que chaque bloc IP (initiateur et/ou cible) puisse utiliser deux longueurs d'onde : la longueur d'onde de résonance du microdisque de l'*add-drop* (soit λ_1 dans cet exemple) et une longueur d'onde différente de la longueur d'onde de résonance du microdisque (par exemple $\lambda_2 \neq \lambda_1$). La table 13.3 présente

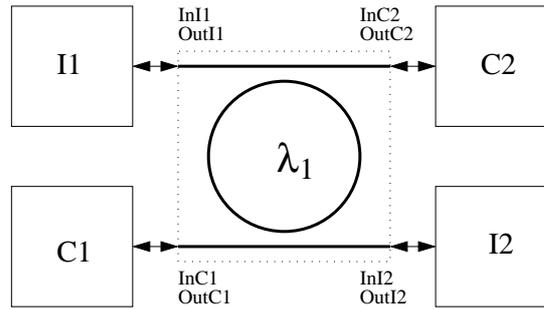


FIG. 13.3 – Schéma d'un système possédant 2 initiateurs et 2 cibles connectés par l'intermédiaire d'un *add-drop*.

la table de vérité du système et résume son fonctionnement. Par exemple si l'initiateur *I1* veut communiquer avec la cible *C1*, il doit envoyer les données dans le réseau d'interconnexion avec la longueur d'onde λ_1 . Dans l'exemple choisi, $\lambda_1 = 1,54625 \mu\text{m}$ et $\lambda_2 = 1,55 \mu\text{m}$ (ces valeurs proviennent des caractérisations réalisées sur des *add-drop* à microdisque fabriqués).

13.2.2 Étude de l'ONoC complet

Le λ -routeur utilisé dans cet exemple est modélisé à partir de résultats de caractérisation d'un *add-drop* fabriqué et testé. La chaîne d'émission est donc conçue afin d'en tenir compte et de garantir le cahier des charges.

Une fois les vérifications des réponses spectrales effectuées et conformes aux spécifications demandées, les résultats numériques peuvent être étudiés.

Plusieurs *testbenchs* sont réalisés pour vérifier le fonctionnement de l'ONoC utilisant un *add-drop* comme λ -routeur. Les principaux *testbenchs* réalisés sont les suivants :

- Initiateur *I1* communique avec la cible *C1*.
- Initiateur *I1* communique avec la cible *C2*.
- Initiateur *I1* communique avec la cible *C1* puis avec la cible *C2*.
- Initiateur *I1* communique avec la cible *C2*, et la cible *C1* avec l'initiateur *I2*.

Le système a été configuré de telle sorte que si un signal *select_{Xi}* (avec $X = I$ ou C et $i = [1..2]$) vaut 1, la longueur d'onde émise par le VCSEL sélectionné vaut $1,54625 \mu\text{m}$, et s'il vaut 2 la longueur d'onde émise par le VCSEL sélectionné vaut $1,55 \mu\text{m}$.

L'annexe H présente les résultats de ces différents *testbenchs* afin de vérifier la table de vérité 13.3.

13.2.3 Estimation de la latence, de la puissance consommée et de la surface

Le tableau 13.4 résume les valeurs des estimations de la latence, de la puissance consommée et de la surface pour une simulation du prototype virtuel 2×2 .

Le *testbench* choisi pour réaliser ces estimations est le suivant : deux communications de données VCI aléatoires bidirectionnelles entre l'initiateur *I1* et la cible *C2* et la cible *C1* avec l'initiateur *I2*. La latence indiquée est uniquement la latence moyenne d'une communication unidirectionnelle entre deux ressources².

²Identique quelle que soit la communication.

TAB. 13.4 – Performance de l’ONoC 2×2 (*Above IC).

	<i>Add-drop</i> parfait	<i>Add-drop</i> avec pertes	Unité
Latence	789,73 / 2,37	789,73 / 2,37	ps / cycle
Puissance consommée numérique	90,83	90,83	mW
Puissance consommée analogique	18,87	26,07	mW
Surface numérique	1,486	1,486	mm ²
Surface analogique	0,0107	0,016	mm ²
Surface laser*	0,5	0,5	mm ²
Surface photodiode*	0,25	0,25	mm ²
Surface photonique*	100	100	μm ²
Nombre de lasers	8	8	
Nombre de photodiodes	4	4	

Il est à noter que la puissance consommée de la partie analogique augmente de 38 % si l’*add-drop* possède des pertes. Ceci est principalement dû à l’impact des pertes sur la puissance d’émission des lasers. La surface occupée par la partie analogique augmente d’environ 50 % (uniquement à cause des circuits de commande) alors que la latence reste inchangée.

La puissance consommée, ainsi que la surface occupée, par les circuits numériques sont principalement liées aux SERDES/CDR, et restent inchangées si le réseau optique possède des défauts.

Le *testbench* précédent n’impose a priori pas les contraintes maximales sur l’ONoC car toutes les ressources émettrices émettent toujours vers les mêmes ressources réceptrices, l’activité de contrôle du démultiplexeur et du décodeur sont donc nulles. Afin d’estimer leur influence sur les performances de l’ONoC (du point de vue de la puissance consommée), un second *testbench* est réalisé avec 10 changements successifs de ressources réceptrices (après l’envoi d’un paquet de 36 bits) par les ressources émettrices. On montre que l’activité du décodeur influence très peu la puissance consommée totale (à peine 0,1 % de puissance consommée supplémentaire par les circuits numériques ce qui est négligeable).

13.3 Réseau d’interconnexion 4×4

13.3.1 Présentation

L’exemple donné dans cette partie permet d’interconnecter 8 ressources entre elles, par exemple 4 initiateurs et 4 cibles (figure 13.4). Il correspond au λ -routeur 4×4 présenté dans la partie II. La figure 13.4(a) présente le réseau étudié dans cette partie, ainsi que sa brique élémentaire (figure 13.4(b)).

La table de vérité du réseau d’interconnexion de la figure 13.4 est rappelée dans la table 13.5.

13.3.2 Étude du λ -routeur

On rappelle que le réseau utilisé connaît 40 % de pertes en transmission (cf. chapitre 5). Outre les pertes élevées d’un tel réseau, la diaphonie et la réflexion des signaux optiques peuvent générer des erreurs au niveau système. En effet, ces lumières “parasites” sont susceptibles d’être détectées par une ressource du réseau qui ne devrait pas être concernée. Cependant, le protocole

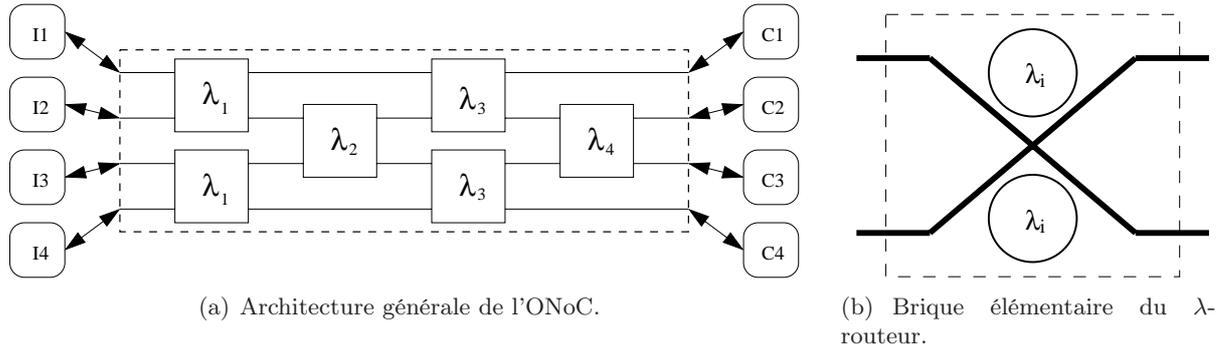


FIG. 13.4 – Schéma d'un système à 4 initiateurs et 4 cibles.

TAB. 13.5 – Table de vérité du réseau 4×4 .

	$C1$	$C2$	$C3$	$C4$
$I1$	λ_2	λ_3	λ_1	λ_4
$I2$	λ_3	λ_4	λ_2	λ_1
$I3$	λ_1	λ_2	λ_4	λ_3
$I4$	λ_4	λ_1	λ_3	λ_2

VCI “contacte” toujours une ressource avant qu'elle ne reçoive des données. Les défauts du réseau n'engendreront donc pas d'erreur sur les ressources qui ne doivent rien recevoir.

Il est donc important qu'un protocole de communication qui utiliserait l'ONoC implémente cette caractéristique (contacter les ressources avant d'envoyer la lumière dans le λ -routeur).

13.3.3 Étude de l'ONoC complet

Une fois l'étude du réseau d'interconnexion passif réalisée, des simulations numériques exhaustives de l'ONoC peuvent être conduites. Un *testbench* exhaustif est utilisé afin de vérifier la fonctionnalité du réseau (cf. table de vérité 13.5), le TEB du système, et les injections multiples (longueurs d'onde égales et/ou différentes) qui peuvent avoir un impact sur les interférences optiques dans le λ -routeur (et provoquer ainsi des erreurs lors de la détection). La table de l'annexe H.1 présente un *testbench* possible qui peut être appliqué à l'ONoC.

La figure 13.5 présente la “trace” des signaux numériques du prototype virtuel quand les *testbenches* de la table de l'annexe H.1 lui sont appliqués. Les résultats de simulation de la figure 13.5 confirment le fait qu'il n'y a pas d'erreur en sortie, et que 100 % des données arrivent à destination (au TEB près, c'est-à-dire 10^{-18}).

La figure 13.6 présente l'évolution du nombre d'erreurs de bit (les sorties de l'ONoC sont comparées avec ses entrées) en fonction de l'augmentation de la puissance d'émission du laser, ceci pour deux types de λ -routeur : un réseau idéal sans défaut ni perte, et le réseau fabriqué (donc avec défauts et pertes). Pour le réseau parfait, comme prévu, il faut effectivement une puissance moyenne minimale d'environ $150 \mu\text{W}$ afin de garantir le cahier des charges (taux d'erreur par bit de 10^{-18}). Pour le réseau avec défaut, il faut compenser ces pertes en augmentant la puissance d'émission, jusqu'à environ $250 \mu\text{W}$, afin de garantir le cahier des charges (cf. section 9.2). Le palier visible sur la figure 13.6 (pour le λ -routeur qui possède des défauts) était inattendu et

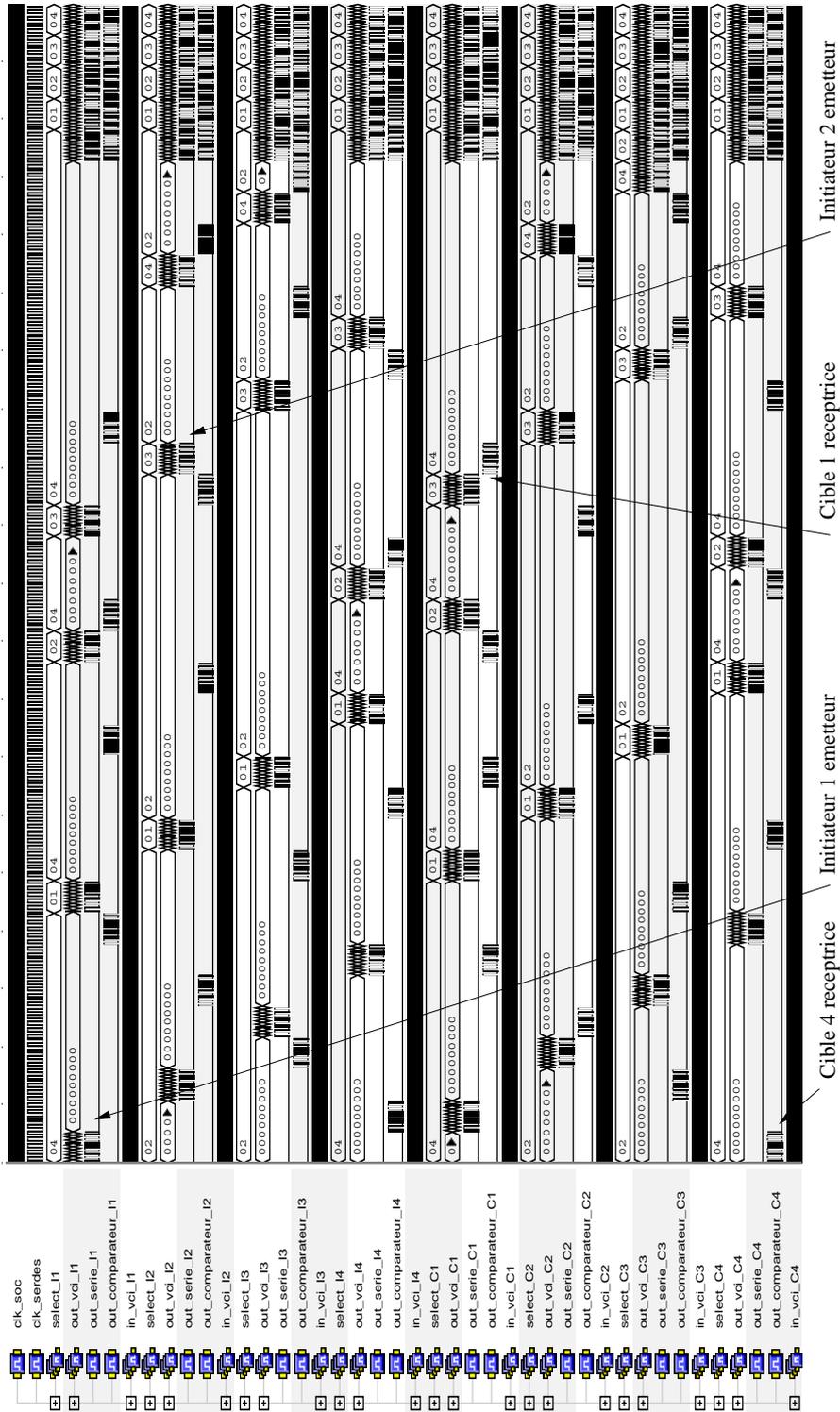


FIG. 13.5 – Simulation numérique d'un système à 4 initiateurs et 4 cibles.

est principalement attribué aux couplages optiques dans les filtres *add-drop* (le couplage guide-microdisque est insuffisant). Le prototype virtuel a donc permis de détecter des défauts dans le λ -routeur si une puissance lumineuse insuffisante est injectée.

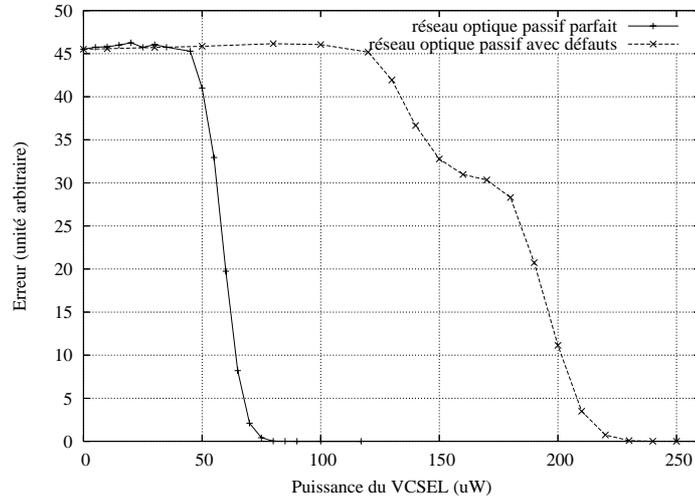


FIG. 13.6 – Puissance moyenne du VCSEL en fonction des pertes dans le λ -routeur.

13.3.4 Estimation de la latence, de la puissance consommée et de la surface

Le tableau 13.6 résume les valeurs des estimations de la latence, de la puissance consommée et de la surface pour une simulation donnée du prototype virtuel.

Quatre communications bidirectionnelles entre les 4 initiateurs et les 4 cibles (sans changement de cible, donc l'activité de contrôle du décodeur est nulle) ont été choisies comme *testbench* pour réaliser ces estimations. La latence calculée correspond à une communication unidirectionnelle moyenne.

TAB. 13.6 – Performance de l'ONoC 4×4 (*Above IC).

	Réseau parfait	Réseau avec pertes	Unité
Latence	804,73 / 2,4	804,73 / 2,4	ps / cycle
Puissance consommée numérique	181,72	181,72	mW
Puissance consommée analogique	39,092	53,49	mW
Surface numérique	2,974	2,974	mm ²
Surface analogique	0,042	0,062	mm ²
Surface laser*	2	2	mm ²
Surface photodiode*	0,5	0,5	mm ²
Surface photonique*	600	600	μm ²
Nombre de lasers	32	32	
Nombre de photodiodes	8	8	

Dans la table 13.6, il est visible que la partie numérique consomme plus que la partie

analogique (rapport 82 %/18 % pour un réseau parfait et 77 %/23 % pour un réseau avec défauts). En ce qui concerne la partie numérique, la puissance consommée est principalement liée aux SERDES/CDR, et en ce qui concerne l'analogique aux circuits de commande des lasers.

Le fait d'avoir un λ -routeur avec des défauts provoque 35 % d'augmentation de la puissance consommée de la partie analogique. Sa surface augmente aussi, d'environ 47 % (principalement du fait des circuits de commande des lasers dont la surface augmente proportionnellement avec le nombre de lasers).

Le *testbench* précédent ne correspond pas au pire cas du point de vue de la puissance consommée car il n'y a pas de changement de destinataire ; on ne prend donc pas en compte l'effet du trafic dans le réseau. On montre que si les ressources émettrices changent 10 fois de destinataire après un seul paquet envoyé (c'est-à-dire après 36 bits), la puissance consommée par les circuits numériques augmente d'environ 0,2 % ce qui est relativement négligeable.

13.4 Évolutions des paramètres critiques en fonction du nombre de ressources

Étudier l'évolution de la puissance consommée, de la latence et la surface, en fonction du nombre de ressources du système sur puce, est essentiel afin de mesurer l'impact du réseau d'interconnexion optique intégré sur les performances globales d'un système sur puce. Ces estimations sont toujours réalisées dans l'hypothèse du CDR de l'état de l'art [GUR-03], puisque par faute de temps ils n'ont pas été étudiés en détail.

13.4.1 Surface

Les figures 13.7, 13.8 et 13.9 montrent l'évolution de la surface moyenne des différents blocs de l'ONoC, lorsque le nombre de ressources passe de 2 à 64³.

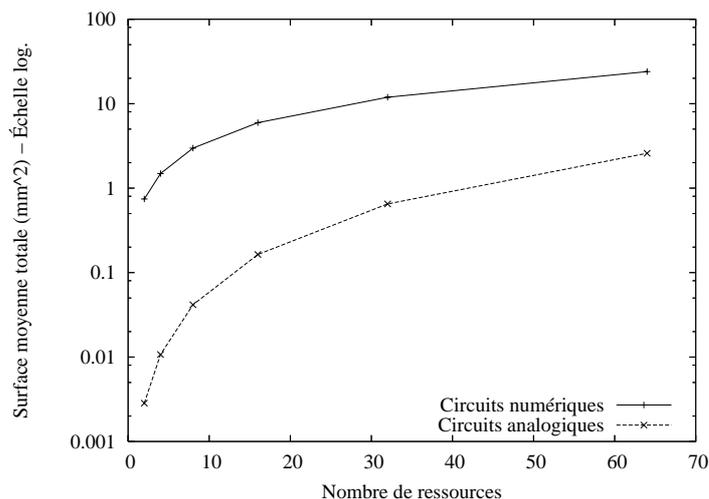


FIG. 13.7 – Évolution de la surface du bloc électronique analogique/numérique.

³Dans l'hypothèse où la technologie le permet, c'est-à-dire si suffisamment de canaux peuvent être répartis dans l'ISL, cf. partie II.

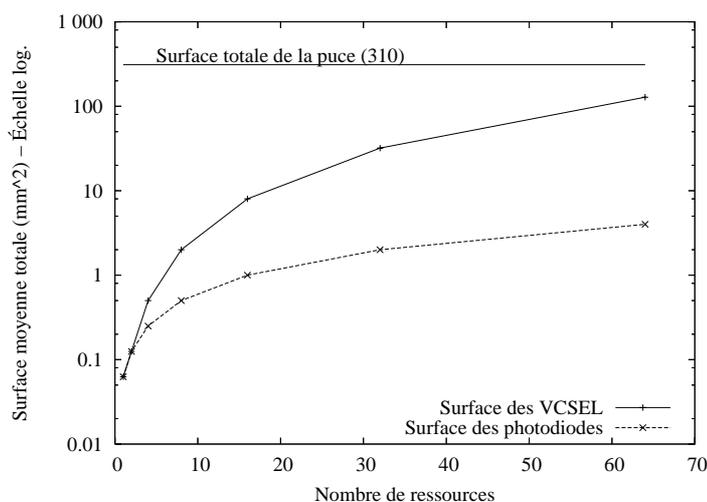
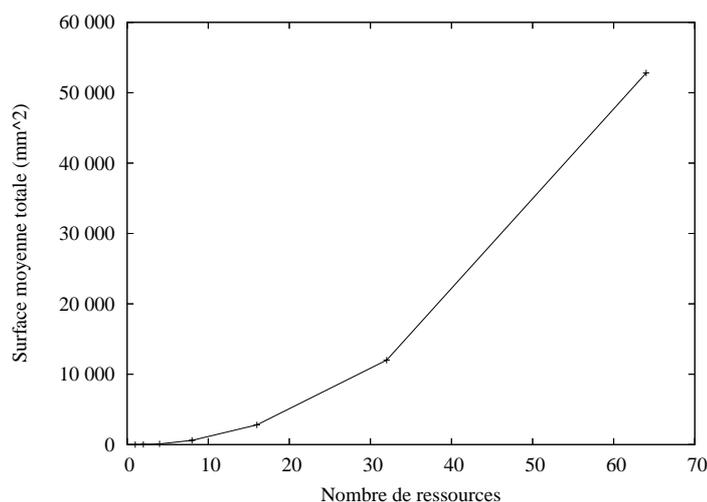


FIG. 13.8 – Évolution de la surface du bloc optoélectronique (VCSEL et photodiode).

FIG. 13.9 – Évolution de la surface du λ -routeur.

La figure 13.7 montre que la surface occupée par les circuits numériques devient très rapidement prépondérante par rapport à celle des circuits analogiques. Pour le cas de l'architecture 16×16 , 90 % de la surface est occupée par le numérique. Cet écart important est principalement dû aux SERDES et à leur circuit de récupération de rythme d'horloge CDR [GUR-03].

La figure 13.8 montre que la surface occupée par les lasers peut rapidement devenir disproportionnée (plusieurs dizaines de mm²). Ceci est essentiellement dû au fait que les technologies actuelles ne permettent pas de réaliser des dispositifs lasers accordables en longueur d'onde de faibles dimensions. Ceci impose que le nombre de lasers, donc de circuits de commande, augmente comme une fonction de $\frac{n^2}{2}$ quand le nombre de ressources n augmente. Cependant de nouvelles technologies sont développées (microsources laser) et pourront permettre de diminuer cette surface de façon importante (facteur 100 à 500) [VIK-03].

La figure 13.9 présente l'évolution de la surface du circuit photonique passif, c'est-à-dire la surface du λ -routeur. Cette surface est assez faible et ne constitue pas un frein pour sa réalisation.

Une estimation de la surface totale d'une puce (ITRS⁴) est indiquée sur la figure 13.8 (310 mm²). La surface occupée par les interfaces électriques de l'ONoC reste donc inférieure (quelques dizaines de mm²) à la surface classique totale d'une puce. La surface des dispositifs optoélectroniques est aussi inférieure à cette surface, même si elle reste cependant importante (> 100 mm² pour 64 ressources).

13.4.2 Puissance consommée

La figure 13.10 présente l'évolution de la puissance consommée pour un *testbench* donné : tous les initiateurs communiquent avec une cible, et cette dernière leur répond. Ceci correspond à une série de communications bidirectionnelles entre un couple initiateur-cible. L'activité prise pour cette estimation est maximale, c'est-à-dire $s = 1$ (ce qui correspond à une puissance consommée maximale pour une architecture donnée). Les λ -routeurs sont considérés parfaits.

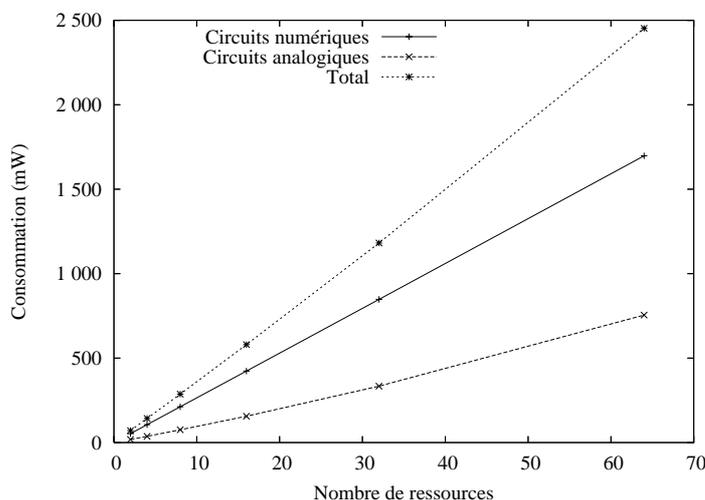


FIG. 13.10 – Évolution de la puissance consommée en fonction du nombre de ressources.

Cependant, ces estimations ne sont pas totalement exhaustives car il n'y a pas de changement de destinataire, ce qui signifie que l'activité de contrôle du décodeur et du démultiplexeur sont nulles (d'où une consommation dynamique nulle pour ces derniers)⁵. De plus, les estimations réalisées ont été faites avec des circuits de commande alimentant des VCSELs réalistes (actuels), donc demandant un très fort courant de modulation.

Il est à noter sur la figure 13.10 que l'évolution de la puissance consommée des circuits analogiques est semblable à celle des circuits numériques (croissance quasi-linéaire en fonction du nombre de ressources). La majorité de la puissance consommée par ces derniers provient des SERDES/CDR (environ 70 % suivant le nombre de ressources) et des circuits de commande en ce qui concerne la partie analogique.

⁴International Technology Roadmap for Semiconductors - <http://public.itrs.net>.

⁵Si l'on impose à chaque émetteur du système un changement de destination après l'envoi d'un paquet de 36 bits (afin de prendre en compte l'activité maximale du contrôle), on obtient une augmentation moyenne de moins de 1 % de la puissance consommée de la partie numérique.

Contrairement à la surface, la puissance consommée analogique n'augmente pas comme une fonction de $\frac{n^2}{2}$, car lors d'une communication un seul laser est utilisé (sur les $\frac{n}{2}$ contenus par ressource).

Les défauts du λ -routeur impliquent une augmentation de 30 % de la puissance consommée de la partie analogique (soit environ 10 % sur la puissance consommée totale). Leur impact sur les performances de l'ONoC est donc assez important.

La figure 13.11 présente l'impact du courant de seuil des lasers sur la puissance consommée. Pour des microsources laser de dimension $10 \mu\text{m} \times 10 \mu\text{m}$, et de courant de seuil d'environ $100 \mu\text{A}$, classiquement visées au laboratoire LEOM, la puissance consommée par les circuits analogiques diminue d'environ 80 %. La puissance consommée totale diminue quant à elle seulement de 15 % ; en effet, la partie numérique est toujours prédominante, principalement les SERDES/CDR.

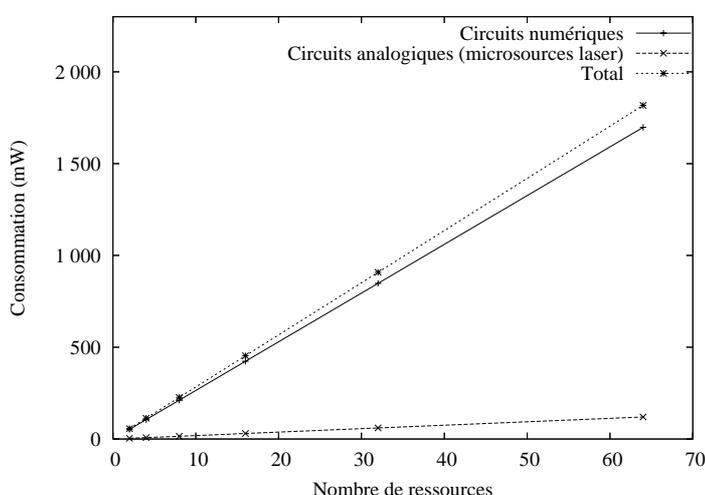


FIG. 13.11 – Impact de la source sur la puissance consommée par les circuits analogiques.

13.4.3 Latence

La latence évolue peu en fonction du nombre de ressources ; en effet, quel que soit leur nombre, l'ONoC n'a aucune contention et les ressources disposent donc toujours de la totalité de la bande passante à tout moment. On peut donc avoir autant de communications simultanées entre les ressources (si elles sont bien sûr disponibles). Cependant la taille du démultiplexeur augmente légèrement en fonction du nombre de ressources, ce qui implique un léger délai supplémentaire ($< 100 \text{ ps}$, soit $\frac{1}{3}$ de cycle, pour 64 ressources).

13.4.4 Points clés

Un paramètre important pour juger l'efficacité d'un modèle de haut niveau est son temps de simulation. Les temps de simulation du prototype virtuel comparés au modèle comportemental des matrices S sont résumés dans le tableau 13.7. Ces simulations sont réalisées avec SystemC 2.0.1 sur une machine biprocesseur Intel XEON 2,8 GHz avec 1 Go de mémoire, pour un *testbench* de 36 000 bits.

Par exemple, pour l'ONoC 4×4 , le modèle SystemC est 70 000 fois plus rapide que le modèle⁶

⁶Au niveau système, une simulation avec les matrices S ne correspondrait qu'à un seul bit.

TAB. 13.7 – Impact du niveau d’abstraction sur le temps de simulation.

	Matrice S	SystemC
ONoC 2×2	15 secondes	intérêt limité
ONoC 4×4	6 minutes	3 minutes
ONoC 8×8	17 minutes	15 minutes

Matlab. Cet écart conséquent est dû à la réduction de l’intervalle spectral (généralement pris très large au niveau physique et comportemental afin d’étudier le λ -routeur), en plusieurs intervalles uniquement aux alentours des longueurs d’onde intéressantes (c’est-à-dire proches des longueurs d’onde émises par les lasers).

Les simulations au niveau système, ainsi que les estimations de puissance consommée, de surface et de latence, permettent de donner quelques lois générales sur l’utilisation d’un réseau d’interconnexion optique intégré :

- L’arbitrage est inutile dans l’ONoC. Il sera géré directement par les ressources, tout comme pour les bus ou les réseaux partagés.
- Environ 70 % de la puissance consommée l’est par les circuits numériques (dont la majorité par les SERDES/CDR) et les 30 % restant par les circuits analogiques (principalement par les circuits de commande des sources lasers). Les imperfections du λ -routeur imposent une augmentation de 35 % de la puissance consommée des circuits analogiques.
- Les lasers utilisés dans l’architecture de l’ONoC (lasers non accordables ou microsources accordables) influencent directement la puissance consommée et la surface de la partie électronique analogique.
- L’activité globale du système (nombre de changements de couple initiateur-cible lors d’une utilisation classique du système) influence très peu la puissance consommée (quelques pourcents supplémentaires).
- Les nombreux changements de couple initiateur-cible exploiteront mieux l’ONoC que ne le feront peu de couples différents communiquant longtemps. En effet, la bande passante mise à disposition par l’ONoC peut être entièrement utilisée sans aucune contention, à tout moment et sans attente, par les ressources. Seule une latence d’environ 1 ns (moins de 3 cycles) entre le départ et l’arrivée des données est introduite par l’ONoC.
- La limitation des estimations énoncées précédemment est qu’elle ne prend pas en compte l’impact d’un CDR optimisé sur la puissance consommée et la surface totale de l’ONoC. Le CDR utilisé pour ces estimations, réalisé en CMOS 0,13 μm et capable d’opérer à 3,2 GHz, consomme environ 18,6 mW pour une surface silicium de 0,3 mm^2 [GUR-03]. Ces valeurs démontrent bien que le point bloquant de la partie numérique de l’ONoC, en termes de puissance consommée et de surface, se situe au niveau des SERDES et de leur CDR. Les systèmes GALS⁷ semblent être la seule issue possible pour une utilisation optimale des réseaux d’interconnexion optique intégrés, ce qui est compatible avec les évolutions futures des systèmes sur puce qui favoriseront cette approche (cf. partie I).

⁷Globally Asynchronous and Locally Synchronous.

Chapitre 14

Comparaison ONoC-SPIN : première approche

14.1 Généralités

Dans le cadre du projet LambdaConnect, il a été proposé de comparer les performances du réseau SPIN [AND-03] à celles de l'ONoC en termes de débit maximal, de TEB, de latence, de contention et de puissance consommée.

Pour réaliser ces comparaisons, il a été nécessaire d'avoir une plate-forme de test commune entre les 2 réseaux d'interconnexion SPIN et ONoC. Pour cela le LIP6 a mis au point une plate-forme de test permettant à des processeurs VGAP¹ (générateur de trafic VCI) et des mémoires (*SimpleRAM*) de communiquer.

Les VGAP sont donc considérés comme des initiateurs qui envoient une requête de lecture à une *SimpleRAM* choisie aléatoirement par la plate-forme. Pour simplifier les vérifications des résultats de simulation, les données écrites à une adresse de ces mémoires sont égales à la valeur de l'adresse correspondante.

La plate-forme VGAP est un environnement développé en SystemC qui permet à plusieurs initiateurs de communiquer avec plusieurs cibles à travers un réseau d'interconnexion quelconque en utilisant la norme VCI. Cette plate-forme permet l'envoi et l'étude de signaux VCI. Elle permet donc d'étudier la contention d'un système en fonction de la quantité d'information qui doit passer par le réseau (appelé aussi "charge" du réseau ou trafic). Le réseau d'interconnexion peut être de n'importe quel type (bus ou routeur). Il suffit que ce dernier soit modélisé en SystemC et soit compatible avec la norme VCI.

14.2 Problématique de la nécessité du *wrapper* ONoC-VGAP

L'inclusion de l'ONoC dans la plate-forme VGAP a nécessité un travail au niveau des *wrappers* afin de pallier les différences d'interface entre les deux modèles (figure 14.1).

Des "*wrappers* de *wrapper*" entre la plate-forme VGAP et l'ONoC ont été réalisés (en SystemC) afin de les rendre compatibles.

Il aurait été possible de changer directement les signaux dans la plate-forme VGAP et dans le modèle de l'ONoC, mais l'objectif est de garder les modèles originaux et de réaliser simplement des *wrappers* (principe de l'IP-reuse).

¹VCI Générateur Aléatoire de Paquets.

Deux nouveaux modules SystemC ont été créés pour réaliser ces *wrappers* :

- *wrapper_soclib_initiator_onoc*
- *wrapper_soclib_target_onoc*

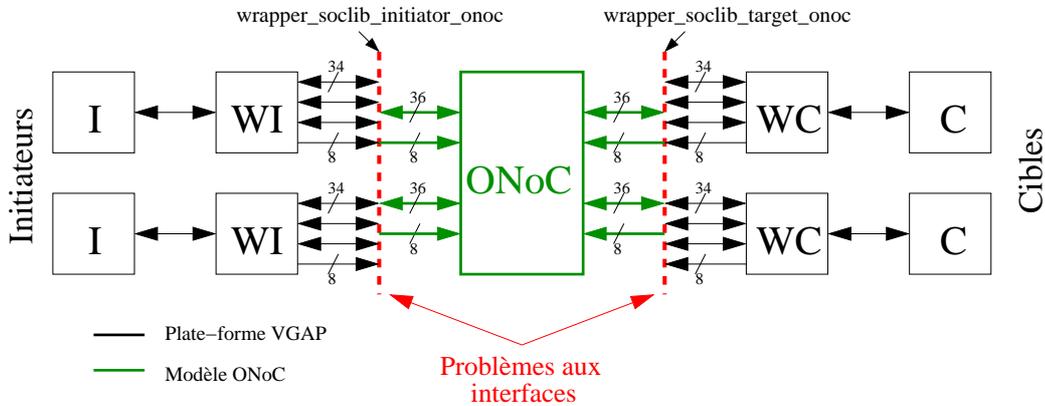


FIG. 14.1 – Problématique liée à l’interfaçage de la plate-forme VGAP avec le modèle SystemC de l’ONoC.

Les représentations des signaux dans la plate-forme VGAP (interfaces *SOCLIB*²) et des horloges ne sont pas tout à fait identiques avec ceux de l’ONoC³.

Il est important de repérer les problèmes de compatibilité entre la plate-forme VGAP et le modèle de l’ONoC afin d’écrire des *wrappers* d’interface optimisés. Ces problèmes se situent principalement aux interfaces des *wrappers* VCI avec l’ONoC (figure 14.1). Le tableau 14.1 présente les types des entrées-sorties de la plate-forme VGAP, et ceux de l’ONoC.

TAB. 14.1 – Ports des *wrappers* de la plate-forme VGAP et de l’ONoC.

Ports de sortie des <i>wrappers</i> initiateurs-cibles de la plate-forme VGAP		
SELECT	sc_out<sc_uint<8>>	Sélection de la cible
VALID_DATA	sc_out <bool>	Gestion de la file d’attente du <i>wrapper</i>
DATA	sc_out <sc_uint<34>>	Données injectées dans l’ONoC
VALID_CRDT	sc_out <bool>	Gestion de la file d’attente du <i>wrapper</i>
Ports d’entrée de l’ONoC		
INi	sc_fifo_in <sc_lv<36>>	Données à transmettre
SELECT1	sc_fifo_in <sc_lv<8>>	Sélection du driver de VCSEL
Ports d’entrée des <i>wrappers</i> initiateurs-cibles de la plate-forme VGAP		
VALID_DATA	sc_in <bool>	Gestion de la file d’attente du <i>wrapper</i>
DATA	sc_in <sc_uint<34>>	Données provenant de l’ONoC
VALID_CRDT	sc_in <bool>	Gestion de la file d’attente du <i>wrapper</i>
Ports de sortie de l’ONoC		
OUTi	sc_fifo_out <sc_lv<36>>	Données détectées

²System on Chip Library - <http://soclib.lip6.fr>.

³Fonctions *sc_cycle()* et *sc_initialize()* pour la version 1, et *sc_cycle()* à partir de la version 2 de SystemC.

En ce qui concerne le type des signaux qui transitent entre la plate-forme et le modèle de l'ONoC via les ports, une adaptation est nécessaire. En effet, dans la plate-forme les signaux sont du type *sc_uint* alors que dans le modèle de l'ONoC ils sont du type *sc_lv*. Une simple conversion ne posera aucun problème.

Il faudra cependant décomposer les ports uniques du modèle de l'ONoC (entrées et sorties) en 3 ports, c'est-à-dire que le type *sc_lv<36>* sera décomposé en *sc_lv<34>*, *sc_logic* et *sc_logic*. En effet, les données brutes, à transmettre optiquement dans le réseau d'interconnexion, sont bien de 36 bits, mais en réalité il y a 34 bits pour le signal et 2 bits de contrôle pour la gestion de la file d'attente du *wrapper*.

Un second problème de compatibilité est l'utilisation de l'horloge. En effet, la manière de modéliser l'horloge est différente entre la plate-forme VGAP et le modèle de l'ONoC. L'ONoC a été modélisé avec une version de SystemC récente (2.0.1) qui inclut une gestion de l'horloge avancée (du type *sc_clock()*). La plate-forme VGAP est modélisée avec une version antérieure de SystemC, une vision plus simple de l'horloge est utilisée (fonctions *sc_cycle()* et *sc_initialize()*), c'est pour cela qu'il est nécessaire de changer la modélisation de l'horloge de la plate-forme VGAP ou de l'ONoC afin de les rendre compatibles. Nous avons donc également converti les horloges des *wrappers* de la plate-forme VGAP.

Une fois ces "*wrappers de wrapper*" (ou *wrapper* d'interface) terminés, il est possible de réaliser des simulations complètes de système sur puce, qui permettent de réaliser des comparaisons objectives entre une interconnexion optique et une interconnexion électrique, en ce qui concerne la contention, la latence, le débit et la charge maximale que peut accepter le réseau.

14.3 Résultats de simulation

Les parties suivantes présentent les résultats de simulation pour les architectures d'ONoC 4×4 , 8×8 et 16×16 .

Le premier *testbench* appliqué à ces architectures est un envoi de 1 000 paquets par chacun des VGAP, avec un ordre de lecture de 8 mots pour chacun des paquets. L'initiateur change de cible après chaque envoi de paquet (seulement après la réception de la réponse de la cible).

La plate-forme VGAP-ONoC permet de spécifier la charge appliquée au réseau. Cette charge caractérise le temps d'attente entre deux requêtes d'un initiateur, c'est-à-dire le nombre de cycles d'horloge d'attente entre deux envois de paquets dans le réseau. Plus la charge augmente, plus ce temps d'attente entre deux requêtes est faible. Une charge de 100 % demandée par un initiateur à une cible signifie qu'il demande un accès constant au réseau (pas d'attente entre deux requêtes). Une telle charge de 100 % est impossible, car avant d'envoyer une deuxième requête un initiateur doit attendre que la cible se libère et qu'elle réponde. Il y a donc une différence entre la charge demandée par l'initiateur (charge théorique) et la charge réelle appliquée au réseau (c'est-à-dire quand l'initiateur accède effectivement au réseau) [DUA-03]. Cette charge, exprimée en pourcentage, est directement liée à la contention du réseau. Traditionnellement en électronique, on appelle charge totale du réseau la somme des charges de chaque VGAP.

La charge d'un VGAP peut se définir par l'équation (14.1) avec *GM* qui caractérise le temps d'attente moyen entre deux requêtes de paquet et $L = Nb_{paquet} \times Taille_{paquet} \times tps_{cycle}$.

$$C = \frac{L}{L + GM} \quad (14.1)$$

14.3.1 Réseau d'interconnexion 4×4

Le premier réseau d'interconnexion optique choisi pour réaliser ces simulations est l'ONoC 4×4 (figure 13.4(a)).

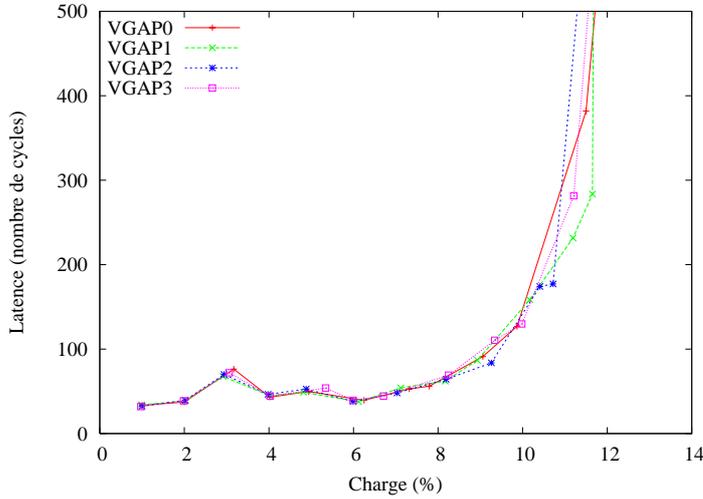


FIG. 14.2 – Charge et latence de chaque VGAP appliquée à l'ONoC 4×4 .

La figure 14.2 présente l'évolution de la latence en fonction de la charge appliquée au réseau par chaque VGAP. La forme générale des courbes pour les 4 VGAP est identique, c'est-à-dire que la latence reste faible et "constante" (environ 35 cycles) pendant que la charge demandée par les VGAP augmente, jusqu'à un point de "rupture" où elle tend vers l'infini.

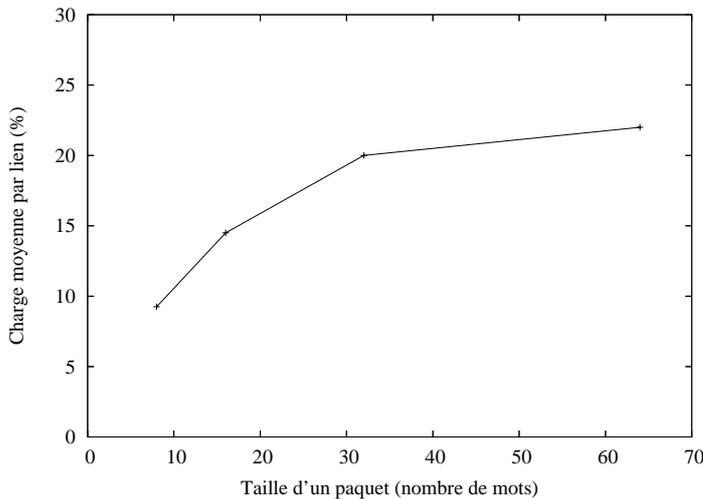


FIG. 14.3 – Charge moyenne par lien en fonction de la taille d'un paquet (ONoC 4×4).

Du fait de l'absence de contention dans l'ONoC les résultats obtenus semblent insuffisants : il paraît donc possible que cette limite de la charge totale du réseau soit principalement due aux *wrappers* et aux signaux électriques de contrôle $REQ(I)$ et $GNT(C)$ (tableau 13.1). Afin de

vérifier cette hypothèse, la figure 14.3 présente l'évolution de la charge maximale⁴ (par VGAP) en fonction de la taille du paquet (8 à 64 mots) envoyé dans le réseau, avant que la contention apparaisse.

La figure 14.3 montre que la charge augmente si la taille du paquet augmente (à titre d'exemple la charge moyenne par lien atteinte est d'environ 20 % pour un envoi de 1 000 paquets de 32 mots par chaque VGAP). En effet, pour l'ONoC, si la taille des paquets augmente, la contention dans le réseau optique reste approximativement constante⁵ (dans l'équation (14.1) L augmente avec la taille du paquet et GM reste quasi-constant). Pour un réseau électronique, bien sûr, GM augmente avec la taille du paquet.

14.3.2 Réseau d'interconnexion 8×8

L'étude de l'impact du nombre de ressources sur la charge globale de l'ONoC peut se faire en étudiant un système plus complexe, l'ONoC 8×8 .

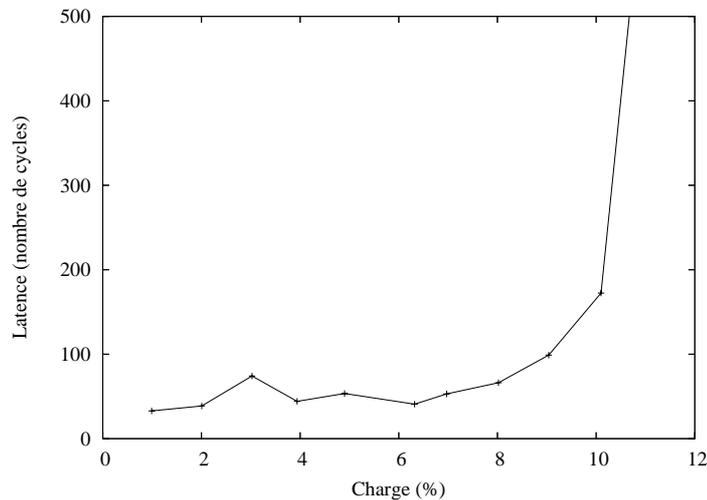


FIG. 14.4 – Charge et latence moyennes par lien dans l'ONoC 8×8 .

La figure 14.4 présente la charge maximale que peut supporter l'ONoC 8×8 (pour un envoi de 1 000 paquets de 8 mots par chacun des 8 VGAP). Avant que la latence commence à tendre vers l'infini, le réseau peut accepter une charge moyenne maximale par lien d'environ 9 % (avec une latence moyenne de 50 cycles).

Tout comme le réseau 4×4 , on peut s'attendre à ce que la charge supportée par le réseau 8×8 augmente si la taille des paquets augmente également. Dans ce but, plusieurs simulations ont été réalisées, pour un envoi de 1 000 paquets de 32 mots, la charge maximale atteinte est d'environ 18 %. Ces résultats démontrent que l'ONoC est totalement scalable (charge moyenne maximale par lien quasi identique pour l'architecture 4×4 et 8×8) et influence très peu la contention du réseau.

⁴Ces valeurs sont déterminées dès que la latence dépasse environ 100 cycles; ensuite il est considéré que la latence tend vers l'infini.

⁵L'ONoC n'introduit qu'une faible latence constante d'environ deux cycles et n'a aucune contention grâce au λ -routeur passif, quel que soit le nombre de communications dans le réseau.

14.3.3 Réseau d'interconnexion 16×16

Afin de réaliser une comparaison avec le réseau SPIN, la plate-forme VGAP a été utilisée pour l'ONoC 16×16^6 [DUM-04].

La figure 14.5 présente un résultat de simulation si chaque VGAP envoie 100 000 paquets de 8 mots⁷ dans l'ONoC; elle présente de plus la charge maximale que peuvent atteindre les réseaux SPIN et PIBus [GUE-00].

Il est donc visible que l'ONoC apporte un certain avantage en termes de disponibilité du réseau; la charge maximale qu'il peut supporter avant que la latence tende vers l'infini est de plus de 8.75 % pour une latence minimale de 30 cycles (à comparer avec les 30 % de charge et les 35 cycles de latence pour SPIN, et les 5 % de charge et 10 cycles de latence pour le PIBus). Les principales limitations proviendront des *wrappers* et de la disponibilité même des ressources du système, mais également des signaux électriques de contrôle $REQ(I)$ et $GNT(C)$ qui rajoutent une latence importante et influencent donc directement la contention.

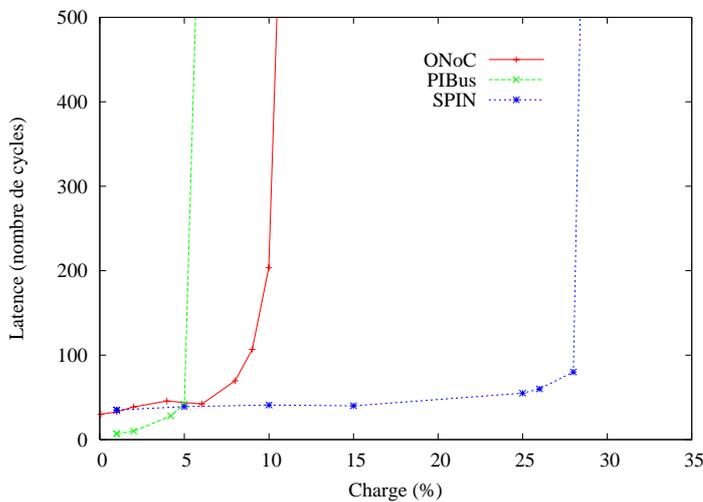


FIG. 14.5 – Contention dans l'ONoC 16×16 , envoi de 100 000 paquets de 8 mots.

Du point de vue de l'intégration physique, le réseau SPIN 16×16 a été fabriqué en technologie CMOS $0,13 \mu\text{m}$, sa surface est d'environ $4,6 \text{ mm}^2$. En ce qui concerne l'ONoC 16×16 (conçu également en CMOS $0,13 \mu\text{m}$), la surface des circuits d'interfaces est d'environ $24,42 \text{ mm}^2$, à cela il faut rajouter les surfaces des circuits *above IC*, c'est-à-dire les lasers et les photodiodes (34 mm^2) et le λ -routeur ($0,012 \text{ mm}^2$).

Tout comme les architectures précédentes, il est possible d'étudier l'impact de la taille des paquets envoyés dans le réseau sur la charge globale de ce dernier. La figure 14.6 résume, pour les 3 architectures d'ONoC (8, 16 et 32 ressources), la charge globale maximale que peut supporter le réseau avant que la contention apparaisse. Cette figure montre la très bonne scalabilité de l'ONoC puisque la charge est peu influencée par le nombre de ressources du système.

⁶À l'heure actuelle le λ -routeur 16×16 , les sources lasers et les photodiodes sont à la limite de la technologie.

⁷Des simulations ont été réalisées afin d'étudier l'impact du nombre de paquets envoyés dans l'ONoC sur la charge et la latence; le fait d'envoyer 100 000 paquets, au lieu de 1 000, ne diminue pas la charge maximale que peut atteindre le réseau, seul le temps de simulation sera plus élevé mais, les valeurs moyennes des latences et des charges resteront identiques.

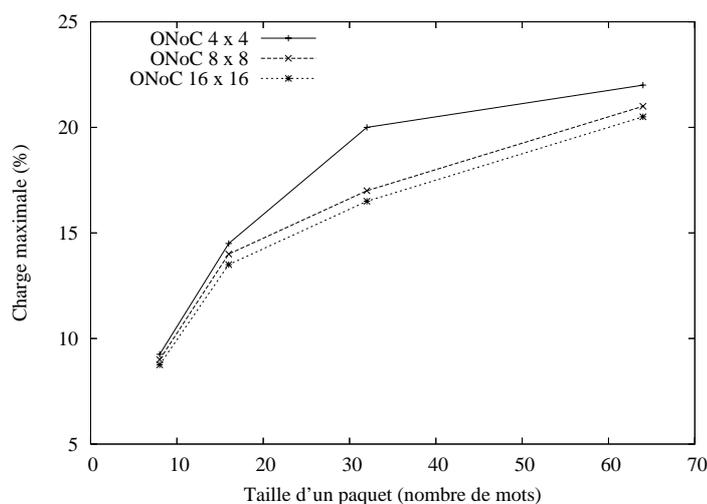


FIG. 14.6 – Influence de la taille des paquets sur la charge du réseau 4×4 , 8×8 et 16×16 .

14.4 Conclusion

La table 14.2 résume de façon quantitative les différences entre le réseau SPIN et l'ONoC, à un nœud technologique donné (CMOS 0,13 μm).

TAB. 14.2 – Comparaison quantitative SPIN-ONoC 16×16 (*Above IC) - NC : non connu.

	SPIN	ONoC
Contention (100 000 paquets de 8 mots) latence < 100 cycles	< 30 %	< 9 %
Latence minimale (cycles)	< 35	< 30
Débit par lien bidirectionnel	12,8 Gbit/s	6 Gbit/s
Puissance consommée	NC	1,9 W
Surface électrique	4,6 mm ²	24,42 mm ²
Surface optoélectronique*	0	34 mm ²
Surface photonique*	0	0,012 mm ²

Plusieurs points caractérisent l'ONoC :

1. La scalabilité a pu être vérifiée grâce à la charge moyenne maximale quasi constante quelle que soit l'architecture de l'ONoC (4×4 , 8×8 , 16×16 , etc.).
2. La charge maximale globale supportée par l'ONoC est inférieure à celle des réseaux électriques classiques. Par exemple pour le réseau 16×16 , elle peut atteindre 8,75 % par lien avec une latence minimale de 30 cycles. Cette limitation de la charge par lien est fortement liée à la latence des *wrappers* VCI, et principalement aux signaux REQ et GNT qui doivent contacter électriquement les cibles et les initiateurs. Tout l'avantage de l'ONoC, qui est sans contention, est donc perdu. De plus, quand le nombre d'initiateur augmente (à nombre de cibles constant), la disponibilité même des cibles peut fortement diminuer, ce qui impose une diminution de la charge (temps d'attente d'accès au réseau par un initiateur supplémentaire afin d'attendre la libération de la cible).
3. Il est à noter que le débit maximal de l'ONoC est de 3 Gbit/s par lien, ce qui est inférieur

aux 6,4 Gbit/s de SPIN par exemple. Cependant il est intéressant à constater que plus la longueur des paquets est longue, plus l'ONoC a de meilleures performances.

4. Le protocole VCI n'est sans doute pas le plus adapté afin d'utiliser toutes les potentialités liées à l'optique :

- les *wrappers* sont un frein pour l'ONoC,
- les signaux REQ et GNT sont électriques et apportent une latence trop grande, ce qui influence directement la contention dans l'ONoC,
- l'architecture de l'ONoC est liée à la commutation de circuit (le chemin pris par les données est intrinsèque à l'architecture du λ -routeur et ne changera jamais après sa fabrication), alors que le protocole VCI "découpe" les données en paquets pour faciliter la commutation de paquet dans un réseau électrique (cette notion de paquet limite la charge moyenne que peut supporter l'ONoC). L'ONoC seul est sans aucune contention, mais l'ajout de ses interfaces de communication dégrade très fortement ses performances.

Cependant un principe est à retenir : le fait de contacter une ressource avant qu'elle reçoive les données afin de supprimer les effets de lumière parasite (diaphonie, réflexion) qui pourraient être détectés par les autres ressources.

Chapitre 15

Impact du nœud technologique sur les performances de l'ONoC

15.1 Généralités

La partie précédente a montré que le débit atteint par l'ONoC était inférieur aux réseaux d'interconnexion classiques : le débit maximal de SPIN est deux fois supérieur à celui de l'ONoC. Ceci est principalement dû aux circuits de conversion optoélectronique et au fait qu'il est nécessaire de sérialiser les données pour une transmission optique. Dans cette étude, les circuits d'interface ont été conçus en technologie CMOS 0,13 μm . Nous avons estimé l'évolution des performances de l'ONoC en fonction des nœuds technologiques à venir.

Nous avons utilisé les modèles prédictifs de transistors de l'université de Berkeley¹. Les architectures restent les mêmes, les caractéristiques des sources et des détecteurs également.

Le simulateur *Spectre* est utilisé pour estimer les performances.

15.2 Résultats de simulation

Les figures 15.1 et 15.2 présentent l'évolution du débit maximal et de la puissance consommée en fonction du nœud technologique.

La puissance consommée a été normée au nœud technologique 0,13 μm .

L'évolution de la puissance consommée montre une diminution d'environ 30 % à chaque nœud technologique. Ceci est principalement dû au fait que la tension d'alimentation U des transistors (puissance consommée proportionnelle à U^2) diminue entre chaque technologie et compense l'augmentation de la fréquence f (puissance consommée proportionnelle à f). En conséquence, la puissance consommée diminue quasi linéairement en fonction du nœud technologique.

¹Berkeley Predictive Technology Model - <http://www-device.eecs.berkeley.edu/~ptm/introduction.html/>.

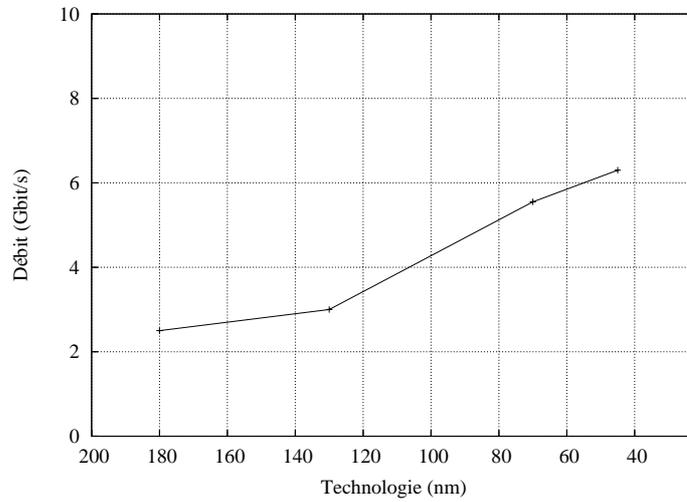


FIG. 15.1 – Évolution du débit maximal en fonction du nœud technologique.

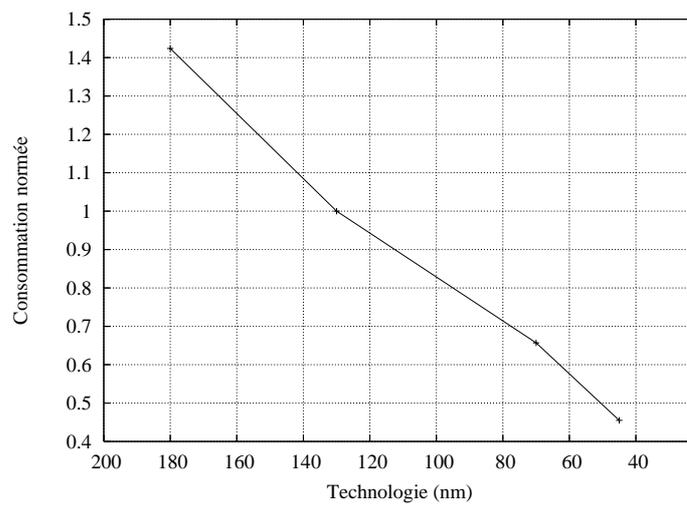


FIG. 15.2 – Évolution normalisée de la puissance consommée en fonction du nœud technologique.

Chapitre 16

Conclusion

Nous avons présenté les performances d'un ONoC pour plusieurs architectures. Un réseau d'interconnexion optique intégré possède plusieurs avantages par rapport à un réseau d'interconnexion électrique intégré classique mais aussi quelques limites et inconvénients.

Le débit de l'ONoC est moins élevé que celui du réseau électrique équivalent : il atteint 3 Gbit/s en technologie CMOS 0,13 μm contre 6,4 Gbit/s pour SPIN. Cependant, l'ONoC en lui-même ne possède aucune contention ce qui peut être intéressant pour certaines applications où les différentes ressources du système changent très souvent de cible, car les 3 Gbit/s de débit sont instantanément et totalement disponibles quel que soit le nombre de ressources qui utilisent le λ -routeur. Pour que ceci soit effectivement correct, il faudra adapter un protocole spécifique pour l'ONoC.

Cependant si les initiateurs changent peu de cible, l'ONoC devient moins intéressant car, pour ce type d'application visée (traitement de flux audio/vidéo par exemple), il faut un grand débit afin que les données circulent rapidement (> 10 Gbit/s). Cette limitation de débit provient uniquement des interfaces de conversion optoélectroniques.

La puissance consommée par l'ONoC peut devenir une limitation en fonction des lasers utilisés. En effet, avec les technologies actuelles le courant de seuil des lasers adaptés à l'ONoC (puissance émise, longueur d'onde, etc.) est supérieur au mA. Les sources lasers sont donc un point critique pour la réalisation de réseau optique intégré, en particulier, il est impératif de continuer à proposer des structures dont la surface et le courant de seuil diminuent.

De plus, tous les circuits concernant la récupération de rythme d'horloge, qui n'ont pas été étudiés en détail, occupent une surface silicium très importante et ont une puissance consommée qui peut rapidement devenir disproportionnée. Ceci imposera une forte contrainte supplémentaire sur la puissance consommée et la surface totale occupée par l'ONoC.

Il est intéressant à constater que les limites et le goulot d'étranglement de l'ONoC sont dus aux interfaces électroniques et non pas à l'optique en elle-même. La "course" pour rattraper et dépasser les performances des réseaux électriques est donc un grand défi. Pour apporter une alternative crédible aux interconnexions et aux réseaux standards, les solutions optiques doivent offrir des fonctionnalités originales. En effet, il est nécessaire de compenser par une fonctionnalité accrue la limite intrinsèque imposée par la sérialisation du transfert de donnée.

Une solution possible pour réduire l'impact important des interfaces électroniques de l'ONoC, en termes de gestion d'horloge, de surface et de puissance consommée, semble être l'utilisation d'architecture GALS. De plus, ces dernières seront a priori l'une des architectures prédominantes des systèmes sur puce du futur puisque les circuits intégrés à venir ne permettront plus l'utilisation d'une seule horloge.

Bibliographie

- [AND-03] A. Andriahantenaina, H. Charlery, A. Greiner, L. Mortiez, and C.A. Zeferino. « SPIN : a scalable, packet switched, on-chip micro-network ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 70–73, Mar. 2003.
- [DUA-03] J. Duato, S. Yalamanchili, and L. Ni. *Interconnection networks, an engineering approach*. Morgan Kaufmann, 2003.
- [DUM-04] J. Dumesnil. « Modélisation d'un micro-réseau d'interconnexion intégré sur puce utilisant les communications optiques ». Travail encadré de recherche, LIP6, 2004.
- [GUE-00] P. Guerrier and A. Greiner. « A generic architecture for on-chip packet-switched interconnections ». In *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*, pages 250–256, Mar. 2000.
- [GUR-03] Z.O. Gursoy and Y. Leblebici. « Design and realization of a 2.4 Gbps - 3.2 Gbps clock and data recovery circuit using deep-submicron digital CMOS technology ». In *Proceedings of the IEEE International SOC Conference (SOCC)*, pages 99–102, Sept. 2003.
- [VIK-03] P. Viktorovitch, C. Monat, J. Mouette, C. Seassal, X. Letartre, P. Rojo-Roméo, M. Le Vassor D'Yerville, D. Cassagne, J.P. Albert, E. Jalaguier, S. Pocas, and B. Aspar. « Two-dimensional photonic crystal micro-lasers ». In *Proceedings of the Annual Meeting, International Symposium on Optical Science and Technology (SPIE)*, Aug. 2003.

Conclusion générale

Il est communément admis que l'optique intégrée fait partie des solutions susceptibles de surmonter les limitations apportées par les technologies standards d'interconnexion.

Depuis quelques années les équipes du LEOM ont proposé des solutions technologiques et structurales rendant possible l'intégration hétérogène d'un circuit CMOS standard et d'un réseau de communication optique.

La thèse de Grzegorz Tosik (2003) a montré que les interconnexions optiques (pour des liens point à point ou pour la distribution de l'horloge) n'apportaient pas un gain de performances, en termes de puissance consommée, suffisant pour justifier le surcoût technologique dû à l'intégration hétérogène de sources et de récepteurs III-V et d'un réseau de transport passif SOI.

Au début de mon travail de thèse, il m'a été proposé d'estimer l'apport de la photonique intégrée pour la réalisation des véritables réseaux d'interconnexion que l'évolution architecturale des SoC rend nécessaire.

Mon travail peut ainsi se décomposer en deux grands développements : une étude prospective des architectures de NoC susceptibles d'utiliser des fonctions photoniques intégrées, et le développement d'outils et de méthodes permettant la conception de systèmes fortement hétérogènes et l'estimation de leurs performances.

- Pour assurer les échanges de données dans les SoC du futur pouvant compter jusqu'à plusieurs dizaines de blocs IP, les réseaux d'interconnexion (NoC) seront vraisemblablement constitués de "routeurs", leurs architectures seront issues du monde des réseaux de communication. Ce concept a été repris et adapté pour tirer profit des fonctionnalités originales de la photonique intégrée : nous avons donc conçu une architecture de réseau sans contention utilisant le routage en longueur d'onde pour transmettre les données d'un initiateur spécifique vers une cible spécifique. Dans le but de comparer les performances d'un réseau de communication électrique et d'un ONoC, nous avons choisi comme référence le réseau SPIN.
- Dans le but de comparer les performances - latence, débit, puissance consommée, surface occupée - d'un ONoC et de son équivalent électrique, il est nécessaire de prendre en compte toutes ses ressources matérielles - circuits d'interface, sources et récepteurs, réseau passif -. Nous avons donc développé des méthodes et outils permettant d'une part de prendre en compte l'hétérogénéité et d'autre part de mettre en place une hiérarchie de modèles (du niveau physique au niveau transactionnel). Nous avons ainsi abouti à un flot de conception complet permettant le prototypage virtuel de l'ONoC et l'estimation de ses performances.

Le réseau étudié possède trois caractéristiques principales : par construction, il est sans contention (si une cible est disponible, elle peut être instantanément atteinte par n'importe quel initiateur), les données sont sérialisées avant d'être transmises dans le réseau, il est adapté à une transmission par commutation de circuit.

Les principaux résultats du prototypage virtuel de l'ONoC peuvent être analysés à la lumière

de ces caractéristiques :

- Le réseau passif n’introduit pas de limites au transfert de données ; quelle que soit la charge demandée au réseau, il pourra la satisfaire. Il est néanmoins nécessaire, pour atteindre cette performance que chaque ressource puisse sélectionner une longueur d’onde spécifique. Le développement de réseaux d’interconnexion intégrés passe donc par l’existence de microsources accordables en longueur d’onde.
- La sérialisation des données constitue bien évidemment la limite principale des performances d’un réseau d’interconnexion optique. En effet, le débit maximal par canal est limité par les circuits d’interface de conversion. Par ailleurs, les circuits numériques de sérialisation et de désérialisation sont les contributeurs majoritaires à la consommation de puissance et à l’occupation du silicium.
- Dans le souci de disposer d’une référence indiscutable, nous avons fait le choix d’utiliser le même protocole de communication pour l’ONoC que pour le réseau électrique. Le protocole VCI est adapté aux communications par paquets, or l’architecture de l’ONoC est optimisée pour les communications à commutation de circuit (le routage en longueur d’onde permet d’établir un canal physique entre l’initiateur et la cible). La mise en œuvre d’un protocole adapté permettrait sans doute de profiter au mieux des performances de l’ONoC.

À l’issue de ce travail, un certain nombre de conclusions provisoires peuvent être énoncées :

- L’avantage indiscutable de l’intégration d’un réseau optique pour la transmission des données “on-chip” réside dans la possibilité de construire des réseaux scalables sans contention grâce à l’utilisation de la longueur d’onde.
- La viabilité de cette solution passe néanmoins par l’existence de microsources lasers accordables en longueur d’onde. En effet, les comparaisons quantitatives que le prototypage virtuel du réseau a rendues possibles, montre que pour réduire la puissance et la surface de silicium consommées (essentiellement dans les circuits d’interface) il faut disposer de sources de taille micrométrique à faible courant de seuil (quelques dizaines de microampères).
- Le réseau que nous avons étudié est passif, sa fonctionnalité est réduite au routage et à la distribution. Des composants optiques élémentaires plus “évolués” permettraient d’améliorer les performances de l’ONoC (la modulation externe de la source¹ pourrait permettre par exemple, de réduire la consommation de puissance) et d’augmenter la fonctionnalité du réseau (des filtres sélectifs et ajustables en longueur d’onde pourraient rendre possible par exemple, la reconfiguration dynamique du réseau).
- Enfin, il apparaît que les gains de performance apportés par l’intégration hétérogène du réseau sont sans doute insuffisants pour justifier le saut technologique qu’elle impose.

¹<http://www.intel.com/technology/silicon/sp/#5>.

Liste des tableaux

1.1	Évolution de quelques paramètres importants des circuits intégrés.	7
1.2	Classification des interconnexions.	11
1.3	Performances annoncées par IBM pour différentes architectures du bus CoreConnect.	24
1.4	Résumé des principales spécifications des bus partagés - série 1.	26
1.5	Résumé des principales spécifications des bus partagés - série 2.	26
1.6	Résumé des principales spécifications des NoC.	33
1.7	Comparaison entre les bus partagés et les réseaux d'interconnexion.	33
2.1	Les différents éléments d'un ONoC.	43
2.2	Table de vérité d'un λ -routeur complexe 8×8	45
5.1	Table de vérité d'un <i>add-drop</i> à un microdisque.	65
5.2	Table de vérité d'un <i>add-drop</i> à deux microdisques.	67
5.3	Table de vérité de la brique élémentaire du λ -routeur.	68
5.4	Table de vérité du λ -routeur 4×4	69
5.5	Comparaison du temps de simulation FDTD vs. Matrices S	80
5.6	Dispositifs optiques passifs élémentaires (partie 1).	81
5.7	Dispositifs optiques passifs élémentaires (partie 2).	82
5.8	Dispositifs optiques passifs élémentaires (partie 3).	83
5.9	Dispositifs optiques passifs élémentaires (partie 4).	84
6.1	Spécification des entrées-sorties de l'ONoC.	88
9.1	Principaux paramètres de la fonction de transfert d'un amplificateur à transimpédance.	117
10.1	Architecture de SystemC.	123
10.2	Modèle SystemC simple d'une liaison unidirectionnelle.	128
10.3	Modèle SystemC simple d'une liaison unidirectionnelle avec délai.	129
11.1	Résumé des signaux circulant dans l'ONoC.	132
11.2	Résumé des modules SystemC de l'ONoC.	133
11.3	Résumé des modules SystemC pour l'automatisation du test du modèle de l'ONoC.	133
11.4	Puissance consommée des circuits électroniques analogiques-numériques.	140
11.5	Délai moyen introduit par les interfaces électroniques.	141
11.6	Surface moyenne de l'ONoC.	143
11.7	Différences majeures des trois niveaux d'abstraction.	143
13.1	Signaux numériques d'une simulation SystemC.	152

13.2	Performance de l'ONoC : deux ressources et un guide d'onde droit.	154
13.3	Table de vérité du système à 2 initiateurs et 2 cibles, utilisant un <i>add-drop</i> à microdisque comme réseau d'interconnexion.	154
13.4	Performance de l'ONoC 2×2	156
13.5	Table de vérité du réseau 4×4	157
13.6	Performance de l'ONoC 4×4	159
13.7	Impact du niveau d'abstraction sur le temps de simulation.	164
14.1	Ports des <i>wrappers</i> de la plate-forme VGAP et de l'ONoC.	166
14.2	Comparaison quantitative SPIN-ONoC 16×16	171
A.1	Unités de base SI.	191
A.2	Unités supplémentaires SI.	191
A.3	Unités dérivées SI	192
A.4	Préfixes des unités SI	192
A.5	Constantes universelles	193
A.6	Constantes électromagnétiques	193
F.1	Exemple d'un fichier d'en-tête moduleX.h	209
F.2	Exemple d'un constructeur	209
F.3	Définition des ports dans le fichier d'en-tête SystemC	209
G.1	Module SystemC d'un circuit de commande	211
G.2	Module SystemC d'un laser	212
G.3	Module SystemC du λ -routeur	213
G.4	Module SystemC de la photodiode PIN	214
G.5	Module SystemC de l'amplificateur à transimpédance	215
G.6	Module SystemC du comparateur	216
H.1	Différents <i>testbenchs</i> appliqués à l'ONoC 4×4	222

Table des figures

1.1	Loi de Moore appliquée aux processeurs Intel.	5
1.2	Évolution de la gravure lithographique des circuits intégrés.	6
1.3	Évolution des circuits intégrés.	7
1.4	Évolution des circuits intégrés vers les systèmes sur puce.	8
1.5	Représentation schématique des architectures multiprocesseurs.	9
1.6	Vue schématique d'un système sur puce hétérogène.	10
1.7	Vue schématique d'une architecture scalable.	11
1.8	Vue schématique d'un réseau partagé.	12
1.9	Topologies classiques des réseaux directs orthogonaux.	13
1.10	Topologies classiques des réseaux directs en arbre.	13
1.11	Autres topologies classiques des réseaux directs.	13
1.12	Vue schématique d'un nœud de réseau direct.	14
1.13	Topologie classique d'un réseau indirect : le <i>crossbar</i> $N \times M$	15
1.14	États fonctionnels d'un <i>switch</i> élémentaire qui compose un <i>crossbar</i>	15
1.15	Fonctionnement simplifié d'un protocole de communication.	16
1.16	Fonctionnement simplifié d'une communication VCI.	17
1.17	Utilisation classique du STBus dans un système sur puce.	18
1.18	Exemple d'utilisation hiérarchique du STBus.	19
1.19	Architecture typique d'un bus AMBA.	19
1.20	Concept du réseau d'interconnexion "multicouches" de ARM.	20
1.21	Matrice d'interconnexion reliant 2 initiateurs et 2 cibles.	20
1.22	Protocole AXI.	22
1.23	Implémentation possible de l'interconnexion intégrée SiliconBackplane III.	22
1.24	Architecture possible d'un système sur puce intégrant un bus CoreConnect.	23
1.25	Exemple d'architecture du bus Avalon "multi-initiateurs".	25
1.26	Architecture du réseau d'interconnexion Arteris NoC.	27
1.27	Architecture du réseau d'interconnexion RAW.	28
1.28	Architecture du réseau d'interconnexion SPIN.	29
1.29	Architecture du routeur RSPIN.	29
1.30	Architecture de l'interconnexion Nostrum.	30
1.31	Simulations du réseau Nostrum 4×4	30
1.32	Architecture de l'interconnexion Æthereal NoC.	31
1.33	Architecture de l'interconnexion Proteo.	32
2.1	Section d'un circuit intégré à plusieurs couches métalliques.	35
2.2	Évolution du nombre de couches métalliques.	36
2.3	Distribution classique de la longueur des lignes métalliques dans un système intégré.	36

2.4	Modélisation d'une ligne métallique.	37
2.5	Évolution de la distance minimale entre deux lignes métalliques.	37
2.6	Évolution du délai relatif des différents niveaux d'interconnexion en fonction de la technologie.	38
2.7	Évolution du délai relatif en fonction de la technologie pour différents matériaux.	39
2.8	Intégration tridimensionnelle d'un système sur puce.	39
2.9	Évolution des interconnexions haute performance en fonction des systèmes interconnectés.	40
2.10	Technologie SOI compatible CMOS.	42
2.11	Vue globale d'un système sur puce intégrant un ONoC comme interconnexion.	42
2.12	États fonctionnels d'un <i>switch</i> optique simple 2×2	43
2.13	Technique du multiplexage en longueur d'onde.	44
2.14	Vue schématique d'un λ -routeur $N \times N$ complexe.	44
2.15	Vue schématique d'un λ -routeur 8×8 interconnectant 16 ressources.	45
3.1	Vue générale d'un système sur puce utilisant un ONoC comme interconnexion.	47
3.2	Niveaux hiérarchiques principaux de modélisation.	49
5.1	Représentation d'une onde électromagnétique.	60
5.2	Représentation des modes <i>TE</i> et <i>TM</i> dans un guide d'onde plan.	60
5.3	Géométrie schématique d'un guide d'onde droit.	61
5.4	Géométrie schématique d'un microdisque en deux dimensions.	63
5.5	Mode de galerie dans un microdisque.	63
5.6	Couplage entre deux guides d'ondes.	64
5.7	<i>Add-drop</i> à un microdisque.	65
5.8	Intervalle spectral libre d'un microdisque.	66
5.9	Réponse spectrale d'un <i>add-drop</i> à 1 microdisque.	67
5.10	<i>Add-drop</i> à deux microdisques.	67
5.11	Brique élémentaire d'un réseau d'interconnexion optique intégré complexe.	68
5.12	Architecture générale du λ -routeur 4×4	69
5.13	Vue Schématique de l'intervalle spectral libre appliqué au λ -routeur 4×4	69
5.14	Image d'un λ -routeur 4×4 réalisé en technologie SOI.	70
5.15	Photographie du λ -routeur 4×4 en fonctionnement.	70
5.16	Réponse spectrale expérimentale mesurée sur un λ -routeur 4×4	71
5.17	Représentation de l'espace de Yee.	72
5.18	Convention et représentation d'une matrice <i>S</i>	74
5.19	<i>Add-drop</i> à un microdisque pour les matrices <i>S</i>	78
5.20	Architecture d'un λ -routeur 4×4	78
5.21	Réponses spectrales d'un λ -routeur 4×4	79
6.1	Technologie SOI (vue de côté) - <i>Above IC</i>	85
6.2	Schéma-bloc d'un système sur puce utilisant un ONoC comme réseau de communication.	86
6.3	Schéma-bloc de l'ONoC.	86
6.4	Chaîne unidirectionnelle d'émission et de réception entre deux blocs IP.	87
6.5	Partie émission de l'ONoC.	89
6.6	Principe de fonctionnement du sérialiseur.	89
6.7	Principe de fonctionnement du décodeur 8 vers 256.	90

6.8	Caractéristique puissance-courant classique d'un VCSEL.	91
6.9	Circuit de commande d'un VCSEL.	91
6.10	Partie réception de l'ONoC.	92
6.11	Schéma équivalent d'une photodiode PIN suivi d'un amplificateur à transimpédance.	92
6.12	Schéma de principe d'un comparateur.	93
6.13	Principe de fonctionnement du désérialiseur.	93
9.1	Approche hiérarchique de la modélisation d'un réseau de communication optique intégré.	106
9.2	Niveaux hiérarchiques de la partie électronique.	108
9.3	Exemple de fonctionnalité du décodeur.	112
9.4	Simulation du démultiplexeur à un débit de 3 Gbit/s.	112
9.5	Représentation temporelle d'un signal avec ses distributions de probabilité de forme gaussienne.	113
9.6	Fonction erreur complémentaire donnant le taux d'erreur par bit en fonction du facteur Q	115
9.7	Architecture classique d'un amplificateur à transimpédance.	116
9.8	Schéma "petits signaux" du montage de l'amplificateur à transimpédance.	116
9.9	Réponse temporelle du circuit de décision.	118
9.10	Influence des pertes du λ -routeur sur la puissance d'émission de la source laser.	119
10.1	Lien entre les blocs d'un système.	122
10.2	Flot de conception utilisant SystemC.	122
10.3	Vue schématique des ports dans un module SystemC.	124
10.4	Vue schématique des canaux SystemC.	125
10.5	Flot de simulation SystemC.	126
10.6	Vue d'ensemble de la modélisation avec SystemC.	127
10.7	Exemple d'un modèle SystemC.	127
10.8	Simulation numérique d'une liaison simple unidirectionnelle point à point.	128
10.9	Simulation numérique d'une liaison simple unidirectionnelle point à point avec délai.	129
11.1	Modèle SystemC complet de l'ONoC avec un initiateur et une cible.	131
11.2	Impulsion gaussienne du laser.	134
11.3	Correspondance entre le module du λ -routeur et les ondes incidentes et émergentes.	134
11.4	Synopsis graphique de l'utilisation SystemC-Matlab.	135
11.5	Découpage de l'intervalle spectral pour le calcul des matrices S numériques.	135
11.6	Construction du spectre émergent.	136
11.7	Construction du spectre incident.	136
11.8	Intensité incidente et émergente calculée par le module SystemC du λ -routeur.	137
11.9	Chaîne de réception avec un TEB de 10^{-2}	138
11.10	Impact du délai dû au λ -routeur.	140
12.1	Flot de conception de l'ONoC.	145
13.1	Schéma d'un lien point à point entre un initiateur et une cible.	152
13.2	Signaux numériques d'une liaison point à point.	153
13.3	Schéma d'un système possédant 2 initiateurs et 2 cibles connectés par l'intermédiaire d'un <i>add-drop</i>	155
13.4	Schéma d'un système à 4 initiateurs et 4 cibles.	157

13.5	Simulation numérique d'un système à 4 initiateurs et 4 cibles.	158
13.6	Puissance moyenne du VCSEL en fonction des pertes dans le λ -routeur.	159
13.7	Évolution de la surface du bloc électronique analogique/numérique.	160
13.8	Évolution de la surface du bloc optoélectronique (VCSEL et photodiode).	161
13.9	Évolution de la surface du λ -routeur.	161
13.10	Évolution de la puissance consommée en fonction du nombre de ressources.	162
13.11	Impact de la source sur la puissance consommée par les circuits analogiques.	163
14.1	Problématique liée à l'interfaçage de la plate-forme VGAP avec le modèle SystemC de l'ONoC.	166
14.2	Charge et latence de chaque VGAP appliquée à l'ONoC 4×4	168
14.3	Charge moyenne par lien en fonction de la taille d'un paquet (ONoC 4×4).	168
14.4	Charge et latence moyennes par lien dans l'ONoC 8×8	169
14.5	Contention dans l'ONoC 16×16 , envoi de 100 000 paquets de 8 mots.	170
14.6	Influence de la taille des paquets sur la charge du réseau 4×4 , 8×8 et 16×16	171
15.1	Évolution du débit maximal en fonction du nœud technologique.	174
15.2	Évolution normée de la puissance consommée en fonction du nœud technologique.	174
B.1	Les principaux signaux du protocole OCP.	195
B.2	Les principaux signaux du protocole VCI.	195
C.1	<i>Wafer</i> de départ de la filière utilisée pour le lot MOM2	197
C.2	Lithogravure des réseaux d'alignement	197
C.3	Lithogravure des marques <i>e-beam</i>	198
C.4	Vue en coupe du guide ruban	198
C.5	Disposition des cellules sur le <i>wafer</i>	199
C.6	Clivage des cellules (en noir)	199
C.7	Règles de dessin	200
C.8	Vue en coupe du guide	200
C.9	Disposition des cellules sur le <i>wafer</i>	201
C.10	Démonstrateur 1	202
C.11	Démonstrateur 2	202
E.1	Schéma d'un décodeur 8 vers 256 en technologie CMOS 0,13 μm	205
H.1	Signaux numériques d'un ONoC avec un <i>add-drop</i> comme λ -routeur; <i>I1</i> communique avec <i>C1</i> et <i>C2</i>	218
H.2	Signaux numériques d'un ONoC avec un <i>add-drop</i> comme λ -routeur; <i>I1</i> communique avec <i>C1</i> puis avec <i>C2</i>	219
H.3	Signaux numériques d'un ONoC avec un <i>add-drop</i> comme λ -routeur; <i>I1</i> communique avec <i>C2</i> et <i>C1</i> communique avec <i>I2</i>	221

Glossaire

ADK : AMBA Design Kit

AHB : Advanced High-performance Bus

AMBA : Advanced Microcontroller Bus Architecture

APB : Advanced Peripheral Bus

ASB : Advanced System Bus

AXI : Advanced eXtensible Interface

CAD : Computer Aided Design

CAO : Conception Assistée par Ordinateur

CDR : Clock and Data Recovery

CMOS : Complementary Metal-Oxide Semiconductor

CPU : Central Processing Unit

DLL : Delay Locked Loops

DMA : Direct Memory Access

DRAM : Dynamic Random Access Memory

DSP : Digital Signal Processing

EDA : Electronic Design Automation

FDTD : Finite Difference Time Domain

FIFO : First In First Out

FPGA : Field-Programmable Gate Array

FPI : Flexible Peripheral Interconnect

FSR : Free Spectral Range

GALS : Globally-Asynchronous Locally-Synchronous

GPU : Graphic Processing Unit

IP : Intellectual Property

ISL : Intervalle Spectral Libre

ITRS : International Technology Roadmap for Semiconductors

LAN : Local Area Network

Laser : Light Amplification by Stimulated Emission of Radiation

MAN : Metropolitan Area Network

MANGO : Message passing Asynchronous Network-on-chip providing Guaranteed services over OCP-interface

MCM : Multi-Chip Modules

MPEG : Moving Picture Experts Group
MPSoC : Multi-Processor System on Chip

NIU : Network Interface Unit
NoC : Network on Chip

OCP : Open Core Protocol
OMI : Open Microprocessor systems Initiative
ONoC : Optical Network on Chip
OPB : On-chip Peripheral Bus
OSCI : Open SystemC Initiative

PDA : Personal Digital Assistant
PLB : Processor Local Bus
PLL : Phase Locked Loop
PML : Perfected Matched Layer

QoS : Quality of Service

RAM : Random Access Memory
RAW : Raw Architecture Workstation
RNI : Ressource Network Interface
ROM : Read Only Memory
RTL : Register Transfer Level

SERDES : SERialiseur-DESérialiseur
SoC : System on Chip
SOI : Silicon on Insulator
SPIN : Scalable Programmable Integrated Network
SRAM : Static Random Access Memory

TEB : Taux d'Erreur par Bit

VCI : Virtual Component Interface
VCSEL : Vertical Cavity Surface Emitting Laser
Verilog HDL : Verifying Logic Hardware Description Language
VHDL : Very high speed integrated circuit Hardware Description Language
VHDL-AMS : Very high speed integrated circuit Hardware Description Language-Analog
Mixed Signal
VSIA : Virtual Socket Interface Alliance

WAN : Wide Area Network
WDM : Wavelength Division Multiplexing

XML : Extensible Markup Language

Annexes

Annexe A

Unités et constantes fondamentales

A.1 Unités SI

Les lettres *SI* désignent le Système International d'unités. Il peut se diviser en trois groupes : les unités de base (table A.1), supplémentaires (table A.2) et dérivées (table A.3).

TAB. A.1 – Unités de base SI.

Quantité Physique	Nom	Symbole
longueur	mètre	m
masse	kilogramme	kg
temps	seconde	s
courant électrique	ampère	A
température	kelvin	K
quantité de matière	mole	mol
intensité lumineuse	candela	cd

TAB. A.2 – Unités supplémentaires SI.

Quantité Physique	Nom	Symbole
angle plan	radian	rad
angle solide	stéradian	sr

Les unités SI sont étendue grâce à des préfixes qui désignent les multiples ou fractions décimales des unités (table A.4).

TAB. A.3 – Unités dérivées SI

Quantité Physique	Nom	Symbole
fréquence	hertz	Hz
force	newton	N($\equiv \text{kg.m.s}^{-2}$)
énergie	joule	J ($\equiv \text{N.m}$)
puissance	watt	W ($\equiv \text{J.s}^{-1}$)
pression	pascal	Pa ($\equiv \text{N.m}^{-2}$)
charge électrique	coulomb	C ($\equiv \text{A.S}$)
différence de potentiel électrique	volt	V ($\equiv \text{J.C}^{-1}$)
résistance électrique	ohm	Ω ($\equiv \text{V.s}^{-1}$)
conductance électrique	siemens	S
capacité électrique	farad	F ($\equiv \text{C.V}^{-1}$)
champ magnétique	tesla	T ($\equiv \text{N.s.C}^{-1}.\text{m}^{-1}$)
inductance	henry	H ($\equiv \text{V.s.A}^{-1}$)
flux magnétique	weber	Wb ($\equiv \text{T.m}^2$)
flux lumineux	lumen	lm
illumination	lux	lx

TAB. A.4 – Préfixes des unités SI

Facteur	Nom du préfixe	Symbole	Facteur	Nom du préfixe	Symbole
10	déca	da	10^{-1}	déci	d
10^2	hecto	h	10^{-2}	centi	c
10^3	kilo	kg	10^{-3}	milli	m
10^6	méga	M	10^{-6}	micro	μ
10^9	giga	G	10^{-9}	nano	n
10^{12}	tera	T	10^{-12}	pico	p
10^{15}	peta	P	10^{-15}	femto	f
10^{18}	exa	E	10^{-18}	atto	a

A.2 Constantes fondamentales

TAB. A.5 – Constantes universelles

Quantité	Symbole	Valeur
Vitesse de la lumière (vide)	c	$2,997\,924\,58\,10^8\text{ m.s}^{-1}$
Perméabilité du vide	μ_0	$1,256\,64\,10^{-6}\text{ N.A}^{-2}$
Permittivité du vide	ϵ_0	$8,854\,187\,817\,10^{-12}\text{ F.m}^{-1}$
Constante gravitationnelle	G	$6,672\,59\,10^{-11}\text{ m}^3.\text{kg}^{-1}.\text{s}^{-2}$
Constante de Planck	h	$6,626\,075\,5\,10^{-34}\text{ J.s}$

TAB. A.6 – Constantes électromagnétiques

Quantité	Symbole	Valeur
Charge de l'électron	e	$1,602\,177\,33\,10^{-19}\text{ C}$
Rapport e sur h	e/h	$2,417\,988\,36\,10^{14}\text{ A.J}^{-1}$
Quantum de flux magnétique ($h/2e$)	Φ_0	$2,067\,834\,61\,10^{-15}\text{ Wb}$
Magnéton de Bohr	μ_B	$9,274\,015\,4\,10^{-24}\text{ J.T}^{-1}$
Magnéton nucléaire	μ_N	$5,050\,786\,6\,10^{-27}\text{ J.T}^{-1}$

Annexe B

Protocole de communication

B.1 Protocole OCP

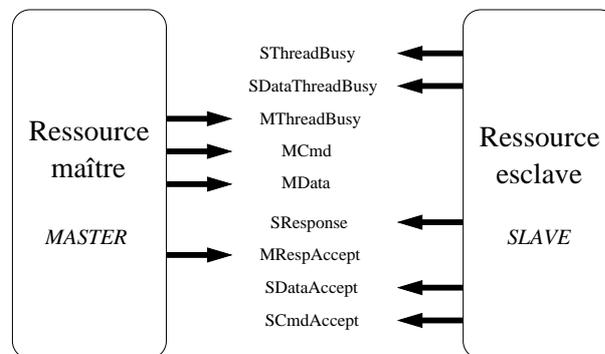


FIG. B.1 – Les principaux signaux du protocole OCP.

B.2 Protocole VCI

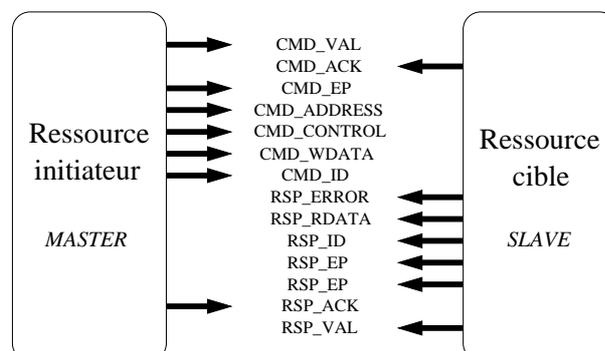


FIG. B.2 – Les principaux signaux du protocole VCI.

Annexe C

Structures SOI réalisées

Les structures SOI ont été réalisées par le LETI¹

C.1 Projet Hétéropt

C.1.1 Le lot MOM2

Description de la filière

- La filière MOMI2 utilise des *wafers* 200 mm SOI avec 1 μm de SiO_2 et 0,4 μm de Silicium. La figure C.1 illustre le *wafer* de départ utilisé.



FIG. C.1 – *Wafer* de départ de la filière utilisée pour le lot MOM2

- Ensuite, une lithographie de quatre carrés sera faite, afin de réaliser une “ouverture marque”, dans l’oxyde thermique - le silicium mono-cristallin - l’oxyde enterré, et arrêt sur le substrat en silicium.
- La prochaine étape est une lithographie des réseaux d’alignement du stepper ASM (marque) au fond des zones précédentes, dans le substrat de silicium. La figure C.2 illustre cette étape.



FIG. C.2 – Lithographie des réseaux d’alignement

- L’étape suivante va permettre de supprimer l’oxyde de surface. Une lithographie *e-beam* est utilisée pour réaliser :

¹CEA - Laboratoire d’Électronique de Technologie de l’Information.

- une élimination de l'oxyde de surface,
- le dépôt d'un masque dur oxyde,
- la lithogravure des motifs d'alignement du "masqueur" électronique dans l'empilement masque dur oxyde-silicium mono-cristallin-oxyde enterré et substrat de silicium.

L'arrêt de la lithogravure se fait dans le substrat. La figure C.3 illustre cette étape.

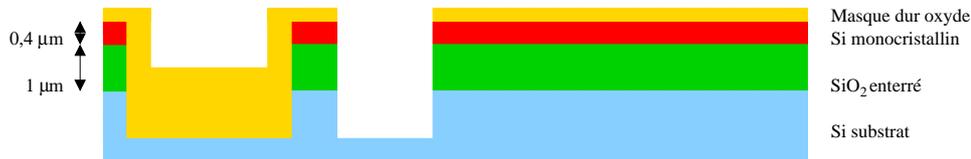


FIG. C.3 – Lithogravure des marques *e-beam*

- La dernière étape est la lithogravure du guide. La lithographie *e-beam* est utilisée ainsi que la gravure du masque dur oxyde. L'élimination de la résine est ensuite faite à la fin. La figure C.4 présente cette dernière étape.



FIG. C.4 – Vue en coupe du guide ruban

- Une encapsulation de la puce dans de la silice est possible afin d'éviter les parasites et les poussières qui pourraient éventuellement endommager les guides créés.

Description du lot MOM2

Présentation Les puces qui comportent une insolation au "masqueur" électronique sont au nombre de 16, réparties selon une matrice 4×4 au centre de la plaque au pas de 18×18 mm. La figure C.5 présente la disposition des 16 cellules sur la plaque.

Chaque cellule doit être clivée pour faciliter l'injection de la lumière lors de la caractérisation. Le clivage de chaque cellule est présenté sur la figure C.6

Règles de dessin Certaines "règles de dessin" ont été utilisées pour dessiner les masques principalement pour éviter les problèmes lors du clivage. Toutes les puces ont été conçues telles qu'il y ait une sécurité de $500 \mu\text{m}$ à l'intérieur de la puce $9 \text{ mm} \times 9 \text{ mm}$. La figure C.7 présente ces règles de dessin.

Afin de rétablir le mode de l'onde, on place des guides droits de $100 \mu\text{m}$ minimum après tous les arcs et les *tapers*. Les entrées sont espacées de $200 \mu\text{m}$, de largeur $8 \mu\text{m}$, et la première entrée est au moins à $700 \mu\text{m}$ du bord. Les sorties sont espacées au minimum de $100 \mu\text{m}$, la première est au moins à $800 \mu\text{m}$ du bord.

Les différentes cellules Les différents dispositifs testés sont les suivants :

- un arbre d'horloge 1 vers 8,
- des *add-drop* à un microdisques : différents rayons et différentes largeurs pour les guides,
- des filtres avancés : différents rayons et différentes largeurs pour les guides.

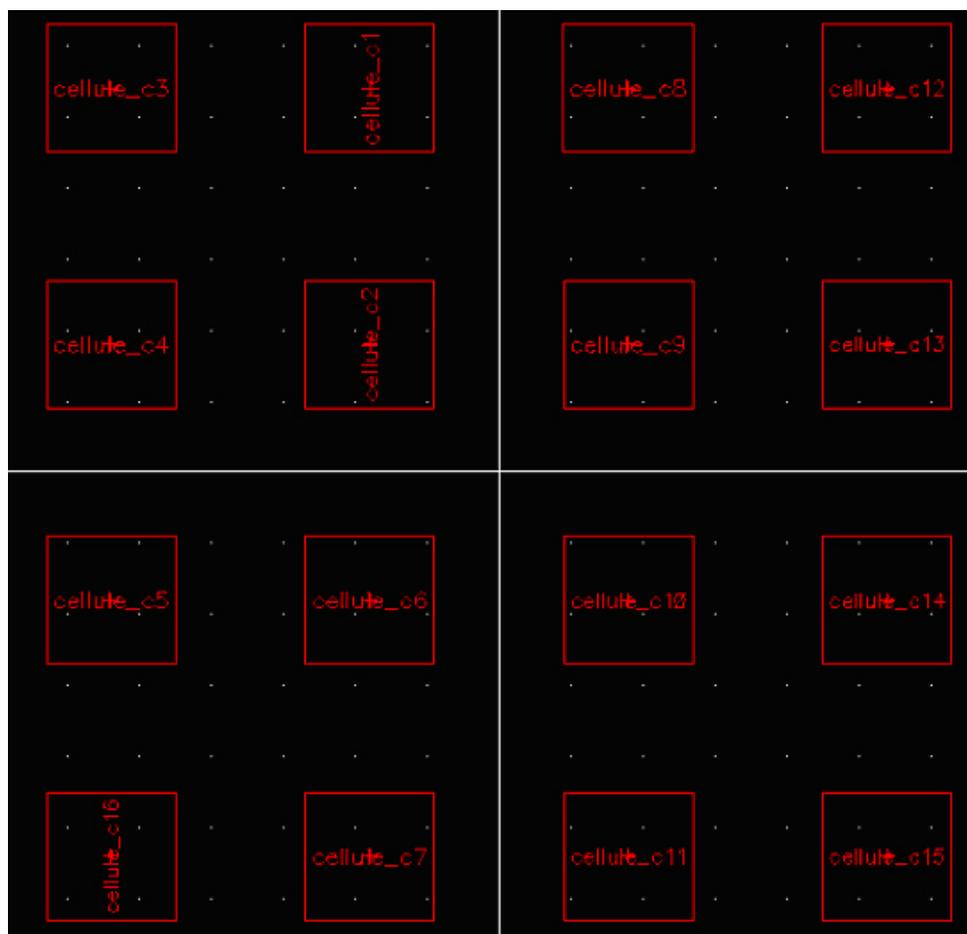


FIG. C.5 – Disposition des cellules sur le *wafer*

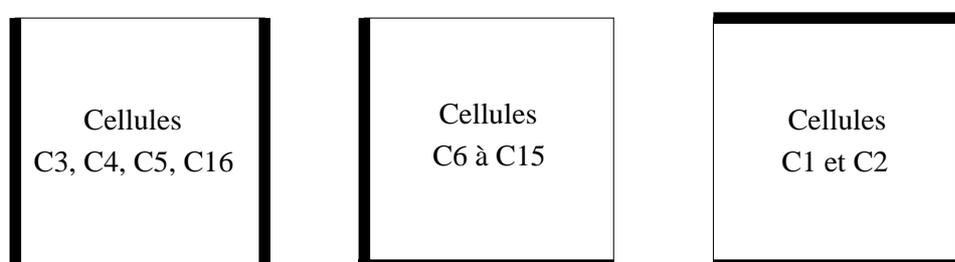


FIG. C.6 – Clivage des cellules (en noir)

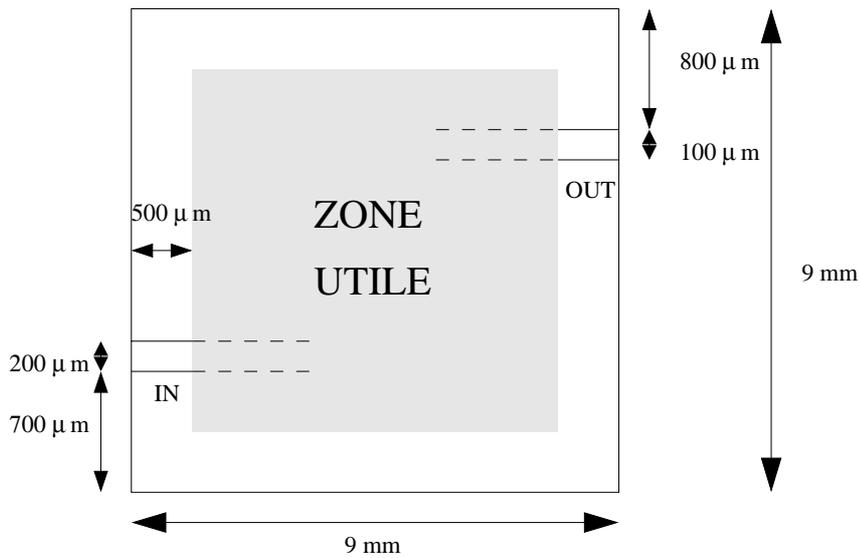


FIG. C.7 – Règles de dessin

C.1.2 Le lot GUI1

Ce lot a permis de caractériser les atténuations dans des guides d'onde droits et courbés. La filière utilisée est la même que pour le lot MOM2.

C.2 Projet LambdaConnect

C.2.1 Le lot LAM1

Description de la filière

Les plaques SOI seront de 1 μm de silice et 400 nm de silicium.

La couche de silicium sera amincie par oxydation afin d'atteindre une épaisseur de silicium de 380 nm ou de 300 nm ou de 230 nm

Ensuite une lithographie DUV (Deep UV) 193 nm sera réalisée avec une résolution minimale de 150 nm.

Pour finir on réalise une gravure silicium totale et une encapsulation (couche de SiO_2 de 500 nm ou *Silk* de 800 nm à définir selon les études sur les plaques) comme le montre la figure C.8.

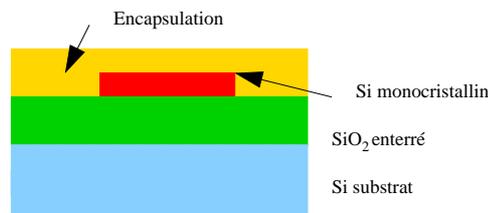


FIG. C.8 – Vue en coupe du guide

Description du lot LAM1

Présentation La figure C.9 présente la disposition des 4 plaques sur la puce.

Les entrées-sorties sont fixées à 2 μm de large avec des *tapers* de 100 μm de long. La plupart des guides ont une largeur de 0,3 μm .

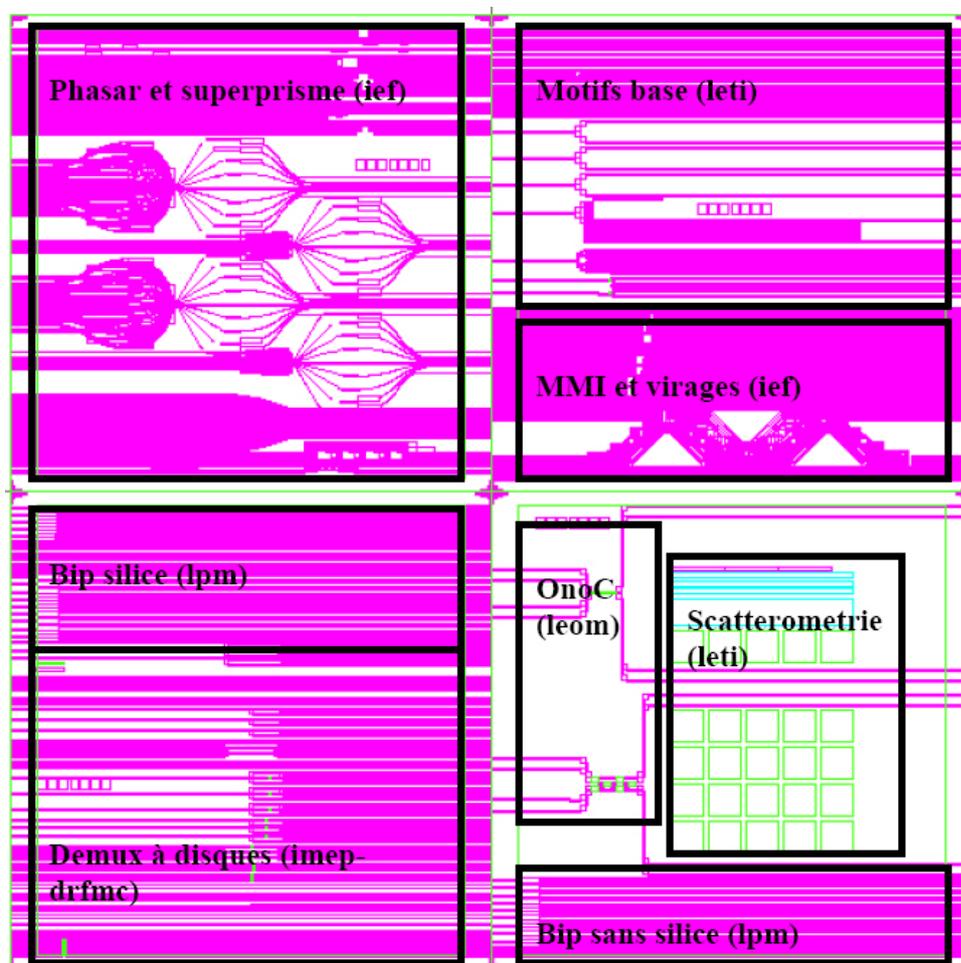


FIG. C.9 – Disposition des cellules sur le *wafer*

Ce démonstrateur doit permettre de réaliser l'ONoC 4×4 composé de 6 routeurs optiques.

Règles de dessin Les sorties sont écartées de plus de 1 mm par rapport aux entrées pour une plus grande facilité lors de l'injection et pour ne pas perturber les mesures lors de la caractérisation. En effet, ceci permet d'éviter la lumière parasite dans les guides de sortie provenant du dispositif d'injection. Les entrées sont espacées au minimum de 200 μm , et les sorties au minimum de 200 μm .

Les règles de dessin suivantes ont été suivies :

- tous les virages ont des courbures de 100 μm ,
- largeur (pour tous les guides et les virages du démonstrateur) de 0,3 μm et hauteur d'environ 0,3 μm .

Deux démonstrateurs ont été réalisés avec 2 routeurs optiques différents.

Le démonstrateur 1 La figure C.10 montre la forme générale de l'architecture du réseau avec des *switchs* de type *add-drop* à deux microdisques. Les quatre rayons de chacun des *switchs* sont : 2, 1, 1,5 et 2,5 μm . L'écart entre les guides et les microdisques est de 0,2 μm .



FIG. C.10 – Démonstrateur 1

Le démonstrateur 2 La figure C.11 montre la forme générale de l'architecture du réseau avec des *switchs* de type *add-drop* à un microdisque.

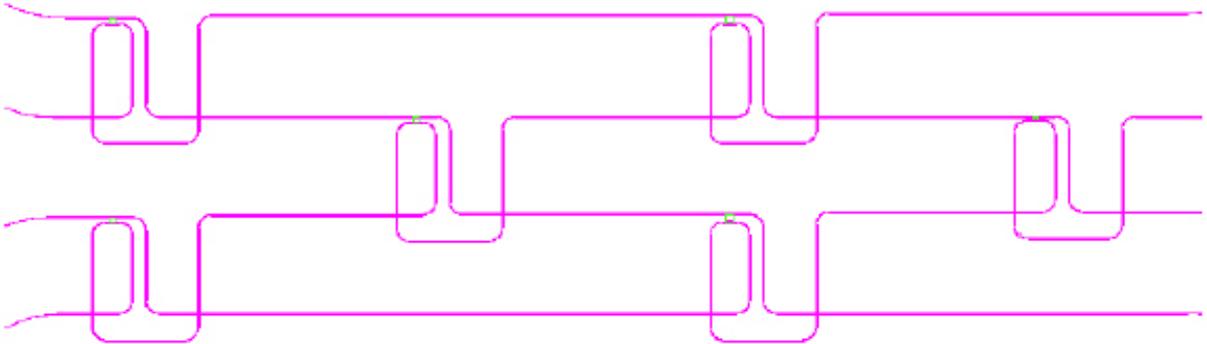


FIG. C.11 – Démonstrateur 2

Les microdisques sont à 0,2 μm des guides. Les arcs de cercle ont un rayon de 10 μm . Les quatre rayons des microdisques sont : 2, 1, 1,5 et 2,5 μm .

Annexe E

Circuits CMOS 0,13 μm

E.1 Décodeur

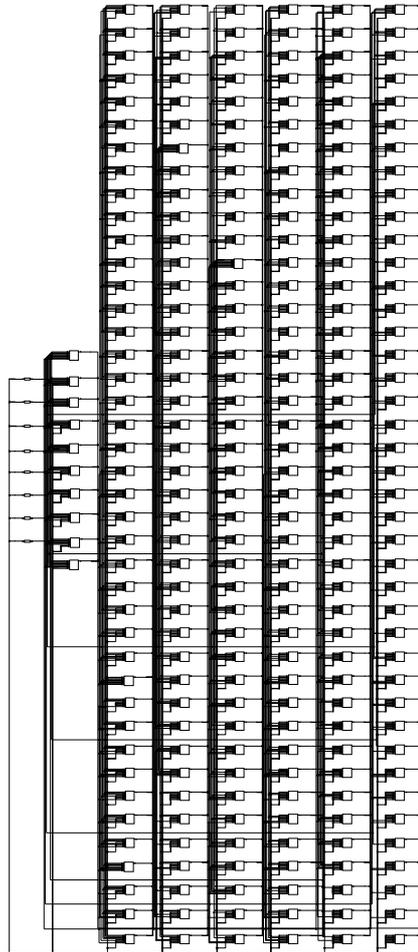
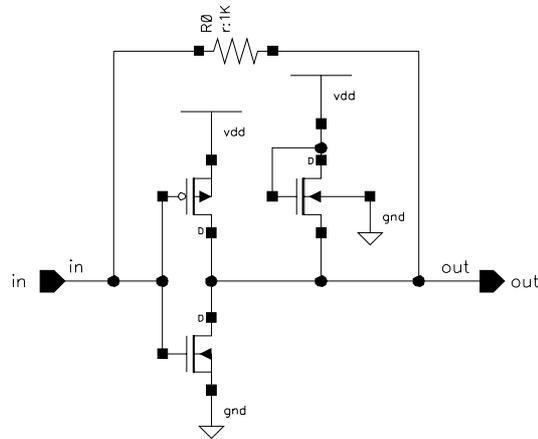
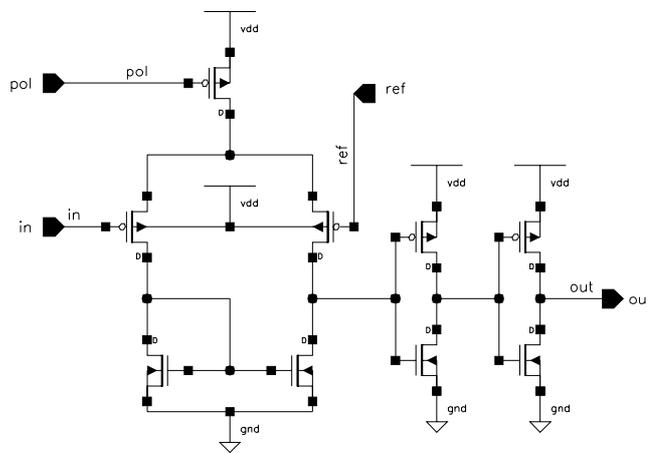


FIG. E.1 – Schéma d'un décodeur 8 vers 256 en technologie CMOS 0,13 μm .

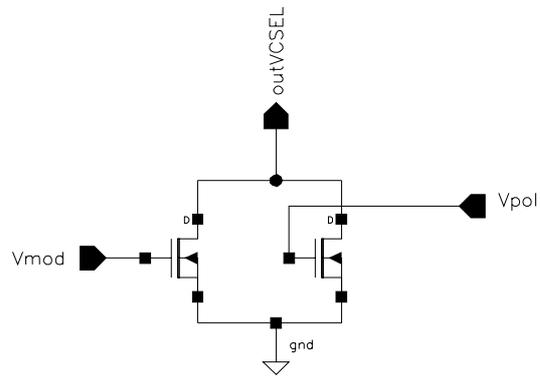
E.2 Amplificateur à transimpédance



E.3 Comparateur - Circuit de décision



E.4 Circuits de commande de VCSEL



Annexe F

Les bases de SystemC

F.1 Les modules SystemC

TAB. F.1 – Exemple d’un fichier d’en-tête moduleX.h

```
1 #include <systemc.h> // lien avec la classe SystemC
2
3 SC_MODULE(mon_module) {
4 // déclaration des ports, des données et des signaux internes
5 // déclaration des processus et des fonctions membres
6 // définition des constructeurs du module
7 } ;
```

F.2 Les constructeurs en SystemC

TAB. F.2 – Exemple d’un constructeur

```
1 #include <systemc.h>
2
3 SC_MODULE(mon_module) {
4     SC_CTOR(mon_mondule){
5         // définition du constructeur du module
6     }
7 } ;
```

F.3 Les ports SystemC

TAB. F.3 – Définition des ports dans le fichier d’en-tête SystemC

```
1 #include <systemc.h>
2
3 SC_MODULE(mon_module) {
4     sc_inout <sc_logic> control;
5     sc_in <bool> in_data;
6     sc_out <sc_int<8>> output;
7
8     SC_CTOR(mon_mondule){
9         // définition du constructeur du module
10    }
11 } ;
```


Annexe G

Code source du prototype virtuel de l'ONoC

G.1 Le circuit de commande

TAB. G.1 – Module SystemC d'un circuit de commande

```
1 SC_MODULE(driver) {
2     sc_in <bool> clk; // main clock
3     sc_fifo_in < sc_logic > in_select; // select (comes from decoder)
4     sc_fifo_in < sc_logic > in_data; // data (comes from demux)
5     sc_quantity_out Iout; // Iout=Ipolar+Imodul
6     sc_fifo_in <bool> onoff; // laser must emit or not
7     int number; // driver number
8
9     void command_circuit();
10
11     SC_CTOR(driver) : clk("clk"), in_select("in_select"), in_data("in_data"), Iout("Iout"), onoff("onoff") {
12         SC_THREAD(command_circuit);
13         sensitive << in_data.data_written(); }
14 };
15
16 void driver::command_circuit() {
17     sc_logic in_select_Copy;
18     sc_logic in_data_Copy;
19     bool onoff_Copy;
20     int j=0;
21     double Iout_Copy=0;
22
23     while (1) {
24         in_data_Copy = in_data.read();
25         in_select_Copy = in_select.read();
26
27         if (j >= WIDTH_IN || j==0) {j=0; onoff_Copy = onoff.read();}
28         j++;
29
30         if (onoff_Copy == 1) {
31             if (in_select_Copy == (sc_logic)'1') { // laser must emit
32                 if (in_data_Copy == (sc_logic)'1') {
33                     Iout_Copy = (double)(Ipolarisation+Imodulation);
34                 } else { Iout_Copy = (double)Ipolarisation; }
35             } else { // laser must not emit
36                 Iout_Copy = (double)0;//or (double)Ipolarisation; }
37             } else { Iout_Copy = (double)0;}
38
39         Iout.write(Iout_Copy);
40         wait();
41     }
42 }
```

G.2 Le laser

TAB. G.2 – Module SystemC d'un laser

```

1  SC_MODULE(laser) {
2
3      sc_quantity_in Iin; // input current
4      sc_quantity_out lambdaout; // out laser lambda
5      sc_quantity_out powerout; // output laser power
6
7      void laser_emission();
8
9      SC_CTOR(laser) :
10         Iin("Iin"), lambdaout("lambdaout"), powerout("powerout")
11     {
12         SC_THREAD(laser_emission);
13         sensitive << Iin.data_written();
14     }
15 };
16
17 void laser::laser_emission() {
18
19     double Iin_Copy;
20     double lambdaout_Copy;
21     double powerout_Copy;
22
23     while (1) {
24
25         Iin_Copy = Iin.read();
26
27         if (Iin_Copy == 0) {
28             lambdaout_Copy = lambda1;
29             powerout_Copy = 0;
30         } else {
31             if (Iin_Copy > Ipolarisation1) {
32                 lambdaout_Copy = lambda1;
33                 powerout_Copy = power1+deltapower1;
34             } else {
35                 lambdaout_Copy = lambda1;
36                 powerout_Copy = power1;
37             }
38         }
39
40         lambdaout.write((double)lambdaout_Copy);
41         powerout.write((double)powerout_Copy);
42         wait();
43     }
44 }

```

G.3 Calcul des matrices S dans le module du λ -routeurTAB. G.3 – Module SystemC du λ -routeur

```

1  SC_MODULE(mlab_multi_crossbar4x4) {
2      sc_quantity_in lambdain1; // lambda in1
3      sc_quantity_in powerin1; // power in1
4      sc_quantity_out powerout1; // output power 1
5      sc_quantity_in lambdain2; // lambda in2
6      sc_quantity_in powerin2; // power in2
7      sc_quantity_out powerout2; // output power 2
8      ...
9      void inout(); // fonction calculant les puissances de sorties
10
11     SC_CTOR(mlab_multi_crossbar4x4) : // constructeur
12         lambdain1("lambdain1"), powerin1("powerin1"), powerout1("powerout1"),
13         lambdain2("lambdain2"), powerin2("powerin2"), powerout2("powerout2") {
14         SC_THREAD(inout);
15         sensitive << powerin1.data_written();
16         sensitive << powerin2.data_written(); }
17 };

1  #include "matrix.h" // gestion des matrices
2  #include "engine.h" // noyau de simulation de Matlab
3
4      Engine *ep;
5      char buffer[BUFSIZE+1], mlab_command[50];
6      int mlab_i, mlab_j;
7      double *mlab_temp2, *mlab_temp3;
8      mxArray *mlab_result2 = NULL, *mlab_matriceS8x8 = NULL;
9      ...
10     buffer[BUFSIZE] = '\0';
11     engOutputBuffer(ep, buffer, BUFSIZE);
12     ...
13     mlab_matriceS8x8 = mxCreateDoubleMatrix(8, 8, mxCOMPLEX);
14     engPutVariable(ep, "matriceS8x8", mlab_matriceS8x8);
15     engEvalString(ep, "simulation");
16     sprintf(mlab_command, "lambdadeb = %15.15le ;", lambdadeb); engEvalString(ep, mlab_command);
17     sprintf(mlab_command, "lambdafin = %15.15le ;", lambdafin); engEvalString(ep, mlab_command);
18     sprintf(mlab_command, "lambdapas = %15.15le ;", lambdapas); engEvalString(ep, mlab_command);
19     engEvalString(ep, "calculsmatrix");
20     engEvalString(ep, "svgfile1");
21     for (mlab_i=0; mlab_i<nbininterval; mlab_i++) {
22         mlab_j = 0;
23         sprintf(mlab_command, "matriceS8x8 = mat_S_reseau(:, :, %d)", mlab_i+1);
24         engEvalString(ep, mlab_command);
25         mlab_result2 = engGetVariable(ep, "matriceS8x8");
26         mlab_temp2 = mxGetPr(mlab_result2);
27         mlab_temp3 = mxGetPi(mlab_result2);
28         for (n=0; n<dimmat; n++) {
29             for (m=0; m<dimmat; m++) {
30                 matriceScomp1[n][m][mlab_i]=std::complex<double>(
31                     (double)mlab_temp2[mlab_j], (double)mlab_temp3[mlab_j]);
32                 mlab_j=mlab_j+1;
33             }
34         }
35     }
36     ...

```

G.4 La photodiode PIN

TAB. G.4 – Module SystemC de la photodiode PIN

```
1  SC_MODULE(photodiode) {
2
3      sc_quantity_out Iout;
4      sc_quantity_in powerin;
5      int number; // photodiode number
6
7      void detection();
8
9      SC_CTOR(photodiode) :
10         Iout("Iout"), powerin("powerin")
11     {
12         SC_THREAD(detection);
13         sensitive << powerin.data_written();
14     }
15 };
16
17 void photodiode::detection() {
18
19     double powerin_Copy=0;
20     double Iin=0;
21     double Iout_Copy=0;
22
23     while (1) {
24         powerin_Copy=powerin.read();
25         Iin = responsivity * powerin_Copy;
26         if (Iin > ID) { // bit 1
27             Iout_Copy = Iin;
28             Iout.write((double)Iout_Copy);
29         } else { // bit 0
30             Iout_Copy = ID;
31             Iout.write((double)Iout_Copy);}
32         wait();
33     }
34 }
35 }
```

G.5 L'amplificateur à transimpédance

TAB. G.5 – Module SystemC de l'amplificateur à transimpédance

```

1  SC_MODULE(tia) {
2
3      sc_quantity_in Iin; // Input voltage
4      sc_quantity_out Vout; // Output voltage
5      int number; // tia number
6
7      void amplification_circuit();
8
9      SC_CTOR(tia) :
10         Iin("Iin"), Vout("Vout")
11     {
12         SC_THREAD(amplification_circuit);
13         sensitive << Iin.data_written();
14     }
15 };
16
17 void tia::amplification_circuit() {
18
19     double Iin_Copy;
20     double Vout_Copy;
21
22     //BER calculation
23     MTRand randbit1;
24     MTRand randbit0;
25
26     while (1) {
27         Iin_Copy = Iin.read();
28
29         if (Iin_Copy > Iseuil) {
30             Vout_Copy = Vmax;
31             if (randbit1.randNorm(Iin_Copy, sigmaphotreceiver) < Iseuil) {
32                 Vout_Copy=Vmin;
33             }
34         } else {
35             Vout_Copy = Vmin;
36             if (randbit0.randNorm(Iin_Copy, sigmaphotreceiver) > Iseuil) {
37                 Vout_Copy=Vmax;
38             } }
39
40         Vout.write((double)Vout_Copy);
41         wait();
42     }
43 }

```

G.6 Le Comparateur

TAB. G.6 – Module SystemC du comparateur

```

1  SC_MODULE(comparator) {
2
3      sc_quantity_in Vin; // input voltage
4      sc_fifo_out < sc_logic > out; // output logic
5      sc_fifo_out < sc_logic > out_pow; // output logic
6      sc_out < sc_logic > out_trace; // TRACE out select
7      int number; // comparator number
8
9      void comparator_circuit();
10
11     SC_CTOR(comparator) :
12         Vin("Vin"), out("out"), out_pow("out_pow"), out_trace("out_trace")
13     {
14         SC_THREAD(comparator_circuit);
15         sensitive << Vin.data_written();
16     }
17 };
18
19 void comparator::comparator_circuit() {
20
21     double Vin_Copy;
22     sc_logic out_Copy;
23     double tsim; // simulation time
24     char filename[70]; // file name
25     FILE* out_file;
26
27     while (1) {
28         sprintf(filename, "numeric_out%d.dat", number);
29         out_file = fopen(filename, "a+");
30
31         Vin_Copy = Vin.read();
32
33         if (Vin_Copy > Vref) {
34             out_Copy = sc_logic(1);
35         } else {
36             out_Copy = sc_logic(0);
37         }
38
39         out.write((sc_logic)out_Copy);
40         out_pow.write((sc_logic)out_Copy);
41
42         out_trace.write((sc_logic)out_Copy);
43
44         tsim = sc_simulation_time();
45         fprintf(out_file, "%d \n", out_Copy.to_bool()); // write in the save file
46         fclose(out_file);
47
48         wait();
49     }
50 }

```

Annexe H

Résultat de simulations numériques SystemC

H.1 λ -routeur 2×2

H.1.1 L'initiateur *I1* communique avec la cible *C1* et *C2*

La figure H.1(a) présente les résultats d'une simulation numérique, si l'initiateur *I1* communique avec la cible *C1*. La longueur d'onde d'émission du VCSEL sélectionnée par le système correspond bien à la longueur d'onde de résonance du microdisque (c'est-à-dire $1,54625 \mu\text{m}$ car $select_I1 = 1$). Sur la figure H.1(a) une partie de la table de vérité 13.3 se retrouve. En effet, le signal émis par l'initiateur *I1* (signal out_vci_I1) se retrouve bien identique à celui de l'entrée de la cible *C1* (signal in_vci_C1).

Pour vérifier une autre partie de la table de vérité 13.3, une simulation analogue est réalisée : l'initiateur *I1* communique avec la cible *C2*. Cette fois la longueur d'onde choisie par le système est telle que $select_I1 = 2$ (c'est-à-dire $\lambda = 1,55 \mu\text{m}$). Les résultats de simulation sont présentés sur la figure H.1(b) : le signal émis par l'initiateur *I1* (signal out_vci_I1) se retrouve bien identique à celui de l'entrée de la cible *C2* (signal in_vci_C2) ce qui vérifie en partie la table de vérité 13.3.

Le même type de résultat est obtenu si l'initiateur *I2* communique avec la cible *C1* et *C2*.

H.1.2 L'initiateur *I1* communique avec la cible *C1* puis avec la cible *C2*

Lors de ce *testbench*, l'initiateur *I1* change de cible pendant la simulation. Il communique dans un premier temps avec la cible *C1* puis dans un deuxième temps avec la cible *C2*. Pour réaliser cette opération il est nécessaire que le système change la valeur du signal $select_I1$ pendant la simulation (de 1 à 2).

La figure H.2 présente les résultats de simulation de ce *testbench*. Vers le milieu de la simulation le signal $select_I1$ passe bien de la valeur 1 à 2. Grâce à cette simulation, il est possible de vérifier la fonctionnalité d'un système sur puce possédant deux initiateurs et deux cibles.

Le même type de simulation peut être réalisé avec l'initiateur *I2* qui communique avec la cible *C1* puis avec la cible *C2*. Ceci implique que le système doit changer la valeur du signal $select_I2$ de 2 à 1.

À la suite de ces simples vérifications qui confirment la table de vérité 13.3, l'utilisation du WDM doit être vérifiée.

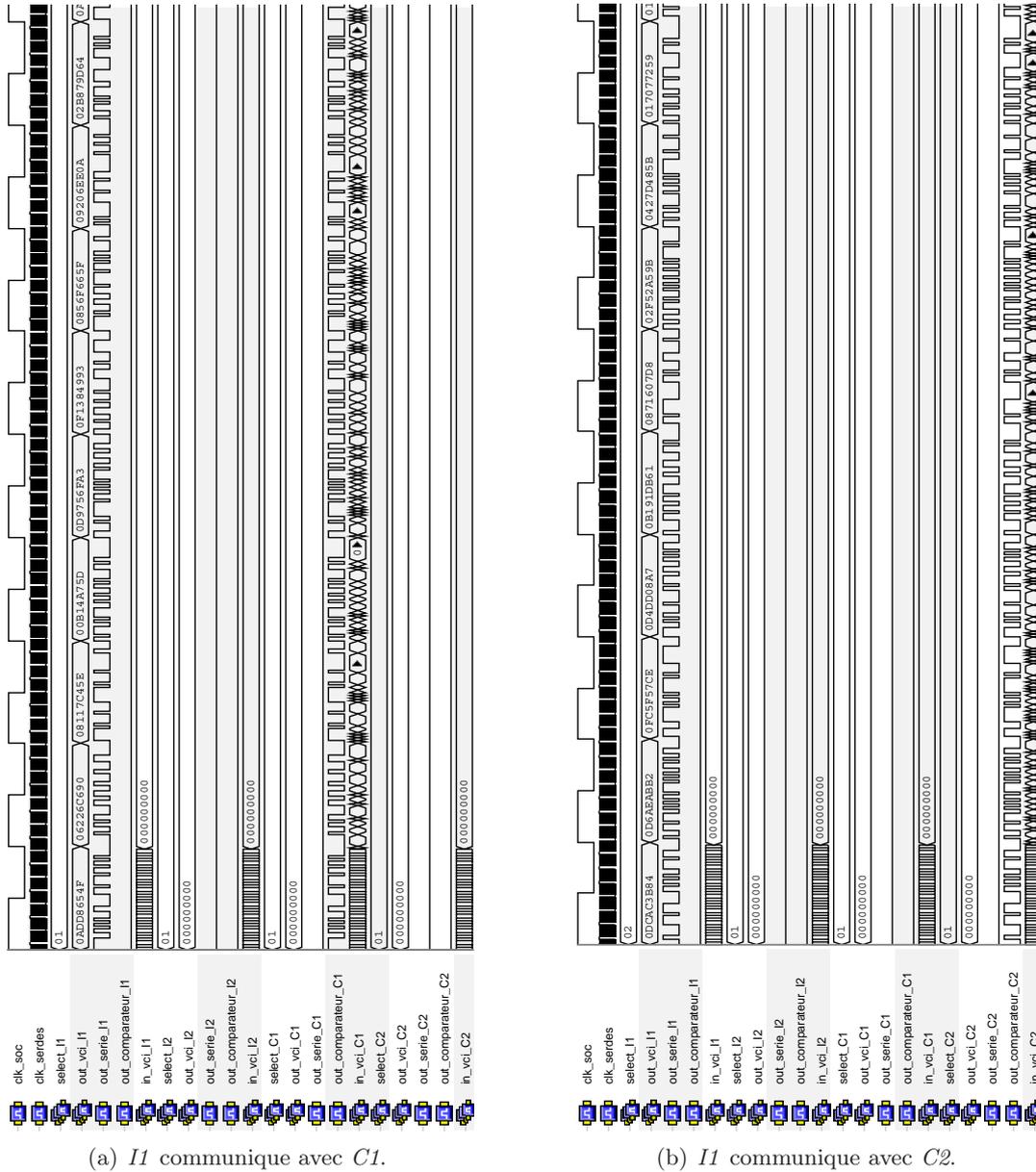


FIG. H.1 – Signaux numériques d’un ONoC avec un *add-drop* comme λ -routeur ; *I1* communique avec *C1* et *C2*.

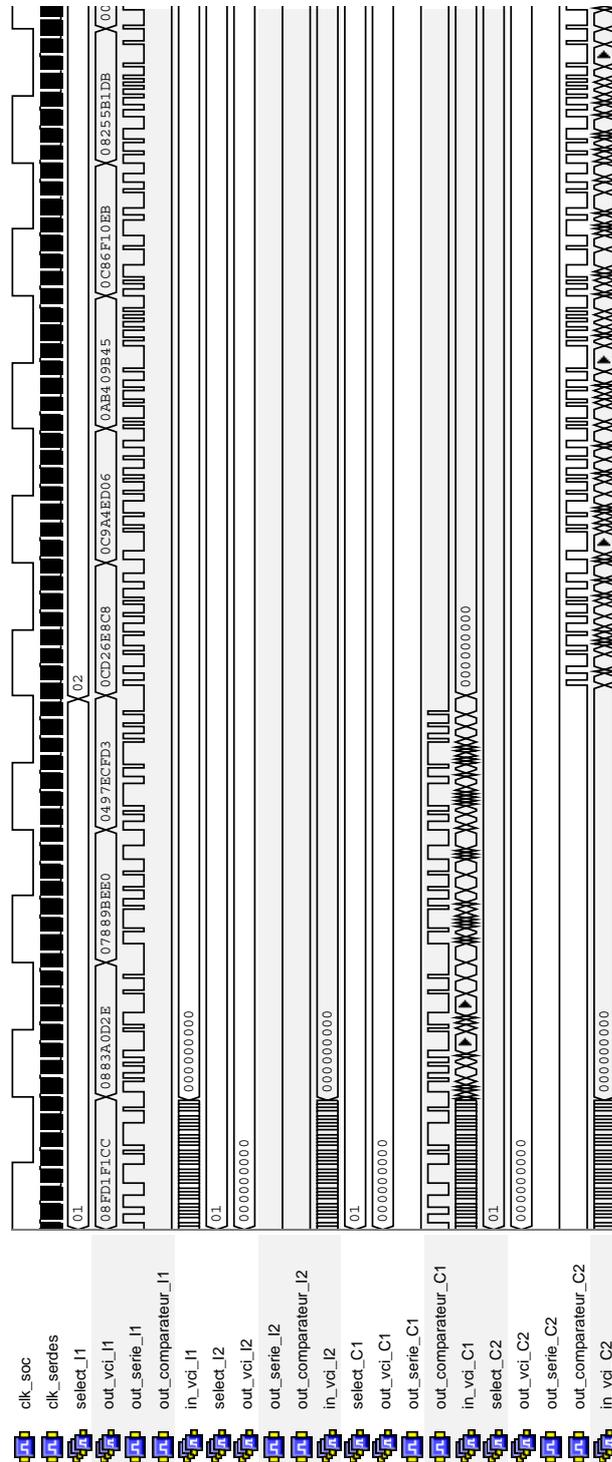


FIG. H.2 – Signaux numériques d'un ONoC avec un *add-drop* comme λ -routeur ; *I1* communique avec *C1* puis avec *C2*.

H.1.3 L'initiateur *I1* communique avec la cible *C2* et la cible *C1* avec l'initiateur *I2*

Dans ce *testbench*, l'initiateur *I1* communique avec la cible *C2*, et la cible *C1* communique avec l'initiateur *I1*. Les résultats de cette simulation numérique sont présentés sur la figure H.3(a). Comme le prédit la table de vérité 13.3, les signaux numériques *out_vci_I1* sont équivalents aux signaux *in_vci_C2*, ainsi que les signaux *out_vci_C1* équivalents aux signaux *in_vci_I2*. En effet, le signal *select_I1* est à 2 et le signal *select_C1* est à 2, donc les signaux sont routés sur les bonnes sorties du réseau.

Les résultats d'une telle simulation permettent de vérifier l'utilisation du WDM dans le λ -routeur sans qu'il y ait d'interférences optiques.

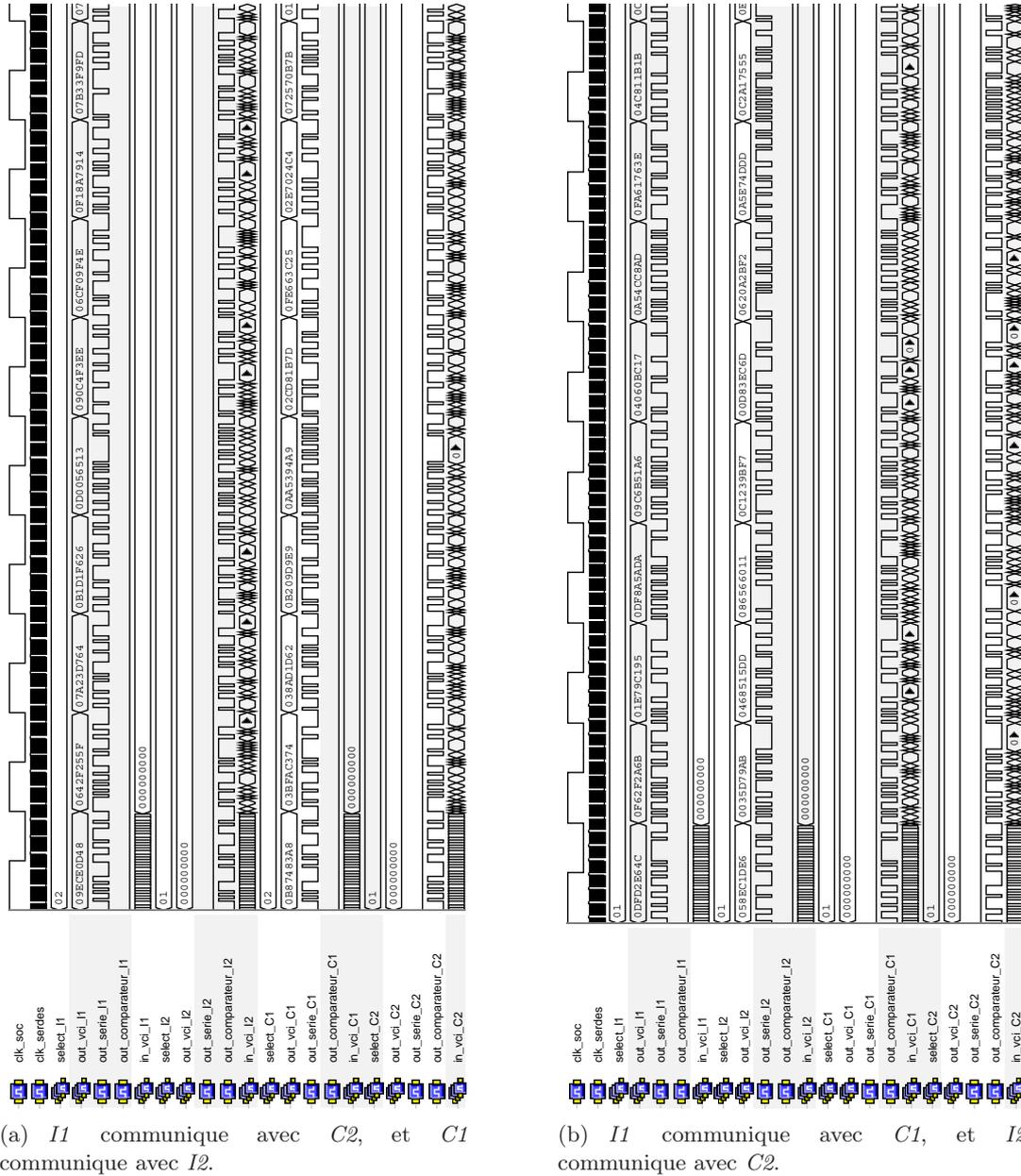


FIG. H.3 – Signaux numériques d'un ONoC avec un *add-drop* comme λ -routeur ; $I1$ communique avec $C2$ et $C1$ communique avec $I2$.

H.2 λ -routeur 4×4

Le tableau H.1 présente un *testbench* possible appliqué à l'ONoC 4×4 . Chaque ligne donne une instruction d'accès au réseau pour les initiateurs et/ou les cibles.

TAB. H.1 – Différents *testbenchs* appliqués à l'ONoC 4×4 .

	In_{I1}	In_{C1}	In_{I2}	In_{C2}	In_{I3}	In_{C3}	In_{I4}	In_{C4}
<i>testbench1</i>	On λ_4	Off						
<i>testbench2</i>	Off	On λ_4	Off	Off	Off	Off	Off	Off
<i>testbench3</i>	Off	Off	On λ_2	Off	Off	Off	Off	Off
<i>testbench4</i>	Off	Off	Off	On λ_2	Off	Off	Off	Off
<i>testbench5</i>	Off	Off	Off	Off	On λ_2	Off	Off	Off
<i>testbench6</i>	Off	Off	Off	Off	Off	On λ_2	Off	Off
<i>testbench7</i>	Off	Off	On	Off	Off	Off	On λ_4	Off
<i>testbench8</i>	Off	On λ_4						
<i>testbench9</i>	On λ_1	Off						
<i>testbench10</i>	Off	On λ_1	Off	Off	Off	Off	Off	Off
<i>testbench11</i>	Off	Off	On λ_1	Off	Off	Off	Off	Off
<i>testbench12</i>	Off	Off	Off	On λ_1	Off	Off	Off	Off
<i>testbench13</i>	Off	Off	Off	Off	On λ_1	Off	Off	Off
<i>testbench14</i>	Off	Off	Off	Off	Off	On λ_1	Off	Off
<i>testbench15</i>	Off	Off	On	Off	Off	Off	On λ_1	Off
<i>testbench16</i>	Off	On λ_1						
<i>testbench17</i>	On λ_2	Off						
<i>testbench18</i>	Off	On λ_2	Off	Off	Off	Off	Off	Off
<i>testbench19</i>	Off	Off	Off	Off	Off	Off	On λ_2	Off
<i>testbench20</i>	Off	On λ_2						
<i>testbench21</i>	On λ_3	Off						
<i>testbench22</i>	Off	On λ_3	Off	Off	Off	Off	Off	Off
<i>testbench23</i>	Off	Off	On λ_3	Off	Off	Off	Off	Off
<i>testbench24</i>	Off	Off	Off	On λ_3	Off	Off	Off	Off
<i>testbench25</i>	Off	Off	Off	Off	On λ_3	Off	Off	Off
<i>testbench26</i>	Off	Off	Off	Off	Off	On λ_3	Off	Off
<i>testbench27</i>	Off	Off	On	Off	Off	Off	On λ_3	Off
<i>testbench28</i>	Off	On λ_3						
<i>testbench29</i>	Off	Off	On λ_4	Off	Off	Off	Off	Off
<i>testbench30</i>	Off	Off	Off	On λ_4	Off	Off	Off	Off
<i>testbench31</i>	Off	Off	Off	Off	On λ_4	Off	Off	Off
<i>testbench32</i>	Off	Off	Off	Off	Off	On λ_4	Off	Off
<i>testbench33</i>	On λ_2	On λ_2	On λ_4	On λ_4	On λ_4	On λ_4	On λ_2	On λ_2
<i>testbench34</i>	On λ_1							
<i>testbench35</i>	On λ_2							
<i>testbench36</i>	On λ_3	On λ_3	On λ_3	On λ_3	On λ_4	On λ_3	On λ_3	On λ_3
<i>testbench37</i>	On λ_4							

AUTORISATION DE SOUTENANCE

Vu les dispositions de l'arrêté du 25 avril 2002,

Vu la demande du Directeur de Thèse

Monsieur F. GAFFIOT

et les rapports de

Monsieur P. GARDA
Professeur des Universités - Université Pierre et Marie Curie - LISIF -SYEL - B.C. 252 - 3, rue Galilée -
94200 Ivry-sur-Seine

et de

Monsieur L. TORRES
Professeur des Universités - LIRMM Université Montpellier II - UMR 5506 - 161, rue Ada - 34392
MONTPELLIER cedex 5

Monsieur BRIERE Matthieu

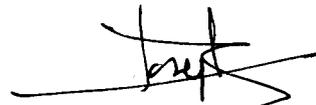
est autorisé à soutenir une thèse pour l'obtention du grade de **DOCTEUR**

Ecole doctorale ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE (EEA)

Fait à Ecully, le 28 novembre 2005



P/Le Directeur de l'E.C.L.
Le Directeur des Etudes


J. JOSEPH

