

ÉCOLE CENTRALE DE LYON

THÈSE

Présentée publiquement pour l'obtention du grade de :

DOCTEUR DE L'ÉCOLE CENTRALE DE LYON

Discipline : Dispositifs de l'Électronique Intégrée

Spécialité : EEA

Par :

Loïc BECERRA

Hétérostructures et Dispositifs Microélectroniques à Base d'Oxydes High- κ Préparés sur Silicium par EJM

Directeur de thèse :

Guy HOLLINGER

Thèse préparée au sein de l'INL – Ecole Centrale de Lyon

Soutenue le 17 décembre 2008 devant la commission d'examen :

M. Daniel BENSANEL	Docteur, STMicroelectronics, Crolles	Examineur
Mme. Catherine DUBOURDIEU	D.R., LMGP-CNRS, Grenoble	Rapporteur
M. Didier GOGUENHEIM	Enseignant-Chercheur, IM2NP, Toulon	Rapporteur
M. Guy HOLLINGER	D.R., INL-CNRS, Ecully	Directeur de thèse
Mme. Mireille MOUIS	D.R., IMEP-CNRS, Grenoble	Président du jury
Mme. Carole PLOSSU	Professeur, INL-INSA, Lyon	Examineur



ECOLE CENTRALE DE LYON
DIRECTION DE LA RECHERCHE

Liste des personnes Habilitées à Diriger des Recherches en poste à l'Ecole Centrale de Lyon

Nom-Prénom	Corps grade	Laboratoire ou à défaut département ECL	Etablissement
AURIOL Philippe	professeur	AMPERE	ECL
BEROUAL Abderrahmane	professeur	AMPERE	ECL
BURET François	maître de conférences	AMPERE	ECL
JAFFREZIC-RENAULT Nicole	directeur de recherche	AMPERE	CNRS/ECL
KRÄHENBÜHL Laurent	directeur de recherche	AMPERE	CNRS/ECL
MARTELET Claude	professeur	AMPERE	ECL
NICOLAS Alain	professeur	AMPERE	ECL
NICOLAS Laurent	directeur de recherche	AMPERE	CNRS/ECL
SIMONET Pascal	chargé de recherche	AMPERE	CNRS/ECL
THOMAS Gérard	professeur	AMPERE	ECL
VOLLAIRE Christian	maître de conférences	AMPERE	ECL

Nbre Ampère 11

HELLOUIN Yves	maître de conférences	DER EEA	ECL
LE HELLEY Michel	professeur	DER EEA	ECL

Nbre DER EEA 2

GUIRALDENQ Pierre	professeur émérite	DER STMS	ECL
VINCENT Léo	professeur	DER STMS	ECL

Nbre DER STMS 2

LOHEAC Jean-Pierre	maître de conférences	ICJ	ECL
MAITRE Jean-François	professeur émérite	ICJ	ECL
MARION Martine	professeur	ICJ	ECL
MOUSSAOUI Mohand	professeur	ICJ	ECL
MUSY François	maître de conférences	ICJ	ECL
ROUY MIRONESCU Elisabeth	professeur	ICJ	ECL
ZINE Abdel-Malek	maître de conférences	ICJ	ECL

Nbre ICJ 7

DAVID Bertrand	professeur	ICTT	ECL
----------------	------------	------	-----

Nbre ICTT 1

CALLARD Anne-Ségolène	maître de conférences	INL	ECL
CLOAREC Jean-Pierre	maître de conférences	INL	ECL
GAFFIOT Frédéric	professeur	INL	ECL
GAGNAIRE Alain	maître de conférences	INL	ECL
GARRIGUES Michel	directeur de recherche	INL	CNRS/ECL
GENDRY Michel	directeur de recherche	INL	CNRS/ECL

<i>GRENET Geneviève</i>	<i>directeur de recherche</i>	INL	CNRS/ECL
<i>HOLLINGER Guy</i>	<i>directeur de recherche</i>	INL	CNRS/ECL
<i>JOSEPH Jacques</i>	<i>professeur</i>	INL	ECL
<i>KRAWCZYK Stanislas</i>	<i>directeur de recherche</i>	INL	CNRS/ECL
<i>LETARTRE Xavier</i>	<i>chargé de recherche</i>	INL	CNRS/ECL
<i>MARTIN Jean-René</i>	<i>professeur émérite</i>	INL	ECL
<i>O'CONNOR Ian</i>	<i>maître de conférences</i>	INL	ECL
<i>PHANER-GOUTORBE Magali</i>	<i>professeur</i>	INL	ECL
<i>ROBACH Yves</i>	<i>professeur</i>	INL	ECL
<i>SEASSAL Christian</i>	<i>chargé de recherche</i>	INL	CNRS/ECL
<i>SOUTEYRAND Eliane</i>	<i>directeur de recherche</i>	INL	CNRS/ECL
<i>TARDY Jacques</i>	<i>directeur de recherche</i>	INL	CNRS/ECL
<i>VIKTOROVITCH Pierre</i>	<i>directeur de recherche</i>	INL	CNRS/ECL

Nbre INL 19

<i>CHEN Liming</i>	<i>professeur</i>	LIRIS	ECL
--------------------	-------------------	-------	-----

Nbre LIRIS 1

<i>BAILLY Christophe</i>	<i>professeur</i>	LMFA	ECL
<i>BERTOGLIO Jean-Pierre</i>	<i>directeur de recherche</i>	LMFA	CNRS/ECL
<i>BLANC-BENON Philippe</i>	<i>directeur de recherche</i>	LMFA	CNRS/ECL
<i>BOGEY Christophe</i>	<i>chargé de recherche</i>	LMFA	CNRS/ECL
<i>CAMBON Claude</i>	<i>directeur de recherche</i>	LMFA	CNRS/ECL
<i>CARRIERE Philippe</i>	<i>chargé de recherche</i>	LMFA	CNRS/ECL
<i>CHAMPOUSSIN J-Claude</i>	<i>professeur émérite</i>	LMFA	ECL
<i>COMTE-BELLOT genevièvre</i>	<i>professeur émérite</i>	LMFA	ECL
<i>FERRAND Pascal</i>	<i>directeur de recherche</i>	LMFA	CNRS/ECL
<i>GALLAND Marie-Annick</i>	<i>maître de conférences</i>	LMFA	ECL
<i>GODEFERD Fabien</i>	<i>chargé de recherche</i>	LMFA	CNRS/ECL
<i>HENRY Daniel</i>	<i>directeur de recherche</i>	LMFA	CNRS/ECL
<i>JEANDEL Denis</i>	<i>professeur</i>	LMFA	ECL
<i>JUVE Daniel</i>	<i>professeur</i>	LMFA	ECL
<i>LE RIBAUT Catherine</i>	<i>chargée de recherche</i>	LMFA	CNRS/ECL
<i>LEBOEUF Francis</i>	<i>professeur</i>	LMFA	ECL
<i>PERKINS Richard</i>	<i>professeur</i>	LMFA	ECL
<i>ROGER Michel</i>	<i>professeur</i>	LMFA	ECL
<i>SCOTT Julian</i>	<i>professeur</i>	LMFA	ECL
<i>SHAO Liang</i>	<i>chargé de recherche</i>	LMFA	CNRS/ECL
<i>SIMOENS Serge</i>	<i>chargé de recherche</i>	LMFA	CNRS/ECL
<i>TREBINJAC Isabelle</i>	<i>maître de conférences</i>	LMFA	ECL

Nbre LMFA 22

<i>BENAYOUN Stéphane</i>	<i>professeur</i>	LTDS	ECL
<i>CAMBOU Bernard</i>	<i>professeur</i>	LTDS	ECL
<i>COQUILLET Bernard</i>	<i>maître de conférences</i>	LTDS	ECL
<i>DANESCU Alexandre</i>	<i>maître de conférences</i>	LTDS	ECL
<i>FOUVRY Siegfried</i>	<i>chargé de recherche</i>	LTDS	CNRS/ECL
<i>GEORGES Jean-Marie</i>	<i>professeur émérite</i>	LTDS	ECL
<i>GUERRET Chrystelle</i>	<i>chargé de recherche</i>	LTDS	CNRS/ECL
<i>HERTZ Dominique</i>	<i>past</i>	LTDS	ECL
<i>ICHCHOU Mohamed</i>	<i>maître de conférences</i>	LTDS	ECL

<i>JEZEQUEL Louis</i>	<i>professeur</i>	LTDS	ECL
<i>JUVE Denyse</i>	<i>ingénieur de recherche</i>	LTDS	ECL
<i>KAPSA Philippe</i>	<i>directeur de recherche</i>	LTDS	CNRS/ECL
<i>LE BOT Alain</i>	<i>chargé de recherche</i>	LTDS	CNRS/ECL
<i>LOUBET Jean-Luc</i>	<i>directeur de recherche</i>	LTDS	CNRS/ECL
<i>MARTIN Jean-Michel</i>	<i>professeur</i>	LTDS	ECL
<i>MATHIA Thomas</i>	<i>directeur de recherche</i>	LTDS	CNRS/ECL
<i>MAZUYER Denis</i>	<i>professeur</i>	LTDS	ECL
<i>PERRET-LIAUDET Joël</i>	<i>maître de conférences</i>	LTDS	ECL
<i>SALVIA Michelle</i>	<i>maître de conférences</i>	LTDS	ECL
<i>SIDOROFF François</i>	<i>professeur</i>	LTDS	ECL
<i>SINOUE Jean-Jacques</i>	<i>maître de conférences</i>	LTDS	ECL
<i>STREMSDOERFER Guy</i>	<i>professeur</i>	LTDS	ECL
<i>THOUVEREZ Fabrice</i>	<i>professeur</i>	LTDS	ECL
<i>TREHEUX Daniel</i>	<i>professeur</i>	LTDS	ECL
<i>VANNES André-Bernard</i>	<i>professeur émérite</i>	LTDS	ECL

Nbre LTDS 25

Total HdR ECL

90

à ma famille...

Règle de Murphy :

De nouveaux systèmes génèrent de nouveaux problèmes.

Règle de Loïc :

De nouveaux systèmes génèrent une thèse !!!

REMERCIEMENTS

Ça y est, le moment est arrivé... cet instant à la fois tant espéré et tant redouté ces derniers mois, cet instant qui marque la fin d'un cycle mais aussi le début d'un autre, la dernière pierre de l'édifice avant de partir vers d'autres horizons... Comme le disait les Doors : « This is the end, Beautiful friend, This is the end ». Mais comme le chantait Jeane Manson (ma culture est sans limite !) : « Ce n'est qu'un au revoir, Pas un adieu ». Hey oui, voici l'heure des remerciements, les dernières pages à gratter pour boucler ce manuscrit !

Tout d'abord, j'aimerais exprimer ma profonde reconnaissance envers Guy Hollinger, directeur du feu LEOM et de l'INL, qui a su m'accorder sa confiance pour mener à bien ce projet de thèse. Ce doctorat, réalisé sous un contrat BDI CNRS/STMicroelectronics, n'aurait également pu avoir lieu sans l'accord de Daniel Bensahel.

Je remercie Guy Hollinger, Holl pour les intimes, de tous les précieux conseils qu'il a su me prodiguer durant ces trois ans de travail. Malgré les difficultés rencontrées (ambitieux les RTD sur Si tout de même !), il a toujours été présent pour me donner des conseils scientifiques et stratégiques, m'orienter dans mes démarches et m'encourager. Tout en me laissant très autonome, passionné de sciences (sans oublier le tennis et les topinambours !!) et acharné de travail (monstre?, diront certains), il m'a transmis son engouement pour la recherche.

Je remercie les membres de mon jury de thèse d'avoir pris part à ma soutenance et tout particulièrement Catherine Dubourdieu et Didier Goguenheim qui ont accepté d'être mes deux rapporteurs de thèse. Les discussions que j'ai eues avec eux m'ont permis de valider la version définitive de mon mémoire de thèse.

Début 2007, j'ai eu le privilège d'assister à la création de l'INL (à laquelle je souhaite longue vie), suite au regroupement des trois laboratoires dans lesquels j'ai effectué mes travaux de thèse : le LEOM (ECL) pour les croissances MBE, les caractérisations physico-chimiques et les divers process salle blanche, le LPM (INSA) pour les mesures électriques et

Remerciements

l'AFM, et le LENAC (UCBL) pour la préparation des échantillons destinés à l'imagerie TEM. J'en profite pour remercier tous les membres de l'INL que j'ai été amené à rencontrer.

Tout d'abord, commençons par l'équipe hétéroépitaxie et nanostructures, équipe dans laquelle j'ai passé la majeure partie de mon temps. Merci aux permanents : Michel, fan de foot et de 51 (la vie quoi !), Evelyne, Philippe, le monsieur sécurité du labo, Guillaume, Hervé et Bertrand, les trois dernières recrues (millésimes 2006-2007), Geneviève et Yves, les exilés du rez-de-chaussée, sans oublier les deux accros du medal digestif et accessoirement rois de la bricole, JB et Claudius (merci pour le génépi cuvée 2008 !).

Un grand merci aussi à tous mes congénères thésards du RDC : Artur, le papa polonais du bureau, Clément, dealer d'échantillons et star de la MBE qui m'a initié à son art, Mario, the Lebanon XPS master et charmeur invétéré, Magnus, le tranquille franco-québécois coloc d'un temps, Moïra, la touch féminine arrivée dans l'équipe en même temps que moi, Khalid, notre expert marocain en nanofils, Jun et Gang (Georges en français !), nos deux chinois à l'éternel sourire, le "phlegmatic" Nicholas, et Gabriel, dit Cazimir, ce gentil grognon, collectionneur (entre autres...) de pelles à clous et reconverti en mangeur de crêpes et kouign amann rennais. Je souhaite aussi bon courage à Ahiram (le nouveau Mario du labo !) et à Sylvain, mon successeur sur la longue route des oxydes high-κ.

Le tour du propriétaire serait incomplet sans citer le quintet magique, virtuose du secrétariat, Nicole, Rozenn, Patricia, Martine et Bernard, David, fidèle compagnon de safaris à Carrefour (Wii !), Karim (quand tu veux pour le Vélodrome et le Sénégal !), le néo-Australien Romain, Nicolas STman, John de ouf, Mohsen, Julien, Fred, Lydie caliméro, Fabien (Gates?), Gaëlle, la diva Patrick, Junchen, Ian, Ounsi, Aziz, Raphaël, Laurent, le retraité Dudu, Brice, Ludovic parti à Nantes, Pedro, Jean-Louis, Pierre et Radek, le couple infernal de la salle blanche.

Viennent ensuite les habitants des hauteurs de l'INL, sous les toits, ceux du 6^{ème} étage de l'INSA : Carole (membre à part entière du gang du LCA), Nicolas et Liviu, mes trois formateurs en caractérisation électrique, Alain, spécialiste en simulations, David avec sa célèbre pointe AFM, Andreï, le mister salle blanche de l'INSA, Brice, Francis et Kader.

Je remercie également tous les collègues thésards que j'ai pu rencontrer lors de mes virées à l'INSA : Théo, préposé officiel aux apéros, notre délégué syndical Arnaud, Lino, Anne-Sophie, Guillaume, Abdelkrim, Octavian, Emanuela et Andrea, ainsi que Maud et Charlène, les deux étudiantes PFE avec qui j'ai eu l'occasion de travailler. J'en profite pour glisser un

merci à Frédérique Ducroquet, l'électron libre Lyon-Grenoble, pour les conseils et l'aide qu'elle m'a apporté sur les transistors et l'alumine, ainsi qu'à Ludovic et Gilles du LPN.

Reste à remercier Olivier Marty et Junya, de l'INL-UCBL, pour m'avoir fait découvrir les joies de l'amincissement TEM (l'amincisseur ionique va me manquer... ; pour les connaisseurs, record à battre = 6min, sacs disponibles et autorisés).

Un travail efficace en équipe ne pourrait avoir lieu sans des moments de détente privilégiés. À ce titre, les prix de meilleurs organisateurs de pots et de barbecues, ainsi que de la football dream team of the Ecole Centrale of Lyon (à laquelle j'aurai tout de même offert un de mes genoux...), nous reviennent aisément !!

Autre source de motivations inépuisables, les soirées, week-ends et vacances avec les amis. Dédicace aux "Castors[®]" orléanais, autrement dit Jos, Denez, Eric, Bick, Rémi, Dorian, Laurent et Julien. Merci aussi aux binômes lyonnais, d'origine ou d'adoption : Christophe et Benoît, deux de mes compagnons d'infortune (promo thésards 2005-2008), toujours prêts pour une "p'tite" expédition, surtout le jeudi soir, et qui m'ont valu des vendredis très longs et peu inspirés, les futurs mariés Claire et Mikaël (encore un des rares mais recherchés survivants du master Nano), les jeunes parents Damien et Cathy, Nadia et Myriam les sympathiques et charmantes catherinettes. Je remercie également le couple Paolo-Astrid. Paolo (lui aussi docteur issu de l'INL) : que de chemin parcouru et d'aventures vécues depuis notre entrée à la fac d'Orléans! Astrid, qui a eu le "courage" de lire ce manuscrit sans en comprendre un traître mot. Tu pourras te rattraper sur ces quelques pages de remerciements qui devraient être à ta portée (pic, pic)! Et je ne saurais omettre ma copine, Valéria, qui a su m'apporter le brin de soleil brésilien qui me manquait, ainsi que son appui au quotidien.

Enfin, je ne pourrais clore cette thèse sans remercier mes parents, Raphaël et Dominique, ainsi que mon frère Cyril, qui m'ont toujours soutenu et permis de réaliser ce long parcours. Plus généralement, je tiens à associer l'ensemble de ma famille à la réussite de ce doctorat.

Au cas où j'aurais oublié quelqu'un, encore MERCI à toutes et à tous pour ces 3 années !!!

(Ça y est, je suis docteur !!!!!)

CONSTANTES PHYSIQUES ET PRINCIPALES ABRÉVIATIONS UTILISÉES

°C	Degré Celsius
°K	Degré Kelvin
AFM	Microscopie à Force Atomique
Al ₂ O ₃	Alumine
ALD	Atomic Layer Deposition
Au	Or
CaF ₂	Fluorure de Calcium
CET	Capacitance Equivalent Thickness, CET > EOT du fait de corrections quantiques
CMOS	Complementary Metal Oxide Semiconductor
C _{ox}	Capacité de la couche isolante d'une capacité MOS ou d'un MOSFET
C-V	Tracé de la capacité d'une structure en fonction de la polarisation à ses bornes
Dit	Densité de défauts d'interface (s'exprime en eV ⁻¹ ·cm ⁻²)
e, q	Charge élémentaire (= [-]1,60219 × 10 ⁻¹⁹ C)
ECR	Electron Cyclotron Resonance
EJM	Epitaxie par Jets Moléculaires (= MBE)
EOT	Equivalent Oxide Thickness, épaisseur de SiO ₂ équivalente d'un point de vue capacitif à une couche isolante composée d'un autre matériau
eV	Electron Volt
gate-last	En opposition au procédé de fabrication classique dit "haute température", le diélectrique et la grille du MOSFET sont déposés à la fin du processus, une fois toutes les étapes à hautes températures franchies
Gd ₂ O ₃	Oxyde de Gadolinium
G	Conductance (= 1/R)
Ge	Germanium
GeOI	Germanium On Insulator, Germanium sur Isolant
ħ	Constante de Planck réduite (= h / 2π = 1,054590 × 10 ⁻³⁴ J·s)

HF	Acide Fluorhydrique
HfO ₂	Oxyde d'Hafnium
High-k	Matériau à forte constante diélectrique
III-V	Ensemble des matériaux formés des éléments des colonnes III et V du tableau périodique (InP, InGaAs, ...)
INL	Institut des Nanotechnologies de Lyon
ITRS	International Technology Roadmap for Semiconductors
I-V	Courbe représentant les courants de fuite en fonction de la tension appliquée
J _{pic / vallée}	Densité de courant pic / vallée
J-V	Densité de courant en fonction de la polarisation
LaAlO ₃ (LAO)	Aluminate de Lanthane
m*	Masse effective
MBE	Molecular Beam Epitaxy (= EJM)
MOBILE	MONostable-BIstable transition Logic Element
MOCVD	Metal Organic Chemical Vapour Deposition
MOS	Metal Oxide Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
NDR	Résistance Différentielle Négative
NH ₄ F	Fluorure d'Ammonium, acide
Ni	Nickel
PDA	Post Deposition Annealing, recuit post-dépôt
PLD	Pulsed Laser Deposition
PVCR	Rapport Courant de Pic sur Courant de Vallée d'une RTD
Q _{ox}	Quantité de charges contenues dans les diélectriques
RBS	Rutherford Back Scattering, analyse par rétrodiffusion d'ions
RHEED	Reflexion High Energy Electron Diffraction
RITD	Diode Tunnel Résonante Interbandes
RMS	Rugosité Moyenne Surfactive fournie par une analyse topographique AFM
RTA	Rapid Thermal Annealing (recuit thermique rapide)
RTD	Diode Tunnel Résonante
Si	Silicium
SIMOX	Separation by IMplanted OXYgen (alternative au SOI)
SIMS	Secondary Ion Mass Spectroscopy

SiO ₂	Silice, dioxyde de silicium
SOI	Silicon On Insulator, Silicium sur Isolant
SRAM	Static Random Access Memory
SrTiO ₃ (STO)	Titanate de Strontium
TCV-TIV	Programmes permettant de simuler et ajuster des courbes C-V et I-V (développés par A. Poncet et al. à l'INL)
TEM	Microscopie Electronique en Transmission
V/U/I _{pic} / vallée	Tensions / Courant de pic / vallée
V _{FB}	Tension de bandes plates
V _g	Tension imposée sur la grille d'une capacité MOS
XPS	Spectroscopie de Photoélectrons X
ε ₀	Permittivité du vide (= 8,854 × 10 ⁻¹² F/m)
κ	Permittivité relative, constante diélectrique
Φ _B	Hauteur de barrière, offset de bandes
ω	Pulsation de mesure (= 2πf, avec f la fréquence de mesure)

SOMMAIRE

INTRODUCTION GÉNÉRALE	1
------------------------------------	----------

CHAPITRE I : Propriétés et Intérêts des Oxydes à Forte Constante Diélectrique pour la Technologie CMOS	5
---	----------

I.1) Evolution actuelle de l'industrie microélectronique	7
I.1.1) Le règne du silicium	7
I.1.2) Le transistor à effet de champ MOSFET	8
I.1.2.1) Présentation et principe de fonctionnement	8
I.1.2.2) "Downscaling" et conséquences	10
I.1.3) Diversification des matériaux utilisés et évolutions futures de la microélectronique	12
I.2) Les oxydes "high-κ"	14
I.2.1) Intérêts des oxydes high-κ pour le CMOS ultime	14
I.2.2) Quel(s) oxyde(s) choisir ?	16
I.2.2.1) Critères nécessaires à l'intégration	16
I.2.2.2) Importance de l'interface oxyde / silicium	19
I.2.2.3) Nécessité d'une grille métallique	20
I.3) Etat de l'art international sur les oxydes high-κ	20
I.3.1) Sur Si : oxydes épitaxiés Vs oxydes amorphes	20
I.3.2) Sur III-V et Ge	22
I.3.2.1) Intérêt de modifier la nature du canal	22
I.3.2.2) Recherches actuelles	23
I.4) Etat de l'art des travaux réalisés à l'INL	25
I.4.1) Thématique et vision à long terme	25
I.4.2) Les oxydes maîtrisés	26
I.4.3) Le choix du LaAlO ₃ comme oxyde de grille	26
I.5) Synthèse et motivations de cette thèse	27

CHAPITRE II : Techniques Expérimentales de Fabrication et de Caractérisation des Oxydes High-κ	29
---	-----------

II.1) Introduction	31
II.2) L'épitaxie par jets moléculaires	31
II.2.1) Principe et avantages de l'EJM	31
II.2.2) Suivi in-situ par diffraction RHEED	33
II.2.3) Préparation des surfaces de silicium et observation RHEED	34
II.2.3.1) Si(001)	34

II.2.3.2) Si(111) -----	34
II.2.4) Le réacteur MBE “oxydes” de l’INL-----	35
II.3) Etude de la topographie par microscopie à force atomique-----	36
II.4) Recuits sous atmosphère gazeuse et caractérisation ex-situ par spectroscopie de photoélectrons X -----	38
II.4.1) Four tubulaire -----	38
II.4.2) Recuit post-dépôt RTA -----	39
II.4.3) Analyse de l’interface oxyde/Si par XPS-----	39
II.5) La microscopie électronique en transmission-----	41
II.6) Fabrication des dispositifs MOS et MOSFET en environnement salle blanche -----	41
II.6.1) Capacités MOS -----	42
II.6.1.1) Choix des substrats et des métaux de grille -----	42
II.6.1.2) Fabrication de capacités MOS par “lift-off” -----	44
II.6.2) Le masque TCHE -----	45
II.6.2.1) Le projet transistors TCHE -----	45
II.6.2.2) Procédé d’élaboration-----	46
II.6.2.3) Mesures électriques préliminaires et conclusions-----	48
II.7) Mesures électriques sur les capacités MOS et extraction des paramètres-----	50
II.7.1) Fonctionnement d’une capacité MOS-----	50
II.7.2) Appareillage de mesures C-V et I-V -----	52
II.7.3) Le programme de simulation TCV-TIV -----	53
II.7.3.1) Fonctionnement du simulateur -----	53
II.7.3.2) Influence des différents paramètres -----	54
II.7.4) Détermination de l’EOT à l’aide du programme TCV -----	55
II.7.5) Evaluation de la tension de bandes plates -----	57
II.7.6) Méthode d’extraction de la densité de défauts d’interface -----	58
<u>CHAPITRE III : Évaluation du Système LaAlO₃ / Si-----</u>	61
III.1) Introduction-----	63
III.2) LaAlO₃ : un candidat prometteur -----	63
III.2.1) Caractéristiques de LaAlO ₃ -----	63
III.2.2) Etat de l’art au niveau électrique -----	64
III.2.3) Comparaison avec les autres candidats – Point Fort-----	65
III.3) Croissance de LaAlO₃ par MBE -----	67
III.3.1) Croissance sur substrats oxydes : rappel du savoir-faire INL-----	67
III.3.2) Croissance sur silicium : cristallin ou amorphe ? -----	68
III.3.2.1) Relation d’épitaxie avec le silicium -----	68
III.3.2.2) Choix de la voie amorphe-----	70
III.3.2.3) Impact sur la permittivité et les courants de fuite ?-----	71
III.4) Etude d’échantillons LAO/Si «as-deposited» -----	72
III.4.1) Obtention de faibles EOT-----	72
III.4.1.1) Caractérisations physico-chimiques -----	72
III.4.1.2) Caractérisations électriques-----	74
III.4.1.3) Conclusion-----	76
III.4.2) Courants de fuite et mesures en fréquences-----	77
III.4.3) Hystérésis et charges-----	79
III.5) Influence de recuits post-dépôt -----	81
III.5.1) L’interface : point crucial -----	81

III.5.2) Travaux antérieurs – Bibliographie	82
III.5.3) Recuits post-dépôt et re-croissance à l'interface	85
III.5.3.1) Recuits dans un four tubulaire	85
III.5.3.2) Recuits dans un four RTA	86
III.5.3.3) Discussion	87
III.5.4) Effets sur les propriétés électriques	89
III.6) Problèmes d'inhomogénéité, de reproductibilité.....	90
III.6.1) Disparité des mesures électriques	90
III.6.2) Mesures XPS et AFM	90
III.6.3) Influence de la préparation de surface du silicium.....	92
III.7) Conclusion.....	93
<i>CHAPITRE IV : Apport d'une Couche d'Alumine à l'Interface LaAlO₃ / Si</i>	<i>95</i>
IV.1) Introduction	97
IV.2) Pourquoi introduire une couche d'alumine à l'interface LAO/Si ?.....	97
IV.2.1) Stabilité thermique de l'alumine avec le silicium.....	97
IV.2.2) Propriétés cristallographiques et accord de maille de l'alumine avec le silicium	98
IV.2.3) Propriétés physico-chimiques et électriques de films d'alumine déposés sur silicium : état de l'art	100
IV.2.4) Impact de l'introduction de la couche interfaciale d'Al ₂ O ₃ sur les propriétés électriques : simulations TIV	102
IV.3) Préparation de structures LaAlO₃ amorphe / Al₂O₃ épi / Si(001)	103
IV.3.1) Formation d'une couche d'Al ₂ O ₃ pseudomorphique par MBE.....	104
IV.3.2) Reprise de LaAlO ₃ sur γ -Al ₂ O ₃ / Si(001)	106
IV.4) Stabilité thermique de structures LaAlO₃ / γ-Al₂O₃ / Si(001)	108
IV.4.1) Four tubulaire	108
IV.4.2) Four RTA	109
IV.4.3) Discussion	110
IV.5) Etude de l'homogénéité des échantillons.....	111
IV.5.1) XPS	111
IV.5.2) AFM	112
IV.6) Evaluation des propriétés électriques des hétérostructures a-LAO / Al₂O₃ / Si(001) ---	112
IV.6.1) EOT et courants de fuite	112
IV.6.2) Mesures en fréquence – Extractions de Dit	114
IV.6.2.1) Méthode de Castagné&Vapaille	114
IV.6.2.2) Méthode de la conductance	116
IV.6.2.3) TCV	117
IV.6.2.4) Conclusion	118
IV.6.3) Présence de charges – Tension de bandes plates.....	118
IV.6.4) Effets de recuits sur les propriétés électriques	121
IV.7) Conclusion et limitations de ce système	123

CHAPITRE V : Diodes Tunnel Résonantes Épitaxiées sur Silicium Compatibles CMOS	125
V.1) Introduction	125
V.2) Les diodes tunnel résonantes (RTD)	127
V.2.1) Historique	127
V.2.2) Principe de fonctionnement d'une RTD	128
V.2.3) Intérêts et applications des RTD	130
V.2.3.1) Caractéristiques d'une RTD	130
V.2.3.2) Domaines applicatifs	130
V.3) Etat de l'art des différentes filières matériaux	132
V.3.1) Filières à base de semi-conducteurs III-V	133
V.3.2) Filière silicium à base de SiGe	134
V.3.2.1) RTD intrabandes Si / Si _{1-x} Ge _x	134
V.3.2.2) RTD interbandes : RITD	135
V.3.3) Filières exploratoires : matériaux à grand gap intégrés sur Si	137
V.3.3.1) Le système Si / SiO ₂	137
V.3.3.2) À base de fluorures épitaxiés	139
V.3.3.3) Les oxydes épitaxiés	141
V.4) Conception et simulation de RTD Al₂O₃/Si et Gd₂O₃/Si	141
V.4.1) Méthode de calcul, programme et hypothèses utilisés	141
V.4.2) Impact des différents paramètres	145
V.4.2.1) Rôle de l'épaisseur des barrières tunnel : cas d'Al ₂ O ₃ /Si/Al ₂ O ₃	147
V.4.2.2) Influence de l'épaisseur du puits quantique : cas d'Al ₂ O ₃ /Si	149
V.4.3) Simulations de RTD	150
V.5) Essais de croissance	153
V.5.1) Difficultés rencontrées	153
V.5.2) Le système Al ₂ O ₃ / Si	154
V.5.2.1) La technique de passivation de surface d'Ishida	154
V.5.2.2) Croissance et caractérisation sur Si(111)	156
V.5.2.3) Essais sur Si(001)	158
V.5.3) Le système Gd ₂ O ₃ / Si	160
V.5.3.1) La technique d'encapsulation d'Osten	160
V.5.3.2) Croissance par MBE d'hétérostructures Gd ₂ O ₃ / Si(111)	162
V.5.3.3) Observations TEM d'une RTD Gd ₂ O ₃ /Si/Gd ₂ O ₃	163
V.5.3.4) Caractérisation électrique d'une RTD Gd ₂ O ₃ /Si/Gd ₂ O ₃ /Si(111)	164
V.6) Discussion, conclusion	166
 CONCLUSION GÉNÉRALE ET PERSPECTIVES	 169
 LISTE DES COMMUNICATIONS	 175
 RÉFÉRENCES BIBLIOGRAPHIQUES	 179

INTRODUCTION GÉNÉRALE

L'année 2007 a constitué un tournant dans l'histoire de la microélectronique et de la technologie CMOS. Ayant dominé l'industrie durant les trois dernières décennies, le couple Si/SiO₂ a laissé place à l'apparition de nouveaux diélectriques de grille : les oxydes à forte constante diélectrique.

Afin de pouvoir répondre à l'incessante miniaturisation des dispositifs électroniques, rythmée par la loi de Moore, de nouvelles solutions ont régulièrement dues être développées. En effet, la complexité des circuits, de même que l'augmentation perpétuelle des densités d'intégration en vue de l'obtention de performances accrues et d'une minimisation des coûts de fabrication, ont entraîné une diminution des dimensions caractéristiques des transistors à effet de champ (MOSFET), qui sont les composants clefs des circuits intégrés modernes. Au fil des générations successives de MOSFET, l'épaisseur de l'oxyde de grille n'a cessé d'être réduite, laissant apparaître à chaque étape de nouveaux problèmes à résoudre. Ainsi, lorsque la barrière isolante standard de SiO₂-SiO_xN devient trop fine (<1,2nm), de l'ordre de quelques atomes seulement, d'importants courants de fuite par effet tunnel surgissent, perturbant le bon fonctionnement des dispositifs.

La solution, choisie par l'industrie du semi-conducteur (préconisation de l'ITRS) et utilisée par Intel dans ses récentes générations de processeurs, passe par l'intégration de matériaux high-κ. Ces oxydes à forte permittivité, de par une épaisseur physique plus grande pour une même valeur capacitive, autorisent la poursuite du "downscaling" des MOSFET en limitant les courants de fuite à travers le "stack" de grille. Néanmoins, si l'oxyde d'hafnium HfO₂, associé à une grille métallique, a d'ores et déjà été intégré dans le nœud technologique 45nm, les recherches doivent se poursuivre pour assurer la mise en œuvre des nœuds suivants. Si les fuites de courant sont inférieures comparativement à l'usage du SiO₂, il reste néanmoins à faire face à de nombreux problèmes tels le contrôle des tensions de seuil, la mobilité des porteurs dans le canal, les instabilités dues aux lacunes et autres défauts, ou bien encore l'élaboration d'un procédé de fabrication reproductible permettant d'atteindre de faibles épaisseurs équivalentes de silice (EOT).

Si les composés à base d'hafnium apparaissent comme les candidats industriellement les plus prometteurs à court et moyen termes, d'autres solutions alternatives sont actuellement à l'étude pour les générations plus lointaines, pour lesquelles des EOT de l'ordre de 0,5nm sont requises. Pour y parvenir, deux voies sont avancées :

- Développer de nouveaux diélectriques high- κ : LaAlO_3 , Gd_2O_3 , Dy_2O_3 , Sc_2O_3 , GdSiO , La_2O_3 , ...
- Chercher à supprimer toute couche interfaciale entre le diélectrique et le Si. Une voie prometteuse en ce sens consiste à utiliser l'épitaxie par jets moléculaires (EJM) pour fabriquer des oxydes cristallins ou amorphes avec des interfaces structurellement abruptes.

L'INL développe depuis quelques années, en collaboration avec STMicroelectronics et plusieurs partenaires académiques, une nouvelle filière d'oxydes fonctionnels épitaxiés sur silicium, qui devrait permettre l'intégration monolithique de dispositifs innovants (nanoélectroniques et optoélectroniques), compatibles CMOS, afin de viser des systèmes sur puce de plus en plus performants et diversifiés. Un des premiers objectifs est de maîtriser la croissance d'oxydes à forte permittivité sur silicium pour application MOSFET.

Suite aux thèses de S. Gaillard, G. Delhaye et C. Merckling, qui ont porté sur l'élaboration par EJM de couches d'oxydes high- κ (cristallins et amorphes) sur silicium et qui ont débouché sur des filières présentant un degré de maturité avancé du point de vue des propriétés structurales, il était devenu impératif d'évaluer les qualités électriques des différentes filières étudiées et de tester leurs potentialités en termes d'intégration dans un procédé de fabrication CMOS. Cela a été l'objectif principal de cette thèse.

Par ailleurs, la maîtrise de ces nouveaux diélectriques a ouvert un champ d'investigation beaucoup plus large concernant l'implémentation de nouvelles fonctionnalités sur une plate-forme silicium. L'opportunité de pouvoir maintenant réaliser des hétérostructures oxydes/silicium, basées sur les oxydes fonctionnels high- κ , offre la perspective de rendre compatibles les technologies CMOS et RTD du futur. L'étude de la faisabilité d'hétérostructures oxyde/silicium/oxyde pour diodes tunnel résonantes a ainsi constitué le deuxième volet de cette thèse.

La thèse a été menée dans le cadre d'une BDI CNRS-STMicroelectronics, du projet européen "PULLNANO" et du projet national "Nano2008".

Ce manuscrit s'articule autour de cinq chapitres. Le premier sera destiné à rappeler le contexte actuel de la microélectronique et ses évolutions tout en y inscrivant le sujet de cette thèse. Les oxydes high- κ seront définis et leurs propriétés intéressantes vis-à-vis des MOSFET seront mises en lumière. Le cahier des charges auquel devront obéir ces isolants de grille sera discuté, tout comme le choix du LaAlO_3 comme diélectrique d'étude. Un état de l'art général sera dressé en parallèle.

Le chapitre 2 s'évertuera à décrire les techniques expérimentales mises en œuvre au cours de cette thèse. L'épitaxie par jets moléculaires sera ainsi présentée, de même que les diverses méthodes de caractérisation utilisées. L'élaboration des échantillons, de la croissance à leur métallisation en salle blanche, les analyses physico-chimiques et de surface, les mesures électriques de même que l'extraction des paramètres électriques et les recuits post-dépôt couplés aux observations XPS seront exposés.

Les troisième et quatrième chapitres seront dédiés à l'étude des systèmes $\text{LaAlO}_3/\text{Si}(001)$ et $\text{LaAlO}_3/\text{Al}_2\text{O}_3/\text{Si}(001)$. Dans un premier temps, après une présentation du matériau et de son mode de croissance sur Si, le dépôt de LAO amorphe directement sur silicium avec une interface abrupte sera évalué en vue d'une application MOSFET. Au travers de mesures capacitives, les données électriques de ce "stack" de grille seront extraites puis discutées. La stabilité thermique de l'interface isolant/Si sera aussi testée.

Le chapitre suivant sera alors consacré à l'étude de l'apport d'un "buffer" d'alumine monocristallin entre le LAO amorphe et le Si(001) en vue d'améliorer la stabilité thermique des interfaces et de faciliter leur intégration dans un procédé de fabrication CMOS. Des comparaisons avec et sans alumine seront présentées en termes d'EOT, de courants de fuite, de charges, etc... L'effet de traitements post-dépôt sera également abordé dans l'optique de minimiser la quantité de défauts électriquement actifs.

Le chapitre 5 sera consacré à l'étude des diodes tunnel résonantes épitaxiées sur Si. Des simulations quantiques seront réalisées afin de valider les matériaux et les épaisseurs des diverses couches à déposer. Différents essais de croissance en découleront avec des barrières tunnel en Al_2O_3 et en oxyde de gadolinium Gd_2O_3 . Les résultats seront discutés et comparés à ceux de la littérature.

CHAPITRE I : Propriétés et Intérêts des Oxydes à Forte Constante Diélectrique pour la Technologie CMOS

CHAPITRE I : Propriétés et Intérêts des Oxydes à Forte Constante Diélectrique pour la Technologie CMOS----- 5

I.1) Evolution actuelle de l'industrie microélectronique -----	7
I.1.1) Le règne du silicium -----	7
I.1.2) Le transistor à effet de champ MOSFET -----	8
I.1.2.1) Présentation et principe de fonctionnement -----	8
I.1.2.2) "Downscaling" et conséquences -----	10
I.1.3) Diversification des matériaux utilisés et évolutions futures de la microélectronique -----	12
I.2) Les oxydes "high-κ" -----	14
I.2.1) Intérêts des oxydes high- κ pour le CMOS ultime -----	14
I.2.2) Quel(s) oxyde(s) choisir ? -----	16
I.2.2.1) Critères nécessaires à l'intégration -----	16
I.2.2.2) Importance de l'interface oxyde / silicium -----	19
I.2.2.3) Nécessité d'une grille métallique -----	20
I.3) Etat de l'art international sur les oxydes high-κ -----	20
I.3.1) Sur Si : oxydes épitaxiés Vs oxydes amorphes -----	20
I.3.2) Sur III-V et Ge -----	22
I.3.2.1) Intérêt de modifier la nature du canal -----	22
I.3.2.2) Recherches actuelles -----	23
I.4) Etat de l'art des travaux réalisés à l'INL -----	25
I.4.1) Thématique et vision à long terme -----	25
I.4.2) Les oxydes maîtrisés -----	26
I.4.3) Le choix du LaAlO ₃ comme oxyde de grille -----	26
I.5) Synthèse et motivations de cette thèse -----	27

I.1) Evolution actuelle de l'industrie microélectronique

I.1.1) Le règne du silicium

Depuis maintenant quatre décennies, le développement de la microélectronique repose sur des technologies éprouvées, basées sur l'utilisation du silicium et de son oxyde natif (SiO_2) qui ont dynamisé toute l'industrie des semi-conducteurs. En particulier, l'intégration à très large échelle et l'augmentation des densités d'intégration ont entraîné une réduction de plus en plus forte des dimensions caractéristiques des composants élémentaires, les transistors MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor). Cette évolution permanente suit la loi empirique de Moore qui prédit le doublement de la densité d'intégration sur une puce électronique tous les 18 mois (Fig. I.1). Actuellement, les motifs de base des dernières générations de circuits (les processeurs Penryn d'Intel) utilisent une finesse de gravure de 45nm. Cette constante progression conduira à la fabrication de transistors de 14 à 22nm de longueur de grille physique dans les années 2008-2012, selon les spécifications de l'International Technology Roadmap for Semiconductors (ITRS) [ITRS07], la feuille de route de l'industrie du semi-conducteur. L'intégration d'un nombre croissant de transistors sur une même puce a été rendue possible par la maîtrise de plus en plus poussée de procédés technologiques complexes. Aujourd'hui, les microprocesseurs "haute-performance" contiennent d'ores et déjà plus de 10^9 transistors [Intel05]. Cette densification s'accompagne de l'accroissement des performances des systèmes et de la diminution de leurs coûts de production.

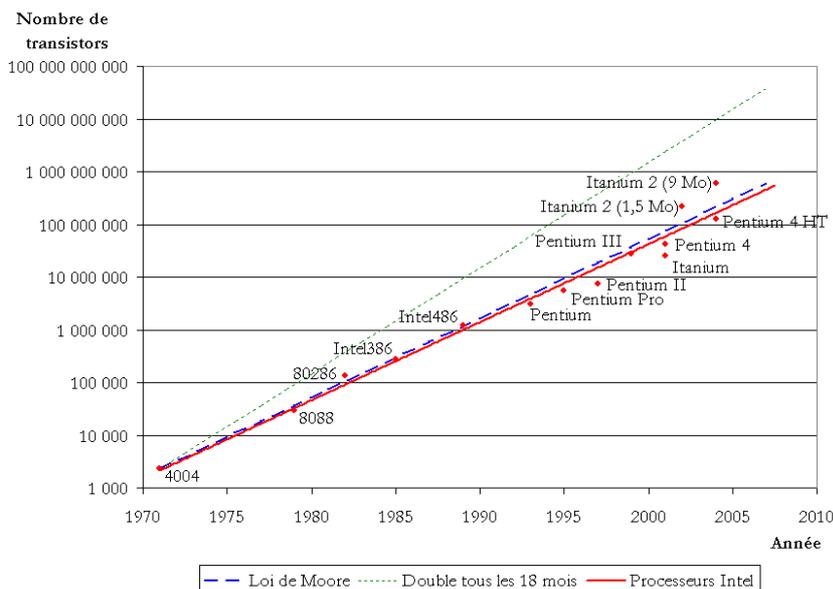


Figure I.1 : Représentation de la "loi" postulée par Gordon Moore et réalisations pratiques.

I.1.2) Le transistor à effet de champ MOSFET

Impossible d'évoquer la microélectronique sans mentionner le MOSFET, le composant clé, fer de lance de cette industrie. En effet, ce composant, dont la première réalisation technique remonte à 1960, fait aujourd'hui partie de la quasi-totalité des circuits intégrés numériques et se retrouve également dans des montages analogiques et d'électronique de puissance.

I.1.2.1) Présentation et principe de fonctionnement

Le MOSFET est un composé électronique unipolaire constitué de 4 électrodes permettant de moduler l'intensité du courant le traversant. Deux électrodes implantées forment les points de départ et de collecte des porteurs, et sont respectivement nommées source S et drain D. Deux autres bornes appelées grille G et substrat B autorisent le contrôle du courant initié entre la source et le drain. [Mathic01], [Sze81]

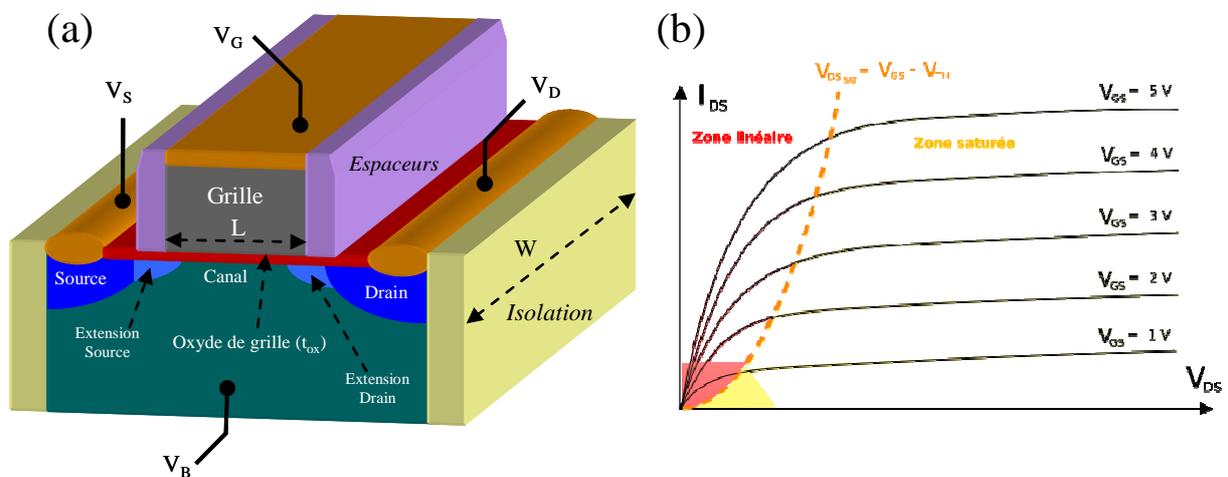


Figure I.2 : (a) Schéma constitutif d'un transistor MOSFET à enrichissement.
(b) Caractéristiques courant-tension d'un MOSFET à enrichissement à canal N.

Le substrat semi-conducteur et la grille sont séparés par une fine couche isolante : l'oxyde de grille. Par l'intermédiaire de cet oxyde, il est possible d'exercer un contrôle électrostatique sur le flux de porteurs circulant dans le canal entre la source et le drain. Il est à noter qu'il existe deux types de MOSFET : les MOSFET à enrichissement représentés figure I.2(a) et ceux à appauvrissement. La distinction se fait au niveau du canal. Les transistors

MOS à enrichissement sont bloqués sans tension de commande sur la grille (état I_{OFF}) et deviennent passant à partir d'une certaine tension de grille de seuil V_{Th} , alors que les MOSFET à appauvrissement sont passant sans tension de commande sur la grille (état I_{ON}) et se bloquent à mesure que la tension de commande augmente. Pour chacune de ces deux catégories, le transport électrique peut s'effectuer soit à l'aide de trous (canal P) ou soit à l'aide d'électrons (canal N), le fonctionnement étant identique en inversant les polarisations. L'association de MOSFET à canaux P et N sur des puces électroniques permet la réalisation des fonctions logiques désirées.

Dans la suite de ce chapitre, seuls les MOSFET à enrichissement à canal N seront considérés. Le substrat est donc de type P, la source et le drain de type N.

Typiquement, le substrat et la source sont portés à la masse et les deux tensions V_{GS} et V_{DS} permettent de contrôler le dispositif. Lorsque $V_{GS} = 0$, faute d'électrons, aucun courant ne passe. Le fait d'augmenter V_{GS} ($V_{GS} > 0$) va influencer sur la capacité entre la grille et le substrat. En effet, plus V_{GS} sera élevée, plus les trous seront repoussés et plus les électrons du substrat seront attirés à l'interface oxyde/semi-conducteur créant tout d'abord une zone dite de déplétion qui deviendra ensuite une couche d'inversion lorsque la différence de potentiel sera suffisamment grande ($V_{GS} \geq V_{Th}$). Cette zone d'inversion est donc une zone où le type de porteurs de charges est opposé à celui du reste du substrat, créant ainsi un canal de conduction. Quand le transistor conduit, une augmentation de V_{DS} ($V_{DS} > 0$) accroît le courant. Mais lorsque $V_{DS} = V_{GS} - V_{Th} = V_{DSsat}$, un point de pincement apparaît dans le canal au voisinage du drain et le courant se met alors à saturer (Fig. I.2(b)).

En régime linéaire, le courant I_{DS} traversant le MOSFET est donné par :

$$I_{DS} = \frac{W}{L} \mu C \left(V_{GS} - V_{Th} - \frac{V_{DS}}{2} \right) V_{DS} \quad [\text{Eq. I.1}]$$

, avec W la largeur du canal, L sa longueur, μ la mobilité des porteurs et C la capacité de l'oxyde de grille par unité de surface qui s'exprime elle-même de la manière suivante :

$$C = \frac{C_{ox}}{S} = \frac{\kappa \epsilon_0}{t_{ox}} \quad [\text{Eq. I.2}]$$

, où ϵ_0 symbolise la permittivité du vide ($= 8,854 \times 10^{-12}$ F/m), S la surface de l'électrode de grille, t_{ox} l'épaisseur de la couche d'oxyde et κ sa permittivité relative.

En régime saturé, l'expression de I_{DS} se complique et devient :

$$I_{DSsat} = \frac{W}{2L} \mu C_{ox} (V_{GS} - V_{Th})^2 \left(\frac{L}{L - \left(\sqrt{\frac{\epsilon_{Si}}{\kappa}} X_j t_{ox} \ln \left(1 + \frac{V_{DS} - V_{DSsat}}{V_{DSsat}} \right) \right)} \right) \quad [\text{Eq. I.3}]$$

, avec ϵ_{Si} la permittivité du Si et X_j la profondeur des jonctions source et drain.

I.1.2.2) "Downscaling" et conséquences

Pendant des décennies, l'évolution vers la miniaturisation de la technologie CMOS a entraîné le monde de la microélectronique à faire face à de nombreux défis technologiques tels la nécessité de développer des outils de lithographie de plus en plus performants ou encore l'utilisation de niveaux d'interconnexions de plus en plus nombreux (polissage mécano-chimique, métallisation cuivre, ...). Le grand défi actuel de la microélectronique consiste à trouver des solutions pour diminuer la longueur de grille des transistors.

Cependant, cette réduction de la longueur de grille doit s'effectuer en réduisant aussi parallèlement les autres paramètres géométriques et notamment l'épaisseur de l'oxyde de grille. En effet, la miniaturisation des dimensions caractéristiques des MOSFET, en anglais "downscaling", doit suivre des règles strictes (Fig. I.3) afin de préserver les bonnes caractéristiques électriques de ces composants.

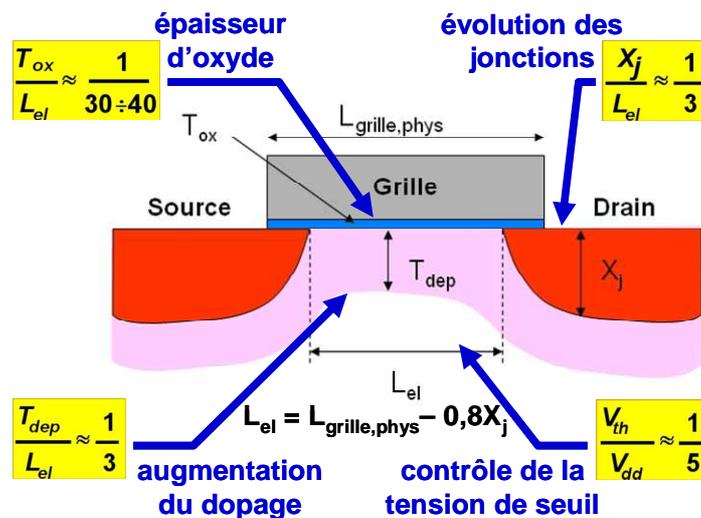


Figure I.3 : Ratios à respecter pour une bonne mise à l'échelle des transistors MOSFET.

La silice SiO_2 (oxyde natif du silicium) a traditionnellement, de par les propriétés uniques du couple Si/SiO_2 et ses propriétés isolantes satisfaisantes, constitué l'oxyde de grille des transistors à effet de champ. Toutefois, au fil des années et de la miniaturisation des longueurs de grille des MOSFET vers des dimensions nanométriques, cet oxyde de grille est logiquement devenu de plus en plus fin, laissant apparaître des courants de fuite indésirables pour le bon fonctionnement des circuits.

Le nœud technologique 90nm a marqué l'apparition de la silice nitrurée SiO_xN_y comme oxyde de grille, l'incorporation de nitrure favorisant la diminution des courants de fuite en direction de la grille par effet tunnel. Cette solution temporaire a permis la production industrielle des nœuds 90 et 65nm. Cependant, l'épaisseur d'oxyde correspondant au nœud 65nm est voisine du nanomètre (soit quelques atomes seulement !), valeur proche des limites théorique [Muller99] et technologique [Chau04] avec SiO_2 . Sur la figure I.4, la fuite limite admissible pour l'isolant de grille désormais classique SiO_xN_y est indiquée en rouge. Le point de croisement de cette limite admissible avec la courbe représentant une simulation de la densité de courant tunnel qui traverse une couche de SiO_xN_y indique la nécessité de changer d'isolant de grille pour limiter les courants de fuite et donc d'utiliser les oxydes "high-κ" à forte permittivité.

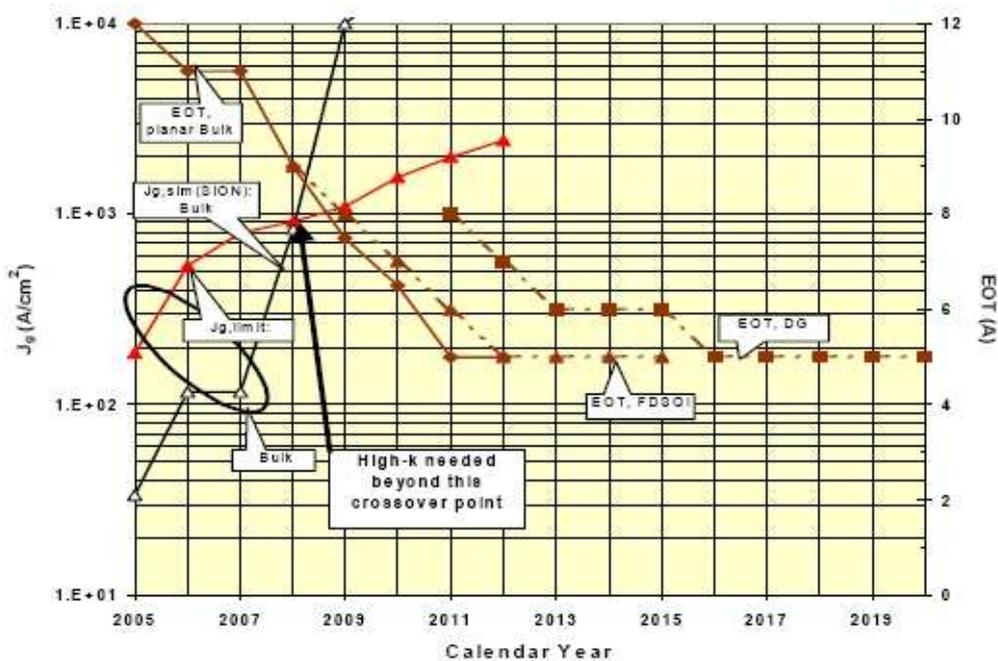


Figure I.4 : Evolution d'après ITRS 2005 de l'épaisseur équivalente d'isolant de grille (EOT) et du courant de fuite (J_g) pour différentes technologies de logiques "hautes performances".

Conformément à ces prévisions, la fin de l'année 2007 a été marquée par la mise sur le marché de MOSFET ayant pour oxyde de grille un matériau à forte constante diélectrique à base d'oxyde d'hafnium HfO_2 et des métaux comme grille métallique. Ce saut technologique notable a permis à Intel la commercialisation des tous premiers processeurs gravés en 45nm [Intel07]. L'alliance IBM-AMD a aussi annoncé l'intégration prochaine de "high-κ" dans ses technologies les plus avancées.

I.1.3) Diversification des matériaux utilisés et évolutions futures de la microélectronique

La course à la miniaturisation et à la réduction des dimensions dans la technologie CMOS impose à la fois de nouveaux défis technologiques et rencontre de nouveaux phénomènes de nature quantique dont il est nécessaire de s'accommoder pour surmonter les problèmes. La réponse passe souvent par l'introduction de nouveaux matériaux (canal, isolant de grille, métaux de grille, interconnexions, ...) et de nouvelles architectures pour les composants (FinFET par exemple). En parallèle, des recherches «long terme» (Fig. I.5) sont menées pour explorer la possibilité de trouver une alternative aux filières CMOS : composants quantiques à base de nanofils, nanotubes ou boîtes quantiques, électronique à un électron, spintronique, électronique moléculaire, ...

D'autre part, l'intégration de fonctions toujours plus nombreuses et variées (électroniques, optiques, mécaniques, RF, fluidiques, biologiques, ...) sur des plates-formes silicium est une évolution incontournable dans les développements annoncés des technologies de l'information et de la communication. L'enjeu est un accroissement des performances des systèmes, notamment drainé par l'intégration à l'échelle nanométrique de fonctionnalités variées sur silicium. La stratégie d'intégration n'a d'intérêt en termes applicatifs que si elle est aussi faite dans un souci de fiabilité et de limitation des coûts de production.

Dans ce contexte, les approches à base de report (collage, vignettage) actuellement développées ne sont pas toujours les mieux adaptées. Pour de nombreuses applications (optoélectronique, exploitation de propriétés ferroélectriques, ferromagnétiques, ...), il serait nécessaire de réaliser des hétérostructures monocristallines complexes de matériaux divers dont les mailles et les structures cristallines ne sont pas naturellement adaptées au silicium. L'idéal serait d'aboutir à des procédés permettant l'intégration monolithique (épitaxie directe

sur silicium) de matériaux variés (oxydes fonctionnels, hétérostructures III-V/IV-IV/oxydes), mais cette approche reste encore à être développée et n'a pas débouché industriellement.

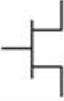
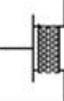
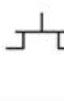
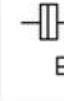
Device								
	FET [B]	1D structures	Resonant Tunneling Devices	SET	Molecular	Ferromagnetic logic	Spin transistor	
Types	Si CMOS	CNT FET NW FET NW hetero-structures Crossbar nanostructure	RID-FET RIT	SET	Crossbar latch Molecular transistor Molecular QCA	Moving domain wall M: QCA	Spin transistor	
Supported Architectures	Conventional	Conventional and Cross-bar	Conventional and CNN	CNN	Cross-bar and QCA	CNN Reconfigure logic and QCA	Conventional	
Cell Size (spatial pitch)	Projected	100 nm	100 nm [C]	100 nm [C]	40 nm [L]	10 nm [Q]	140 nm [U]	100 nm [C]
	Demonstrated	590 nm	~1.5 μm [D]	3 μm [H]	~700 nm [M]	~2 μm [R]	250 nm [V, W]	100 μm [X]
Density (device/cm ²)	Projected	1E10	4.5E9	4.5E9	6E10	1E12	5E9	4.5E9
	Demonstrated	2.8E8	4E7	1E7	2E8	2E7	1.6E9	1E4
Switch Speed	Projected	12 THz	6.3 THz [E]	16 THz [I]	10 THz [M]	1 THz [S]	1 GHz [U]	40 GHz [Y]
	Demonstrated	1 THz	200 MHz [F]	700 GHz [J]	2 THz [N]	100 Hz [R]	30 Hz [V, W]	Not known
Circuit Speed	Projected	61 GHz	61 GHz [C]	61 GHz [C]	1 GHz [L]	1 GHz [Q]	10 MHz [U]	Not known
	Demonstrated	5.6 GHz	220 Hz [G]	10 GHz [Z]	1 MHz [F]	100 Hz [R]	30 Hz [V]	Not known
Switching Energy, J	Projected	3E-18	3E-18	>3E-18	1×10 ⁻¹⁸ [L] >1.5×10 ⁻¹⁷ [O]	5E-17 [T]	~1E-17 [V]	3E-18
	Demonstrated	1E-16	1E-11 [G]	1E-13 [K]	8×10 ⁻¹⁷ [P] >1.3×10 ⁻¹⁴ [O]	3E-7 [R]	6E-18 [W]	Not known
Binary Throughput, GBit/ns/cm ²	Projected	238	238 [C]	238 [C]	10	1000	5E-2	Not known
	Demonstrated	1.6	1E-8	0.1	2E-4	2E-9	5E-8	Not known
Operational Temperature	RT	RT	4.2 – 300 K	20 K [L]	RT	RT	RT	
Materials System	Si	CNT, Si, Ge, III-V, In ₂ O ₃ , ZnO, TiO ₂ , SiC _x	III-V Si-Ge	III-V Si	Organic molecules	Ferromagnetic alloys	Si, III-V, complex metals oxides	
Research activity [A]		171	88	65	204	25	102	

Figure I.5 : Recherches émergentes pour de nouvelles architectures logiques. Démonstrations et Projections. [Roadma05]

Ainsi, les grands domaines de recherche de la microélectronique silicium peuvent être, comme proposé par l'European Nanoelectronics Initiative Advisory Council [Eniac08], divisés en trois grandes catégories (Fig. I.6) :

- "More Moore" (CMOS ultime) : poursuivre la miniaturisation des transistors.
- "More than Moore" (complémentaire au CMOS) : intégration de nouvelles fonctions sur silicium.
- "Beyond CMOS" (au-delà du CMOS) : introduction de nouveaux concepts n'utilisant pas l'architecture classique du transistor CMOS et les techniques de fabrication de la microélectronique silicium.

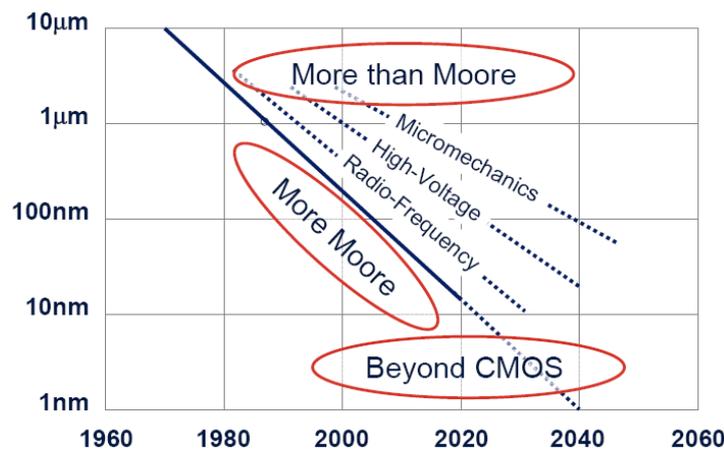


Figure I.6 : Le futur de la microélectronique vu par l'ENIAC.

Comme décrit plus précisément dans la suite de ce premier chapitre, cette thèse explore deux de ces trois axes de recherche : le More Moore avec le développement de nouveaux oxydes de grille et le More than Moore avec l'intégration de diodes tunnel résonantes sur Si.

En fait, concernant les diodes tunnel résonantes, deux conceptions peuvent être considérées pour l'intégration de ces composants dans des circuits électroniques : des circuits sans MOSFET, uniquement à base de RTD, et des circuits associant MOSFET et RTD (Fig. I.5). La première vision entre dans la catégorie "Beyond CMOS" alors que la seconde s'inscrit dans la voie "More than Moore" [Mathew99]. Cette dernière perspective semble la plus pertinente. Si l'implémentation de RTD a dans un premier temps semblé extrêmement prometteuse compte tenu de la rapidité et de la compacité qu'elles peuvent offrir, il est aujourd'hui difficile d'imaginer le retrait des MOSFET dans les circuits intégrés. En effet, à la vue des performances actuelles des MOSFET et de leur utilisation massive, une coopération MOSFET-RTD est à l'heure actuelle davantage envisagée [ITRS07] pour certaines niches industrielles.

I.2) Les oxydes "high- κ "

I.2.1) Intérêts des oxydes high- κ pour le CMOS ultime

Comparativement à SiO_2 , un oxyde high- κ possède une forte constante diélectrique. La permittivité de SiO_2 est de 3,9. En conséquence, un oxyde est dit high- κ lorsque sa constante diélectrique est typiquement supérieure à 10 comme par exemple l'alumine [Yeo02].

Néanmoins, Al_2O_3 reste un high- κ avec une permittivité faible par rapport aux oxydes majoritairement étudiés tels que Gd_2O_3 , HfO_2 , La_2O_3 [Wu06] ou bien encore SrHfO_3 [Rosse106], qui possèdent une constante diélectrique proche de 20. Certains high- κ , comme BaTiO_3 et SrTiO_3 [Delhay06] ont des constantes diélectriques pouvant atteindre de très fortes valeurs, supérieures à 300.

Comme mentionné au paragraphe I.1.2, le “downscaling” du MOSFET impose de réduire l’épaisseur d’oxyde pour augmenter la capacité au niveau de l’oxyde de grille et par la même occasion le courant I_{DS} traversant le MOSFET.

La capacité de l’oxyde de grille étant proportionnelle à la constante diélectrique de l’oxyde et inversement proportionnelle à son épaisseur, il existe deux moyens d’augmenter cette capacité :

- diminuer l’épaisseur d’oxyde (= downscaling) ; méthode qui a montré ses limites avec SiO_2 - SiON avec l’apparition de courants de fuite trop importants.
- introduire de nouveaux matériaux avec des permittivités plus importantes : les oxydes high- κ .

La figure I.7 illustre le fait qu’à structure capacitive équivalente, l’épaisseur physique d’oxyde est plus importante avec un high- κ qu’avec SiO_2 qui possède une faible permittivité de 3,9. Le courant de fuite par effet tunnel s’en trouve fortement réduit.

Cette propriété se traduit par la relation :

$$C_{\text{SiO}_2} = C_{\text{High-}\kappa} \Leftrightarrow \frac{\kappa_{\text{SiO}_2}}{t_{\text{SiO}_2}} = \frac{\kappa_{\text{High-}\kappa}}{t_{\text{High-}\kappa}} \Leftrightarrow t_{\text{SiO}_2} = EOT = \frac{3,9 \times t_{\text{High-}\kappa}}{\kappa_{\text{High-}\kappa}} \quad [\text{Eq. I.4}]$$

, où C_{SiO_2} et $C_{\text{High-}\kappa}$ représentent respectivement les capacités d’oxyde de grille avec SiO_2 et un oxyde high- κ , et t et κ les épaisseurs et permittivités correspondantes.

L’EOT (en anglais Equivalent Oxide Thickness) représente alors l’épaisseur de silice SiO_2 équivalente d’un point de vue capacitif à la couche d’oxyde high- κ étudiée. Par définition, l’EOT est toujours inférieur à $t_{\text{High-}\kappa}$, l’objectif étant d’atteindre de très faibles valeurs d’EOT inaccessibles avec la silice.

À titre d’exemple, 6,41nm d’un oxyde high- κ ayant une constante diélectrique de 25 possèdent une capacité égale à celle de 1nm de SiO_2 , alors que l’épaisseur de la couche isolante s’en trouve multipliée par un facteur 6.

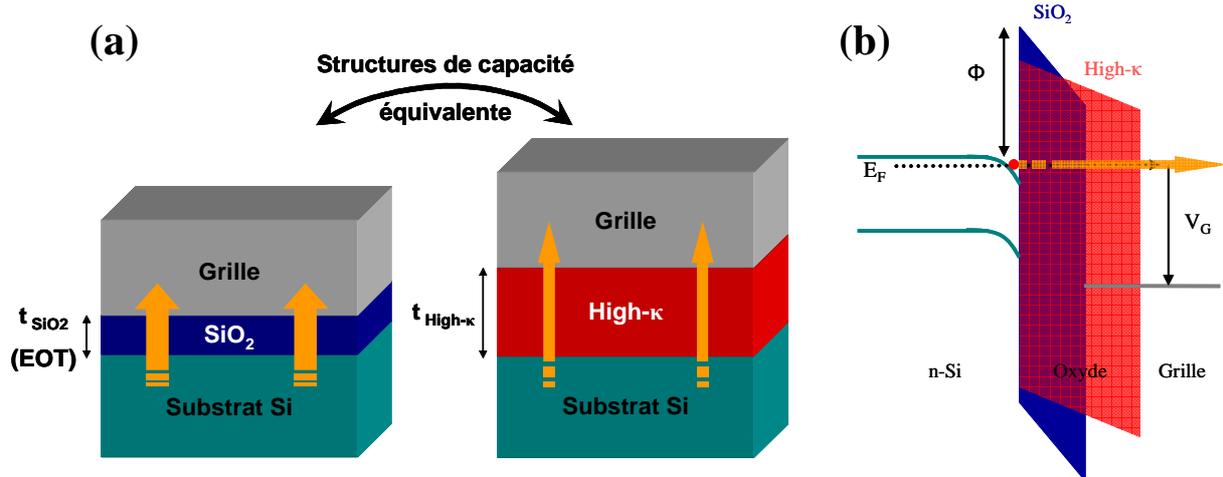


Figure I.7 : (a) À capacité équivalente, un stack de grille CMOS présente une épaisseur physique d'oxyde plus grande avec un high- κ qu'avec du SiO_2 . (b) Cette différence d'épaisseur permet de limiter les courants de fuite par effet tunnel à travers la grille.

1.2.2) Quel(s) oxyde(s) choisir ?

Des recherches actives sur les matériaux à forte constante diélectrique ont débuté dès les années 90. En effet, leur intégration dans une ligne de production CMOS n'est pas triviale. Le simple critère de posséder une forte permittivité ne suffit pas : les high- κ doivent remplir l'exigeant cahier des charges ^[Engstr07] qui était satisfait jusqu'à présent avec le couple Si/ SiO_2 .

1.2.2.1) Critères nécessaires à l'intégration

L'oxyde doit tout d'abord posséder une constante diélectrique suffisamment élevée afin de permettre son intégration dans le plus grand nombre de nœuds technologiques CMOS possible.

Deuxièmement, les matériaux candidats doivent également avoir des discontinuités ("offsets") de bandes avec le silicium suffisantes pour minimiser l'injection de porteurs et agir comme un véritable isolant. Une bande interdite ("gap") suffisamment large est en conséquence nécessaire de sorte que les écarts entre les bandes de conduction et de valence de l'oxyde et du Si soient supérieurs à 1eV.

Il est à noter qu'il existe une certaine corrélation entre la largeur de bande interdite d'un oxyde et sa constante diélectrique. Une forte permittivité entraîne une faible valeur de bande interdite comme le montre la figure I.8. Ainsi, SrTiO_3 ($\kappa \geq 300$) possède une discontinuité de bandes de conduction quasi-nulle avec Si, l'éliminant radicalement de la course à la succession du SiO_2 pour le CMOS.

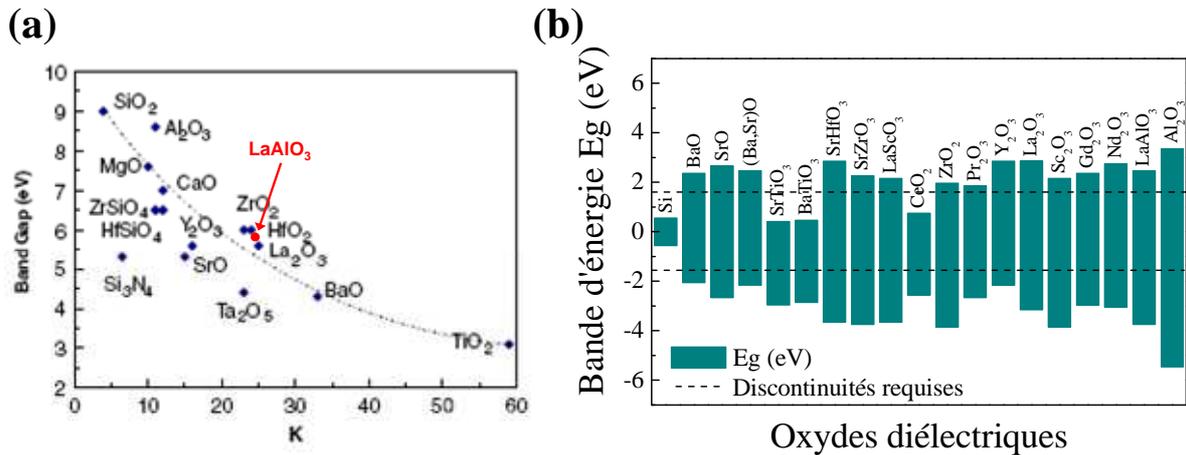


Figure I.8 : (a) Largeur de bande interdite d'oxydes en fonction de leur constante diélectrique. ^[Robert00] (b) Positionnement des bandes d'énergie d'oxydes vis-à-vis du Si.

Le matériau en question ne doit pas être hygroscopique pour assurer une stabilité au contact de l'air et de l'eau, éléments incontournables d'une ligne de fabrication. Ce critère élimine SrO et La_2O_3 ^[Jun08], pourtant très étudié par le groupe d'Iwai ^[Kakush05].

L'oxyde étant en contact direct avec le Si, une stabilité thermodynamique entre les deux matériaux est obligatoire pour éviter tout phénomène de dégradation telle que la formation d'une couche interfaciale de SiO_x ou de siliciure. Cette condition requiert que l'oxyde ait une température de formation supérieure à celle du SiO_2 . Hubbard et Schlom ^[Hubbar96], ^[Schlom02] ont montré que cette restriction réduisait considérablement le nombre de candidats comme détaillé sur la figure I.9.

Parallèlement à cette nécessité thermodynamique, l'interface high- κ / Si doit aussi être stable thermiquement pour supporter un recuit d'activation des dopants à 1050°C pendant quelques secondes. Ce procédé, dit "haute température", était jusqu'à présent la norme dans les filières standard de fabrication CMOS. Cependant, les dernières générations 45nm des MOSFET d'Intel utilisent un nouveau procédé basse température, dit "gate-last", où le stack de grille est déposé en fin de fabrication, une fois toutes les étapes à hautes températures franchies.

I.2.2.2) Importance de l'interface oxyde / silicium

Prépondérante quant à la densité de défauts d'interface (Dit) d'un échantillon, l'interface joue aussi un rôle majeur pour l'obtention de faibles EOT. En effet, si initialement abrupte après dépôt de l'oxyde high- κ , une interface oxyde/Si stable thermodynamiquement et résistante aux différentes étapes de fabrication d'un MOSFET, présentera l'avantage de rester abrupte et garantira une faible valeur d'EOT.

La réactivité de cette interface peut être un véritable frein : si certaines performances comme les Dit, la mobilité et les courants de fuite [Locque06] peuvent être améliorées par la formation d'une couche de SiO_x ou de silicates, l'EOT de cette structure bi-couche va considérablement augmenter du fait de la faible constante diélectrique de ces matériaux interfaciaux. L'intérêt d'introduire un high- κ comme diélectrique de grille pour atteindre de faibles EOT s'en trouve nettement amoindri [Lopes07a].

Comme illustré par la figure I.10, la capacité totale C_{tot} d'un système bi-couche oxyde-couche interfaciale s'exprime de la façon suivante :

$$\frac{1}{C_{tot}} = \frac{1}{C_{ox}} + \frac{1}{C_{int}} \quad [\text{Eq. I.5}]$$

, avec C_{ox} la capacité de la couche d'oxyde high- κ et C_{int} celle de la couche interfaciale.

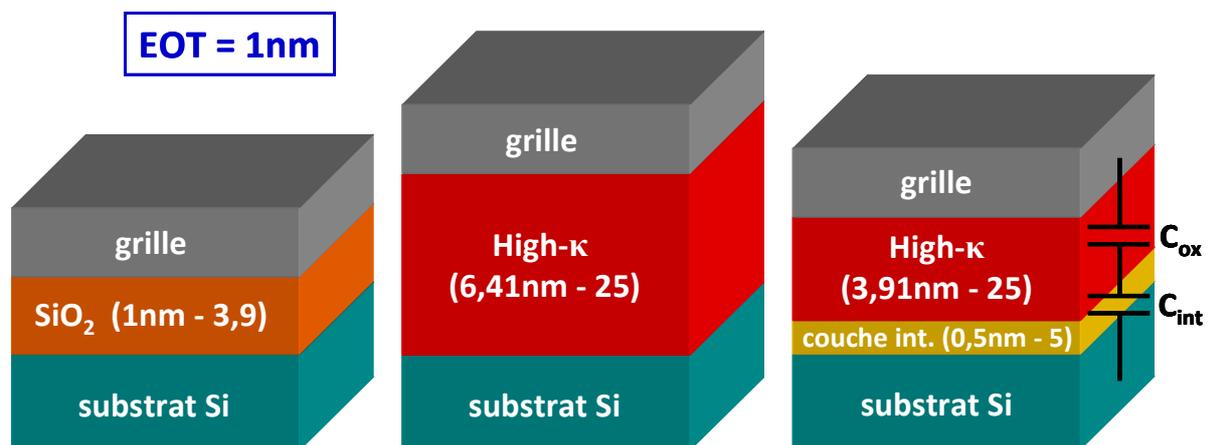


Figure I.10 : Trois structures équivalentes d'un point de vue capacitif (même EOT de 1nm). L'épaisseur physique est plus importante dans le cas d'un high- κ ($\kappa = 25$) avec une interface abrupte avec le Si. Les courants de fuite seront moindres que dans le cas d'une structure avec une fine couche interfaciale de plus faible permittivité ($\kappa = 5$).

L'EOT d'un tel système s'exprime alors par :

$$EOT_{bicouche} = \left(\frac{t_{int}}{\kappa_{int}} \times \kappa_{SiO_2} \right) + \left(\frac{t_{High-\kappa}}{\kappa_{High-\kappa}} \times \kappa_{SiO_2} \right) \quad [\text{Eq. I.6}]$$

, où t_{int} et κ_{int} représentent respectivement l'épaisseur et la permittivité de la couche interfaciale, et $t_{High-\kappa}$ et $\kappa_{High-\kappa}$ celles de l'oxyde.

I.2.2.3) Nécessité d'une grille métallique

L'utilisation de SiO₂ comme isolant de grille s'est traditionnellement accompagnée d'une grille en poly-silicium dopé de par l'évidente compatibilité de ces deux matériaux. Toutefois, comparativement à un métal, le poly-Si possède une densité de porteurs inférieure. Ceci entraîne l'apparition d'une zone de déplétion de quelques angströms de profondeur dans le poly-Si alors qu'elle n'est que de 0,5Å dans un métal [Wilk01]. Ce phénomène de poly-déplétion doit donc être supprimé en remplaçant le poly-Si par une grille métallique, opération qui consiste en fait à minimiser une capacité supplémentaire en série avec celle de l'oxyde high- κ . Les processeurs Penryn d'Intel utilisent d'ailleurs ce procédé. [Inte107]

Concrètement, le choix des métaux de grille se fait en fonction de deux critères : tout d'abord le travail de sortie du métal qui va par la suite déterminer la tension de seuil de fonctionnement V_{Th} des MOSFET, et deuxièmement la résistance thermique du métal. Idéalement, le métal de grille doit supporter de fortes températures sans être altéré (du moins pour un procédé de fabrication hautes températures) et ne doit pas réagir avec l'oxyde de grille qu'il recouvre sous peine de perturber le fonctionnement des dispositifs.

La recherche des métaux de grille appropriés aux n-MOS et p-MOS à base d'oxydes high- κ constitue à elle-seule un large domaine d'investigations complexes. [Allegr06]

I.3) Etat de l'art international sur les oxydes high- κ

I.3.1) Sur Si : oxydes épitaxiés Vs oxydes amorphes

Les recherches sur les oxydes cristallins épitaxiés sur silicium se sont fortement développées à partir de 1998, dans le contexte de la recherche de nouveaux oxydes de grille high- κ pour les futures technologies CMOS et aussi suite aux travaux de McKee [McKee98] (Oak Ridge National Laboratory) qui a démontré qu'il était possible d'épitaxier directement SrTiO₃

sur Si(001) grâce à une ingénierie d'interface appropriée. Motorola s'est alors fait le champion de cette approche pendant les années 1999-2002 ^[Droopa01] en reprenant le procédé d'Oak Ridge. Depuis, les recherches sur les oxydes épitaxiés se sont développées en Europe, en Asie et aux Etats-Unis. L'Europe est en pointe avec les efforts menés à IBM Zurich, l'IMEC, Hannover University, Democritos et par l'INL à Lyon. IBM Zurich continue à optimiser le système SrTiO₃ épitaxié sur Si(001) mais surtout a mis au point la croissance de SrHfO₃ sur Si(001) ^[Rossel06]. Le groupe d'Osten (Hannover Univ.) qui avait longuement travaillé sur l'oxyde de terre rare Pr₂O₃ ^[Osten02] est maintenant en train de développer le système Nd₂O₃-Gd₂O₃ sur Si(001) et Si(111) ^[Fissel06]. Au Japon le groupe de Toyohashi University (Ishida et al.) exploite un savoir-faire important et en continuel développement sur l'épitaxie à haute température d'Al₂O₃ ^[Okada04] sur silicium (principalement sur Si(111)). Aux Etats-Unis, le groupe le plus actif est celui de PennState (Schlom et al.). Il a présenté des résultats très intéressants sur la croissance de LaScO₃ sur Si(111) ^[Edge06a] sans faire néanmoins d'avancées décisives.

Parallèlement au développement de la voie épitaxiale d'oxydes monocristallins sur Si, la voie amorphe a également été extrêmement étudiée. En effet, si les oxydes high- κ amorphes peuvent présenter l'inconvénient de cristalliser lors de traitement post-dépôt haute température et former ainsi des grains propices à l'augmentation des courants de fuite, ils constituent la solution technologique actuelle retenue par le monde industriel pour le nœud 45nm et sans doute pour le nœud technologique suivant en 32nm. De plus les oxydes amorphes offrent un plus grand panel de choix de l'oxyde high- κ : l'existence d'une relation d'épitaxie avec le silicium n'est ici plus nécessaire, le désaccord de maille entre l'oxyde dans sa phase cristalline et le silicium n'ayant plus d'importance. Seules les performances électriques et la stabilité comptent. Le nombre de recherches et de publications évoquant le HfO₂ amorphe et ses dérivés ^{[Houssa06], [Intel07]} déposés sur Si suffit à se convaincre de l'intérêt porté aux oxydes amorphes à forte constante diélectrique. De nombreux oxydes amorphes sont aujourd'hui étudiés : autres que ceux à base d'hafnium, LaAlO₃ (développé notamment par Toshiba ^[Suzuki08]), ZrO₂ et ses dérivés (Qimonda), Dy₂O₃, Sc₂O₃, La₂O₃ (IMEC, NXP, IFX) ou encore GdSi_xO_y peuvent être cités.

I.3.2) Sur III-V et Ge

I.3.2.1) Intérêt de modifier la nature du canal

En tant que semi-conducteur, le silicium possède des performances moyennes avec notamment un gap indirect et une mobilité des porteurs modérée. Le choix du silicium par l'industrie de la microélectronique résulte des propriétés de son oxyde natif, SiO₂, qui possède d'excellentes propriétés isolantes. De plus, SiO₂ possède l'avantage de pouvoir être obtenu par oxydation thermique de Si, alors que tous les autres semi-conducteurs (Ge, GaAs, GaN, SiC, ...) ont un oxyde natif de mauvaise qualité présentant des problèmes de stabilité. Mais l'introduction des high- κ en lieu et place de la silice peut ouvrir la voie à une utilisation de nouveaux semi-conducteurs pour les canaux des MOSFET, à condition de trouver les techniques de passivation de surface appropriées à l'obtention d'interfaces oxyde/semi-conducteur de qualité électrique.

Ainsi, le germanium et les semi-conducteurs III-V se révèlent potentiellement très intéressants du fait de la forte mobilité des porteurs de charge au sein de ces matériaux (Fig. I.11).

	Ge	Si	GaAs	InSb	InP
Largeur de bande interdite E_g (eV)	0,66	1,12	1,42	0,17	1,35
Affinité électronique χ (eV)	4,05	4,0	4,07	4,59	4,38
Mobilité des trous μ_t (cm²/Vs)	1900	450	400	1250	150
Mobilité des électrons μ_e (cm²/Vs)	3900	1500	8500	80000	4600
Paramètre de maille (nm)	0,565	0,543	0,565	0,648	0,587
Constante diélectrique	16,0	11,9	13,1	17,7	12,4
Point de fusion T_f (°C)	937	1412	1240	527	1060

Figure I.11 : Caractéristiques de matériaux alternatifs pour le canal de MOSFET et comparaison avec le silicium. (d'après ^[Kamata08])

I.3.2.2) Recherches actuelles

Les études actuelles sont essentiellement concentrées sur le dépôt d'oxydes high- κ sur Ge pour les dispositifs p-MOS et sur semi-conducteurs III-V pour les dispositifs n-MOS. GaAs est le matériau III-V qui semble le plus intéressant en vue d'une co-intégration p-MOS en Ge et n-MOS en GaAs, du fait qu'il possède un paramètre de maille identique à celui du germanium (Fig. I.11). Il est alors possible d'imaginer un substrat de GeOI, ou du Ge directement épitaxié sur un substrat de Si, sur lequel serait localement épitaxié du GaAs autorisant dès lors la perspective d'intégration présentée figure I.12.

Trois problèmes majeurs restent cependant à solutionner : [Dimoul06]

- l'élaboration de couches de Ge de qualité électronique sur Si. Les substrats de Ge étant trop chers et trop limités en taille en vue d'une application industrielle, il faut trouver une technique fiable (GeOI par collage type Smart Cut, condensation de Ge [Tezuka07], approches toute épitaxiale) pour l'intégration de Ge sur Si permettant d'assurer une production de volume à bas coût.

- la reprise sélective de III-V sur substrat Si. Une couche intermédiaire, de Ge [Heyns06], est nécessaire pour contourner le désaccord de maille entre Si et les III-V. Une autre solution pourrait être la croissance métamorphique de III-V directement sur Si. [Hudait07]

- la passivation de surface de Ge et des III-V pour optimiser l'interface semi-conducteur / high- κ . Il faut passiver la surface de ces semi-conducteurs avec des traitements appropriés (GeON, Si, AlAs, ...) sans toutefois affecter l'EOT final du dispositif. De plus, les interfaces doivent être stables et optimisées du point de vue électrique pour prévenir toute dégradation (problème d'inter-diffusion, Dit à minimiser pour ensuite optimiser librement la position du niveau de Fermi du semi-conducteur, empêcher la formation de $\text{GeO}_{(g)}$, mobilité du canal, ...).

Alors que le développement de p-MOSFET à base de Ge a abouti à de très bons résultats (Fig. I.13(a)-(b)), la fabrication de Ge n-MOSFET pose davantage de soucis. Ceci est lié, malgré une passivation de surface, à la présence de défauts surfaciques dégradant la mobilité dans le canal et limitant les performances. Ainsi, beaucoup de groupes de recherche se lancent dorénavant sur la voie des III-V pour la technologie n-MOS. Schlom et al. travaillent désormais sur le dépôt d'oxydes high- κ sur III-V. [Schlom08], [Choi07]

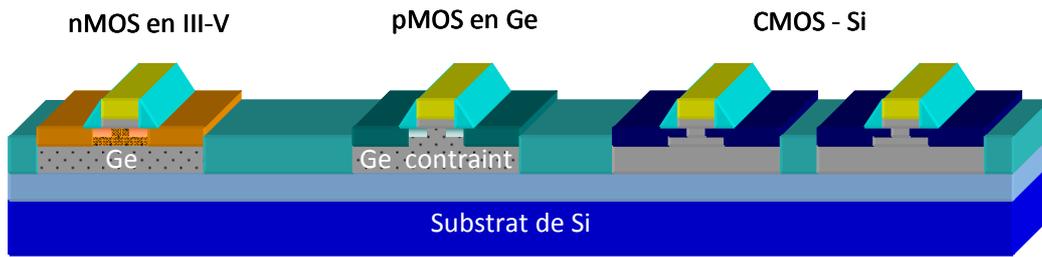


Figure I.12 : Perspective de co-intégration de transistors p-MOS en Ge et n-MOS en III-V sur un même substrat de Si ou de GeOI. [Heyns06]

Des résultats prometteurs, supérieurs à ceux des dispositifs Si (Fig. I.13(b)-(c)), ont d'ores et déjà été obtenus avec des MOSFET ayant pour canal de conduction du Ge [Chui02] ou un semi-conducteur III-V.

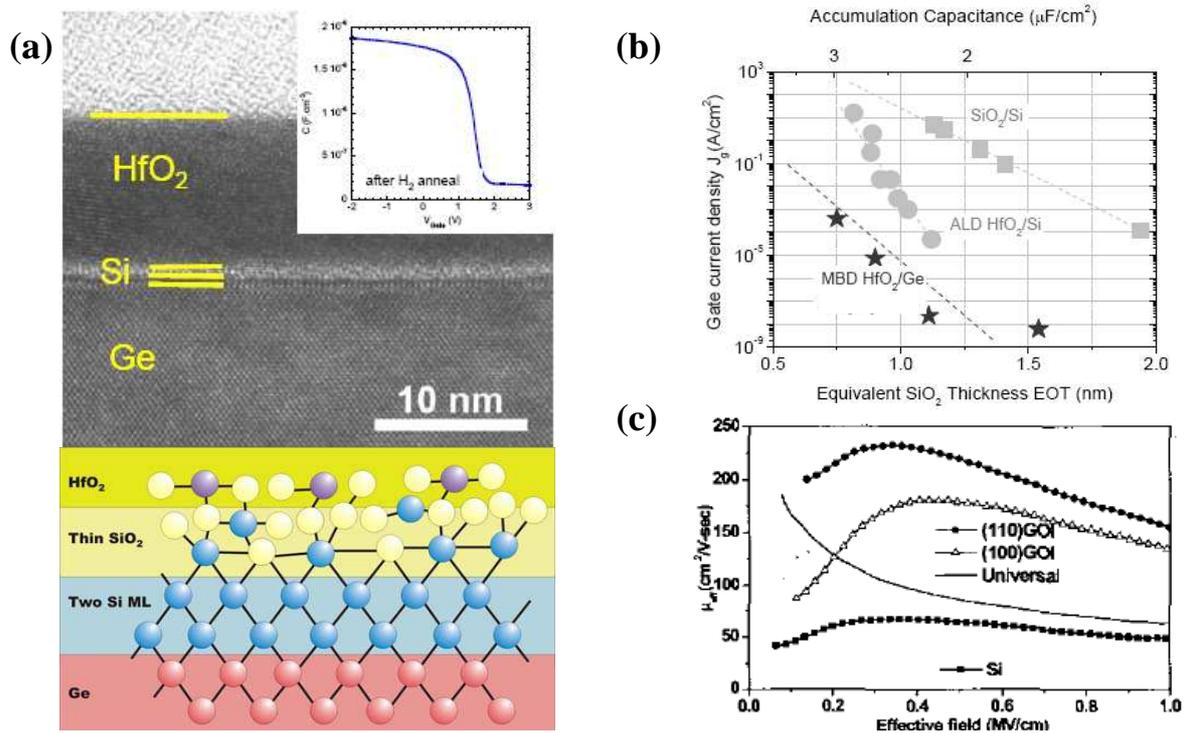


Figure I.13 : (a) Image TEM d'un stack de grille $HfO_2/SiO_2/Si/Ge$ et schéma associé à cette passivation du Ge par du Si épitaxié. [Heyns06] (b) Comparatif, en fonction de l'EOT et des courants de fuite, de capacités à base de HfO_2 sur substrats Ge et Si. [Dimou06] (c) Mobilités mesurées pour du $LaAlO_3$ déposé sur GeOI et sur Si. [Yu04]

I.4) Etat de l'art des travaux réalisés à l'INL

I.4.1) Thématique et vision à long terme

Une thématique majeure de l'INL est l'épitaxie d'oxydes à forte permittivité sur silicium. L'objectif principal a d'abord été l'intégration de ces oxydes comme diélectriques de grille pour les futurs MOSFET sub-22nm pour lesquels des EOT inférieurs à 0,5nm sont requis.

À partir de cette brique élémentaire "oxydes épitaxiés sur Si", deux perspectives sont envisageables. Tout d'abord la reprise de Si sur oxyde et, par le biais d'empilement oxyde/Si/oxyde, la fabrication de diodes tunnel résonantes (RTD) sur substrat Si. Ensuite, l'intégration de nouvelles fonctions sur Si par le biais d'oxydes fonctionnels (ferroélectriques, ferromagnétiques, ...) épitaxiés sur un buffer d'oxyde.

En poussant un peu plus loin l'idée de reprendre un semi-conducteur sur ces buffers d'oxyde, l'élaboration de MOSFET à canaux haute mobilité en semi-conducteurs III-V ou Ge devient possible, aboutissant à une intégration monolithique sur silicium (Fig. I.14).

La stratégie de l'INL est donc de mener une recherche amont et à long terme, visant le développement de technologies d'intégration monolithique par épitaxie d'oxydes fonctionnels.

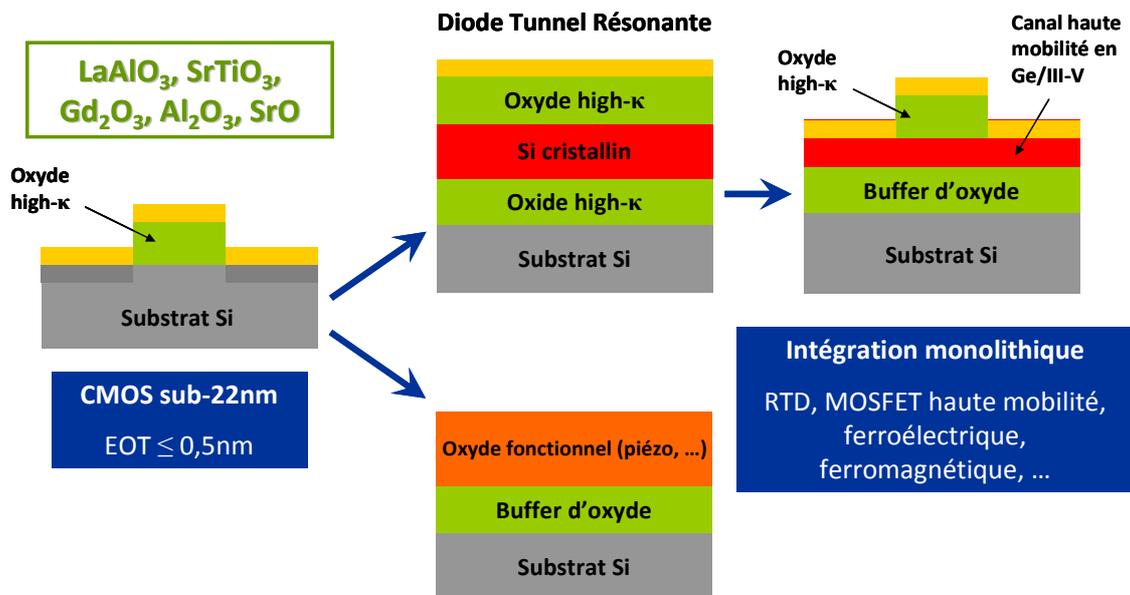


Figure I.14 : Perspectives d'intégration monolithique à l'INL.

1.4.2) Les oxydes maîtrisés

Au fil des ans, le laboratoire a acquis un savoir-faire au meilleur niveau international. L'INL maîtrise au premier ordre l'épitaxie de différents oxydes sur silicium : SrO, (Sr,Ba)TiO₃, Al₂O₃, Gd₂O₃, LaAlO₃/SrTiO₃/Si, et Gd₂O₃/Al₂O₃/Si. [Delhay06], [Gailla05], [Merck107]

1.4.3) Le choix du LaAlO₃ comme oxyde de grille

Comme vu au paragraphe I.2.2.1, il existe différents critères que doivent remplir les matériaux high- κ candidats à l'intégration comme oxyde de grille. En ce qui concerne les oxydes directement épitaxiés sur silicium, un critère d'intégration supplémentaire fait son apparition : le désaccord de maille avec le Si.

Ce dernier est défini comme suit :
$$\frac{\Delta a}{a} = \frac{a_c - a_s}{a_s} \quad [\text{Eq. I.7}]$$

, avec a_c le paramètre de maille de l'oxyde épitaxié et a_s celui du Si ($a_{\text{Si}} = 0,357\text{nm}$).

La figure I.15 répertorie différents oxydes identifiés par la communauté scientifique et indique leur désaccord de maille vis-à-vis du Si.

Le cas idéal serait de trouver un oxyde stable thermodynamiquement avec le Si, de même paramètre de maille que le Si et qui puisse croître « cube-sur-cube » sans produire de réactions interfaciales (SiO₂, silicates, siliciures). Ce type d'oxyde n'existe malheureusement pas. Il faut donc faire des compromis : se rapprocher de composés ayant des relations d'épitaxie avec le silicium, même complexes ("Domain Matching Epitaxy") et trouver les conditions d'épitaxie appropriées qui limitent les réactions interfaciales et la création de défauts. Tout se joue dans les premières monocouches déposées sur le silicium.

Une analyse exhaustive de la littérature et l'expérience accumulée à l'INL ont permis d'identifier trois oxydes « prototypes » présentant des potentialités d'application importantes : SrTiO₃ préparé à basse température pour limiter les réactions interfaciales, Gd₂O₃ préparé à des températures intermédiaires et Al₂O₃ préparé à haute température et qui est stable thermodynamiquement sur Si.

Néanmoins, en vue de l'application MOSFET sub-22nm visée dans cette thèse, le SrTiO₃ ne possède pas un bon offset de bandes de conduction avec le Si et l'Al₂O₃ n'a pas une constante diélectrique suffisamment élevée. Quant au Gd₂O₃, malgré l'obtention de bons résultats

électriques ^[Sun08], il a l'inconvénient de présenter une croissance bi-domaine sur Si(001) due aux marches atomiques du Si tournées à 90° les unes des autres. De plus une couche interfaciale de silicates se forme à l'interface Gd_2O_3 / Si . ^[Merckl07]

La sélection du candidat étudié dans ce manuscrit s'est alors portée sur le $LaAlO_3$ (LAO). S'il n'est pas possible d'épitaxier directement le LAO sur silicium, il peut en revanche être déposé sous forme amorphe et présenter des propriétés électriques intéressantes pour le problème posé. Ce choix du LAO et les conditions de dépôts seront explicités plus en détails au chapitre III.

I.5) Synthèse et motivations de cette thèse

L'objet de cette thèse a été d'explorer des solutions qui pourraient conduire au développement de technologies innovantes en microélectronique silicium pour des applications « More Moore » et « More than Moore », et ce, en mettant en œuvre deux volets complémentaires.

Le premier objectif a été d'explorer des diélectriques de grille alternatifs à HfO_2 permettant d'atteindre des EOT très faibles, le but étant d'atteindre 0,5nm d'épaisseur équivalente de SiO_2 . Si les oxydes à base d'hafnium ont permis de franchir le nœud 45nm et probablement aussi le nœud 32nm, il n'est cependant pas certain que ces oxydes soient encore utilisés pour les générations suivantes en 22nm, ni qu'ils permettent de passer sous la barre des 22nm. Ce manuscrit s'efforcera d'évaluer un candidat alternatif susceptible de déboucher sur des solutions de rupture pour les nœuds sub-22nm : le $LaAlO_3$ déposé sur Si en film mince sous forme amorphe.

Dans un second temps, sur la base du savoir-faire acquis sur les systèmes épitaxiés oxyde sur silicium, la faisabilité d'hétérostructures oxyde/Si/oxyde pour diodes tunnel résonantes RTD a été explorée.

Matériau	Gap [eV]	Constante diélectrique	Structure	a [Å]	b [Å]	c [Å]	α	$(\frac{\Delta a}{a})_{\min}$ Si [%]
TiO ₂	3,2	31	quadratique	3,785	9,513			-0,9 %
BaTiO ₃	3,2	3000 (axe a) 800 (axe c)	quadratique	3,989	4,029			+4,4 %
CeO ₂	3,3	16,6	cubique	5,411				+0,1 %
SrTiO ₃	3,3	277	cubique	3,905				+2,2 %
BaO	4,4	34	cubique	5,523				+2,2 %
Ta ₂ O ₅	4,5	30 (axe a) 65 (axe c)	orthorhombique	6,225	3,852	3,861		+1,0 %
Pr ₂ O ₃	4,6	14,9	hexagonal	3,857		6,916		+0,9 %
GeO ₂	5,1	6,2	hexagonal	4,985		5,648		-7,8 %
ZrO ₂	5,2	22	monoclinique	5,3129	5,2125	5,147	99,2	-3,5 %
SrO	5,3	14,5	cubique	5,16				-4,5 %
BaZrO ₃	5,3	43	cubique	4,192				+9,7 %
Lu ₂ O ₃	5,4	12,5	cubique	10,391				-3,9 %
La ₂ O ₃	5,5	25	cubique	11,327				+4,8 %
LaScO ₃	5,6	24	cubique	4,129				+8,1 %
GdSc ₂ O ₃	5,7	21	orthorhombique	5,45	5,75	7,93		+0,9 %
HfO ₂	5,8	22	monoclinique	5,1157	5,1819	5,2851	99,3	-5,3 %
LaAlO ₃	5,8	25	rhombohédrique	3,788			90,4	-0,9 %
Sc ₂ O ₃	5,9	13	cubique	9,845				-8,9 %
PrScO ₃	5,9	32	orthorhombique	5,77	8,01	5,6		+6,8 %
Y ₂ O ₃	6	11,2	cubique	10,604				-1,9 %
SrZrO ₃	6	30	orthorhombique	5,8	5,822	8,205		+7,3 %
SrZrO ₃	6	12	cubique	4,15				+8,6 %
Y ₃ Al ₅ O ₁₂	6,5	10	cubique	12,005				+11,1 %
CaO	6,9	11,8	cubique	4,81				-11,0 %
YAlO ₃	7,6	16	orthorhombique	5,176	5,307	7,355		-4,2 %
MgO	7,8	9,9	cubique	4,216				+10,3 %
MgAl ₂ O ₄	7,8	12	cubique	8,083				-25,2 %
Al ₂ O ₃	8,8	11,6 (axe a) 9,4 (axe c)	hexagonal	4,758		12,99		-12,0 %

Figure I.15 : Tableau présentant le gap, la permittivité, la structure et le désaccord de maille avec le silicium de divers diélectriques high- κ .

(+ : matériaux en compression sur Si ; - : matériaux en tension sur Si) ^[Norton04]

CHAPITRE II : Techniques Expérimentales de Fabrication et de Caractérisation des Oxydes High- κ

CHAPITRE II : Techniques Expérimentales de Fabrication et de Caractérisation des Oxydes High- κ ----- 29

II.1) Introduction -----	31
II.2) L'épitaxie par jets moléculaires -----	31
II.2.1) Principe et avantages de l'EJM-----	31
II.2.2) Suivi in-situ par diffraction RHEED-----	33
II.2.3) Préparation des surfaces de silicium et observation RHEED-----	34
II.2.3.1) Si(001)-----	34
II.2.3.2) Si(111)-----	34
II.2.4) Le réacteur MBE "oxydes" de l'INL-----	35
II.3) Etude de la topographie par microscopie à force atomique -----	36
II.4) Recuits sous atmosphère gazeuse et caractérisation ex-situ par spectroscopie de photoélectrons X -----	38
II.4.1) Four tubulaire-----	38
II.4.2) Recuit post-dépôt RTA-----	39
II.4.3) Analyse de l'interface oxyde/Si par XPS-----	39
II.5) La microscopie électronique en transmission -----	41
II.6) Fabrication des dispositifs MOS et MOSFET en environnement salle blanche -----	41
II.6.1) Capacités MOS-----	42
II.6.1.1) Choix des substrats et des métaux de grille-----	42
II.6.1.2) Fabrication de capacités MOS par "lift-off"-----	44
II.6.2) Le masque TCHE-----	45
II.6.2.1) Le projet transistors TCHE-----	45
II.6.2.2) Procédé d'élaboration-----	46
II.6.2.3) Mesures électriques préliminaires et conclusions-----	48
II.7) Mesures électriques sur les capacités MOS et extraction des paramètres -----	50
II.7.1) Fonctionnement d'une capacité MOS-----	50
II.7.2) Appareillage de mesures C-V et I-V-----	52
II.7.3) Le programme de simulation TCV-TIV-----	53
II.7.3.1) Fonctionnement du simulateur-----	53
II.7.3.2) Influence des différents paramètres-----	54
II.7.4) Détermination de l'EOT à l'aide du programme TCV-----	55
II.7.5) Evaluation de la tension de bandes plates-----	57
II.7.6) Méthode d'extraction de la densité de défauts d'interface-----	58

II.1) Introduction

Dans ce chapitre seront présentées les techniques expérimentales utilisées au cours de cette thèse. Ces techniques vont de l'élaboration des échantillons par épitaxie par jets moléculaires (EJM / MBE) jusqu'aux caractérisations électriques et extraction des données, et ce en passant par des étapes de caractérisations structurales comme l'AFM, le TEM ou encore l'XPS, mais également par l'élaboration de dispositifs MOS en environnement salle blanche.

II.2) L'épitaxie par jets moléculaires

II.2.1) Principe et avantages de l'EJM

La technique d'épitaxie par jets moléculaires (EJM) ou MBE en anglais (Molecular Beam Epitaxy) a été développée initialement à la fin des années 1960 par les laboratoires Bell ^[Cho71] pour la croissance cristalline des semi-conducteurs. Elle consiste à évaporer des éléments métalliques, isolants ou semi-conducteurs pour ensuite les condenser sur un substrat qui peut être chauffé. Pour garantir la pureté des matériaux déposés, des conditions d'ultravide sont nécessaires. Cet ultravide est généré et entretenu par un système de pompage adapté (pompes turbo-moléculaires et ioniques) et par des panneaux cryogéniques refroidis à l'azote liquide.

La MBE permet d'atteindre des vitesses de croissance très lentes. Les conditions de pression et de température vont déterminer le libre parcours moyen des espèces évaporées. Ces conditions sont telles que leur libre parcours moyen est supérieur à la distance source d'évaporation–substrat, afin qu'il ne se produise aucune interaction avant l'arrivée des espèces sur le substrat (d'où le terme de «jets moléculaires»).

Les matériaux à épitaxier peuvent être évaporés à l'aide de cellules à effusion (cellules de Knudsen), par bombardement électronique d'un creuset, ou à l'aide de "crackers" qui permettent de briser des molécules sous forme gazeuse en les chauffant. Les vitesses de croissance étant lentes et chaque source d'évaporation possédant un cache autorisant son ouverture-fermeture, un contrôle extrêmement précis (à la monocouche près) est possible. Cela permet d'épitaxier des hétérostructures avec des jonctions abruptes.

Concernant le dépôt de matériaux pour la microélectronique, les techniques les plus populaires actuellement dans le milieu de la recherche et du développement industriel sont l'ALD et la MOCVD (Fig. II.1). Un effort particulier a récemment été fait par les industriels pour essayer d'introduire la MBE dans la filière microélectronique, d'abord comme technique de dépôt physique de couches amorphes mais également dans la perspective de réaliser des couches épitaxiées. Cette technique reste cependant encore dévolue aux recherches les plus amonts.

Pour des études prospectives (telles que celles présentées dans cette thèse), l'EJM présente de nombreux intérêts :

- Dans ce contexte d'obtention de faibles EOT, il convient de minimiser la présence de SiO₂ ou de silicates interfaciaux. Les possibilités de préparer la surface du substrat de Si sous ultravide et de contrôler à la monocouche près l'épaisseur des couches, leur composition, la pression d'oxygène ainsi que son moment d'introduction dans la chambre d'épitaxie, permettent un contrôle précis de l'interface oxyde / Si. Contrairement à l'ALD et sous réserve d'utilisation d'une procédure optimisée, la MBE (technique de dépôt par voie physique comme la PLD) rend possible la réalisation d'interfaces abruptes sans SiO₂, ni silicates.

- C'est une très bonne méthode physique d'étude des oxydes. Différents oxydes peuvent être passés rapidement en revue, car il n'est pas nécessaire avec cette technique de développer au préalable des précurseurs comme en ALD ou en CVD. La MBE offre la possibilité de varier relativement facilement la nature des matériaux déposés.

- La qualité cristalline est suivie en temps réel par diffraction d'électrons rasants de haute énergie (RHEED).

	<i>Conformité</i>	<i>Pureté</i>	<i>Défauts</i>	<i>Epaisseur</i>	<i>Surface</i>
Pulvérisation	o	o o	x x		o o
Dépôt métal + Oxydation	o	o o	o	o o	o
MOCVD	o o	o	o o	o o	o o o
ALD	o o o	o	o o	o o o	o o o
MBE	x x	o o o	o o o	o o	o o o

Figure II.1 : Comparaison de différentes méthodes de dépôt d'oxydes high- κ ; avantages et inconvénients. (o = bon ; x = mauvais) ^[Robert06]

Pour plus de précisions sur la MBE et la physique mise en jeu (qui ne constituent pas le cœur de cette thèse), le lecteur est invité à consulter les ouvrages suivants : [Farrow95], [Tsao93].

II.2.2) Suivi in-situ par diffraction RHEED

La diffraction d'électrons de haute énergie par réflexion en incidence rasante (RHEED) autorise un contrôle in-situ sous vide de la croissance en temps réel. L'appareillage se compose d'un canon à électrons (avec une énergie primaire comprise entre 0 et 30 keV) et d'un écran phosphorescent sur lequel s'affiche le cliché de diffraction. La géométrie de la chambre permet une incidence du faisceau primaire de l'ordre de quelques degrés. Les images sont ensuite enregistrées par une caméra CCD. L'enregistrement et l'analyse des clichés de diffraction électronique se fait à l'aide d'un logiciel développé sous Labview par Claude Botella (assistant ingénieur à l'INL).

Les électrons non réfléchis élastiquement par la surface sont diffractés par les atomes présents à la surface de l'échantillon (Fig. II.2(a)). Typiquement l'épaisseur sondée est de 1nm. De nombreuses informations peuvent ainsi être recueillies à l'aide du RHEED : le mode de croissance, la cristallinité (Fig. II.2(b)-(g)), l'évolution du paramètre de maille du matériau épitaxié, les reconstructions de surface, la vitesse de croissance, la rugosité de surface, l'orientation cristalline, ...

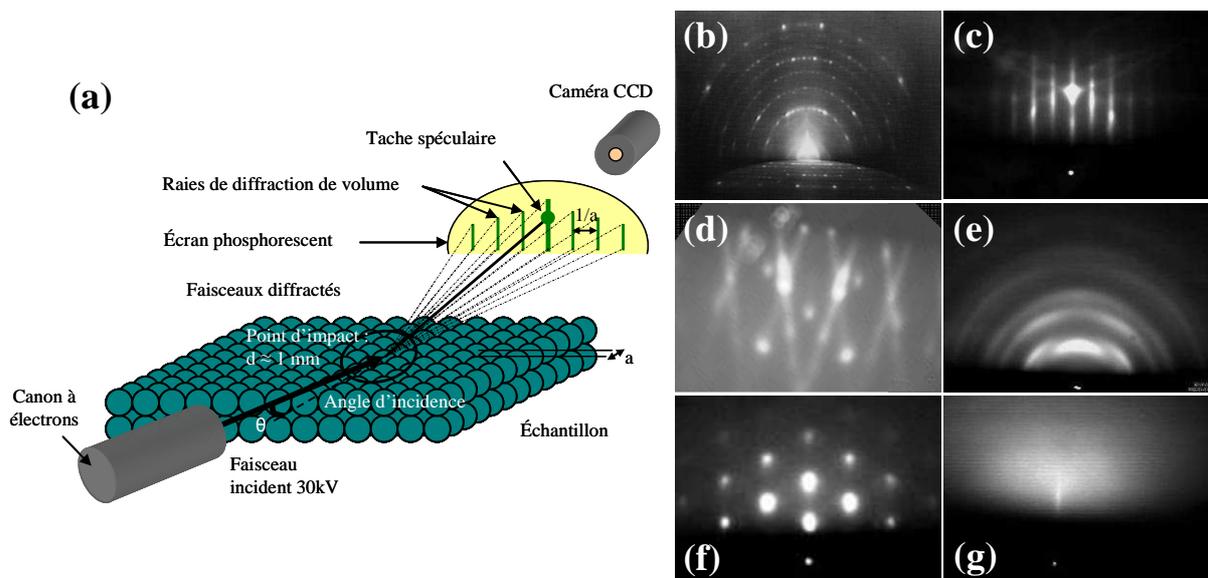


Figure II.2 : (a) Schéma de principe de la technique RHEED. Cliché de diffraction RHEED d'une couche superficielle : (b) 2D idéalement lisse. (c) 2D monocristalline lisse. (d) maclée. (e) polycristalline. (f) 3D monocristalline. (g) amorphe.

II.2.3) Préparation des surfaces de silicium et observation RHEED

Les substrats de silicium présentent initialement une fine couche d'oxyde natif, SiO_2 qu'il convient de retirer à l'aide de traitements pré-dépôt afin d'obtenir une surface de départ propre et plane, gage de la qualité des couches d'oxydes épitaxiées par la suite. Le traitement standard utilisé consiste dans un premier temps à nettoyer chimiquement la surface du Si, puis à la passiver.

Dans un premier temps, les substrats Si sont découpés en échantillons rectangulaires de 25×30mm. Ensuite, ces derniers sont dégraissés dans un bain d'éthanol sous ultra-sons avant de subir une attaque chimique : 5 secondes dans un bain de NH_4F à 40% (ou 10 secondes dans du HF à 4%) puis rinçage à l'eau désionisée. En effet, cet acide attaque et élimine le SiO_2 présent à la surface du Si [LeThan00]. Cependant, il est nécessaire de ne pas laisser les substrats Si(001) trop longtemps dans NH_4F car le NH_4F stabilise les plans (111) du silicium et forme donc des trous à la surface Si(001). Pour les substrats Si(111), le temps de trempage dans le NH_4F peut donc être plus long.

Après ce traitement NH_4F (ou HF), la surface du silicium est stabilisée en hydrogène, ce qui permet de minimiser les risques de contamination avant l'introduction des substrats dans le réacteur d'épitaxie.

II.2.3.1) Si(001)

Lors de son introduction dans le bâti, un substrat Si(001) présente une reconstruction RHEED 1×1 . Mais après un traitement une heure sous vide à plus de 800°C dans le réacteur, le RHEED montre une reconstruction 2×1 [Chadi79] avec des lignes de Kikuchi [Inoue86], signes que la surface de Si est totalement désoxydée et présente une très bonne planéité. La figure II.3 illustre les clichés RHEED observés après nettoyage complet de la surface du Si(001).

II.2.3.2) Si(111)

Tout comme pour Si(001), une fois chauffé sous vide, un substrat de Si(111) présente une reconstruction typique de surface. Le RHEED montre dans ce cas une reconstruction 7×7 [Takaya85]. Ces reconstructions par 7 sont visibles suivant les azimuts $[1\bar{1}0]$ et $[11\bar{2}]$ du Si.

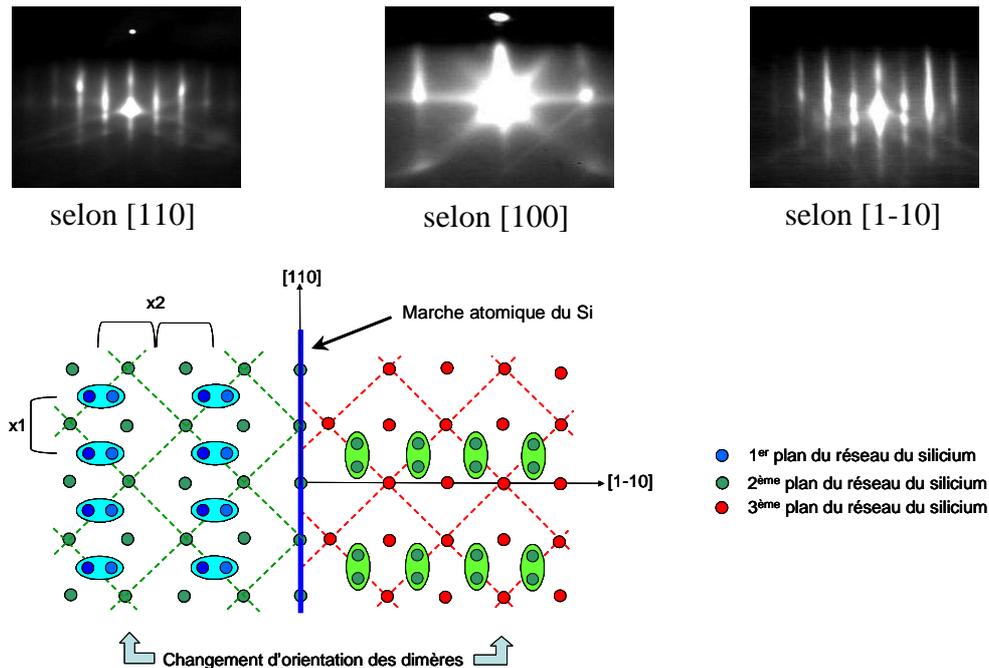


Figure II.3 : Reconstructions d'une surface de Si(001) observées par RHEED selon les azimuts [110], [100] et [1-10]. La surface du Si(001) est dimérisée. Les dimères sont orientés à 90° les uns des autres sur deux terrasses consécutives.

II.2.4) Le réacteur MBE "oxydes" de l'INL

Le bâti de l'INL est un réacteur Riber 2300 (32 pouces) réaménagé pour l'épitanie des oxydes high- κ (Fig. II.4). Il est équipé d'un manipulateur 2 pouces pouvant chauffer le substrat par effet Joule jusqu'à 1000°C. La rotation du porte-échantillon sur lui-même est motorisée. La mesure de pression résiduelle se fait à l'aide d'une jauge Bayard-Alpert fixée sur le manipulateur. Le vide de base de ce réacteur se situe autour de 5×10^{-10} Torr. La température du substrat est déterminée soit par un thermocouple placé en face arrière de l'échantillon, soit par un pyromètre optique détectant les radiations infrarouges.

Les matériaux à évaporer se présentent sous forme de granulés ou d'une poudre. Il existe deux procédés d'évaporation :

- avec un canon à électrons multi-creusets (4 creusets disponibles : Si, LaAlO₃, Al₂O₃, Gd₂O₃). Le flux de matière évaporé est proportionnel à la puissance transmise au canon, le nombre d'électrons venant frapper le creuset augmentant avec la puissance.

- ou avec des cellules à effusion. Le flux atomique d'un élément (Al, La, Ge, Sr, Ti, Ba) à évaporer est ici proportionnel à la température de la cellule. Une faible variation de température peut entraîner une modification importante du flux. Cette méthode demande un effort important de calibration des flux atomiques pour obtenir la stœchiométrie souhaitée. Le dépôt d'un matériau peut s'effectuer par flux alternés (une cellule en fonctionnement à la fois) ou par co-déposition (plusieurs cellules simultanément).

Les calibrations sont facilitées par des mesures in-situ. La composition des gaz résiduels peut être déterminée grâce à la spectrométrie de masse par quadrupôle, mais il est surtout possible de mesurer en temps réel les flux évaporés par chaque cellule avec une microbalance à quartz.

Le réacteur est également pourvu d'arrivées de gaz directement dans la chambre de croissance. De l'oxygène et de l'azote moléculaires ou atomiques, de même que de l'hydrogène, peuvent être envoyés dans le réacteur en cours de croissance.

La figure II.5 donne une vue d'ensemble du réacteur "oxydes" de l'INL avec ses principaux équipements.

II.3) Etude de la topographie par microscopie à force atomique

La microscopie à force atomique (AFM) ^[Binnig86] a été très utile pour investiguer la morphologie de surface des échantillons réalisés.

Cette technique repose sur les interactions entre la surface de l'échantillon et une pointe fixée sur un micro levier. Les déflexions du levier engendrées sont mesurées grâce à la déviation d'un faisceau lumineux (diode laser) réfléchi par l'extrémité du micro levier.

Utilisé en mode contact (forces de répulsion entre la surface et la pointe AFM) ou contact intermittent (mode "tapping", basé sur la variation de la fréquence de vibration de la pointe au voisinage proche de la surface de l'échantillon), l'AFM fournit une image topographique de la surface, donnant ainsi des informations sur la rugosité moyenne des couches épitaxiées et permettant de contrôler la qualité des dépôts effectués en fonction des conditions de croissance choisies.

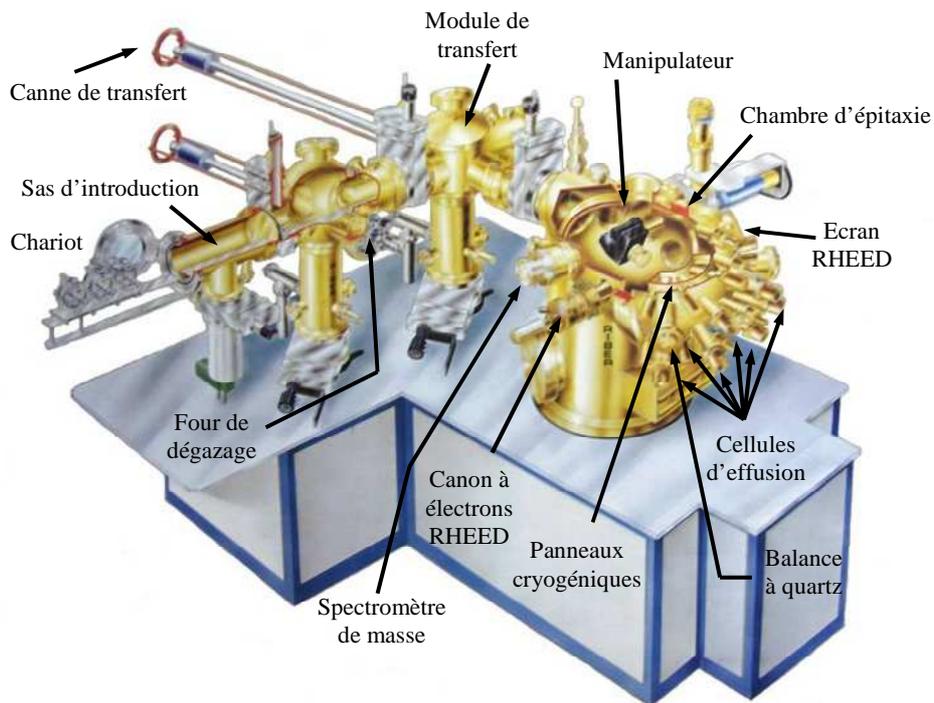


Figure II.4 : Vue d'ensemble du réacteur d'épitaxie Riber 2300 dédié aux oxydes à l'INL.

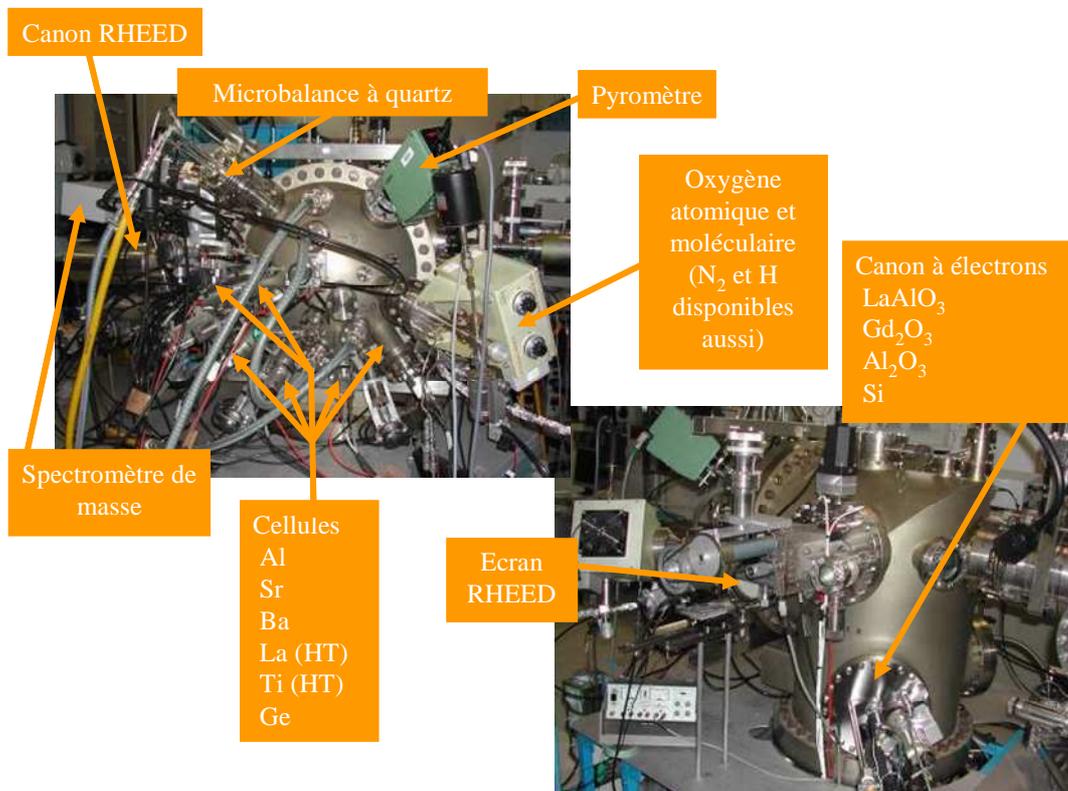


Figure II.5 : Photographies du bâti d'épitaxie oxydes de l'INL. Différents moyens de suivi in-situ, de caractérisation et plusieurs sources d'évaporation sont disponibles.

Pour caractériser les couches en AFM, deux appareils ont été utilisés : soit le Digital Instrument CP II situé à l'ECL, soit le Veeco Dimension V et son électronique Nanoscope 5 situés à l'INSA avec la collaboration de David Albertini.

II.4) Recuits sous atmosphère gazeuse et caractérisation ex-situ par spectroscopie de photoélectrons X

Un des objectifs majeurs de cette thèse est l'obtention de faibles valeurs d'épaisseur équivalente de SiO₂ sur substrat silicium à l'aide d'oxydes high-κ. Afin d'étudier la stabilité thermique de ces empilements de grille mais également d'observer l'influence de traitements post-dépôt sur les propriétés électriques des dispositifs testés, des recuits pré-métallisation ont été réalisés. Tous ces recuits ont été faits après que les échantillons aient été remis à l'air en sortie du réacteur d'épitaxie. Néanmoins, afin de s'affranchir de tout problème d'interdiffusion entre le diélectrique et les métaux de grille, ces traitements thermiques ont été effectués avant la phase de métallisation des composants à mesurer électriquement. Il est en effet important de noter que les résultats de traitements thermiques post-dépôt peuvent différer en fonction de la métallisation ^[OSulli07] ou du type d'encapsulation ^[Czerno08] effectués. Outre la réactivité de l'interface oxyde/substrat Si, des problèmes (apparition de charges fixes, diffusion, réactions avec la grille) peuvent aussi survenir entre l'oxyde et la grille. Ces phénomènes ne seront pas pris en compte dans cette étude, seul l'oxyde de grille sera considéré.

II.4.1) Four tubulaire

Un des fours utilisé pour effectuer les recuits post-dépôt est un four tubulaire horizontal Carbolite pouvant atteindre 1200°C. Il se compose d'un tube et d'une nacelle en alumine pure frittée. Trois arrivées de gaz sont raccordées à ce four : une arrivée d'oxygène, une d'azote et une dernière de "forming gas" (gaz contenant 96% de N₂ et 4% de H₂).

Ce four présente néanmoins un inconvénient. Les temps de montée et de descente en température sont effectivement assez longs. En raison du faible diamètre interne du tube et pour ne pas fragiliser ce dernier, la rampe de chauffe n'est que de 6°C/min. La descente en température se faisant naturellement après avoir éteint le four, les temps de recuit s'en

trouvent fortement augmentés. Un recuit avec un palier de 5 minutes à 300°C se transforme rapidement en un recuit au cours duquel la température reste 30 minutes autour de 250-300°C.

II.4.2) Recuit post-dépôt RTA

Un deuxième four a servi à faire des traitements thermiques. Il s'agit d'un four RTA (Rapid Thermal Annealing) installé à l'INL début 2008. Ce four (Jipelec Jet Star 100SR Processor) permet d'atteindre les 1000°C en quelques secondes (100°C/s). La procédure standard consiste à placer les échantillons dans l'enceinte, à faire le vide, puis à mettre le bâti en surpression avec le gaz souhaité (oxygène, azote ou argon sont à disposition) pour finalement lancer le recuit tout en procédant à un balayage continu de l'enceinte avec le gaz sélectionné. La descente en température se fait en purgeant l'enceinte avec le gaz utilisé pour le recuit. Les temps de recuit sont nettement plus courts qu'avec le four tubulaire et permettent de faire des recuits très rapides de type "spike" comme ceux utilisés dans l'industrie, notamment pour l'activation des dopants.

II.4.3) Analyse de l'interface oxyde/Si par XPS

La spectroscopie de photoélectrons X est une technique puissante d'analyse chimique des surfaces. Un faisceau monochromatique de rayons X est focalisé sur la surface de l'échantillon provoquant l'ionisation des atomes de surface par effet photoélectrique. L'analyse se faisant dans un environnement ultravide, les photoélectrons émis sont collectés et triés en fonction de leur énergie cinétique E_C . Lors de l'interaction avec un atome, une partie de l'énergie incidente sert à rompre la liaison (E_{liaison}), alors que le reste est transféré au photoélectron sous forme d'énergie cinétique. Connaissant l'énergie $h\nu$ du photon X excitateur (raie $AlK\alpha$ à 1486,6eV pour cette étude), il est alors facile de remonter à l'énergie de liaison par la loi suivante de conservation de l'énergie :

$$E_{\text{liaison}} = h\nu - E_C \quad [\text{Eq. II.1}]$$

, h étant la constante de Planck ($6,626 \times 10^{-34}$ J·s) et ν la fréquence de la radiation d'excitation.

Le spectre des énergies de liaison des électrons de cœur est spécifique d'un atome donné et conduit donc à son identification et à son dosage dans un composé. Le développement rapide de la technique XPS a pour origine le déplacement des énergies de

liaison des niveaux de cœur (de l'ordre de l'électronvolt) en fonction de l'environnement chimique de l'atome, ce qui renseigne sur son état chimique dans l'échantillon analysé.

Les photoélectrons émis, portant l'information utile, doivent atteindre la surface du matériau étudié sans avoir subi d'interaction inélastique, ce qui limite la profondeur analysée sous incidence normale du faisceau à environ 3λ , où λ est le libre parcours moyen de l'électron à l'énergie cinétique correspondante. Typiquement, l'épaisseur analysée est de l'ordre de 5 à 10nm. Les photoélectrons générés par les couches plus profondes du matériau sont recapturés par l'échantillon et ne contribuent pas au spectre. En faisant varier l'angle d'incidence θ du faisceau de photons X incidents, la profondeur d'analyse diminue d'un facteur $\sin\theta$ et ceci permet d'être plus sensible à la surface.

La spectroscopie XPS peut aussi apporter une information supplémentaire concernant l'analyse stœchiométrique d'un composé à partir de la mesure des aires sous les pics de niveaux de cœur. Le rapport stœchiométrique entre deux atomes A et B d'un composé analysé sur une profondeur z peut être déterminé à partir de la formule ci-dessous :

$$\frac{N_B}{N_A} = \frac{I_B}{I_A} \times \frac{\sigma_A \lambda_A}{\sigma_B \lambda_B} \times \left(\frac{1 - \exp\left(-\frac{z}{\lambda_A \sin \theta}\right)}{1 - \exp\left(-\frac{z}{\lambda_B \sin \theta}\right)} \right) \quad [\text{Eq. II.2}]$$

, avec N_x la densité atomique de l'élément X, σ_x sa section efficace de photo-ionisation, λ_x le libre parcours moyen associé au photoélectron émis par l'élément X, et I_x l'intensité sous le pic du niveau de cœur associé.

L'installation de l'INL est constituée d'un spectromètre V.S.W. (ESCA 150) muni d'une source $\text{AlK}\alpha$ monochromatisée ^[Kazzi07]. Durant cette thèse, l'XPS a été utilisé pour rechercher deux types d'informations :

i) tout d'abord en sortie du réacteur d'épitaxie, il s'agit d'analyser la composition physico-chimique de la couche déposée et de l'interface avec le substrat de Si. Cela signifie concrètement vérifier le bon degré d'oxydation des atomes métalliques présents dans les oxydes étudiés et s'assurer que l'interface oxyde/Si est abrupte sans silicates ni SiO_2 .

ii) dans un deuxième temps, étudier l'influence de recuits post-dépôt sur l'interface oxyde/silicium. En effet, les couches étudiées étant minces pour atteindre de faibles EOT, il

est possible de suivre l'évolution de cette interface au cours des traitements post-dépôt par l'observation des pics d'intensité correspondants aux niveaux de cœur du silicium.

L'acquisition des spectres XPS s'est faite sous un angle d'émission de 90° par rapport à la surface des échantillons analysés. Il faut aussi que l'épaisseur de la couche d'oxyde soit inférieure à ~8nm pour pouvoir sonder la composition de l'interface oxyde/Si.

II.5) La microscopie électronique en transmission

La microscopie électronique en transmission (TEM) est une technique d'observation qui utilise les propriétés ondulatoires d'un faisceau d'électrons pour imager un échantillon avec une grande résolution. Les électrons sont générés par un canon à émission thermoïonique ou à émission de champ, accélérés par un potentiel électrostatique dans une colonne sous vide et sont focalisés à l'aide de lentilles magnétiques sur l'échantillon à observer. Le faisceau d'électrons interagit avec l'échantillon avec un contraste produit par des différences dans la densité ou de composition chimique. Le TEM peut être utilisé en mode imagerie et en mode diffraction. Dans tous les cas, il est impératif que l'échantillon soit très mince (quelques nanomètres) afin que les électrons puissent être transmis à travers.

Les analyses TEM présentées dans cette étude ont été réalisées par Olivier Marty à l'INL-Université Lyon I et Ludovic Largeau & Gilles Patriarche au LPN Marcoussis.

II.6) Fabrication des dispositifs MOS et MOSFET en environnement salle blanche

Une fois les diélectriques déposées sur Si dans le bâti d'épitaxie, et éventuellement après avoir subi un traitement thermique post-dépôt, les échantillons sont métallisés afin de mesurer les caractéristiques électriques de ces couches minces d'oxydes high- κ . Pour cela, deux types de composants ont été élaborés : majoritairement des capacités métal-oxyde-semi-conducteur (MOS) mais également des transistors à effet de champ MOSFET. Ces dispositifs sont fabriqués en environnement salle blanche à l'INL.

II.6.1) Capacités MOS

II.6.1.1) Choix des substrats et des métaux de grille

Les substrats choisis pour réaliser ces composants sont orientés Si(001) ou Si(111) et sont de type P (dopés au bore). Ils ont été fournis par STMicroelectronics. La concentration de bore est telle que le dopage final se situe aux alentours de 10^{16}cm^{-3} , soit une résistivité proche de $1\Omega\cdot\text{cm}$. Les porteurs majoritaires sont donc des trous de charge positive. Le dopage des substrats ne doit pas être trop élevé pour ne pas empêcher le phénomène d'inversion d'une capacité MOS de se produire. Un dopage P trop fort a pour effet de positionner le niveau de Fermi du Si trop proche de la bande de valence, empêchant les porteurs minoritaires (les électrons) de participer à la déplétion et à l'inversion de la capacité.

En ce qui concerne le choix des métaux de grille de ces capacités, divers essais ont été menés avec l'aluminium, l'or, le nickel et le chrome (Fig. II.6) sur des plaques de SiO_2 provenant du CEA-LETI. Alors que l'industrie microélectronique s'oriente vers des alliages métalliques comme le TiN^[Kim06] ou encore le TaN^[Lee00a], ou bien vers la siliciuration (FULLY Silicide^[Gusev04]) comme avec le NiSi^[Gribel07], une solution basse température (du moins qui ne nécessite aucun traitement thermique pour former l'électrode de grille) a été retenue, ceci afin de ne pas influencer le comportement électrique de l'oxyde de grille.

Comme le montre la figure II.6(a), l'aluminium présente un comportement anormal. En effet, la courbe capacité-tension affiche une remontée en régime d'inversion, ce qui ne devrait pas se produire étant donné que la mesure est faite à haute fréquence. Non générés, les porteurs minoritaires qui sont ici des électrons, ne devraient pas se manifester. Cette allure inhabituelle est confirmée par la mesure I-V qui présente elle aussi une forte remontée du courant pour les tensions de grille positives ; remontée qui ne devrait en fait qu'être une saturation du courant à faible intensité, faute de porteurs minoritaires disponibles. Ces dysfonctionnements électriques sont vraisemblablement à mettre sur le compte de charges fixes ou d'impuretés incorporées dans l'aluminium.

Les meilleurs résultats sont obtenus avec des électrodes en or. Dans l'obscurité, la courbe C-V ne présente pas de remontée en régime d'inversion et la courbe I-V sature pour les polarisations positives (Fig. II.6(b)). En présence de lumière et à basse fréquence, la C-V remonte en inversion du fait de la génération de porteurs. Par ailleurs, contrairement à l'aluminium, l'or ne s'oxyde pas à l'air.

Cependant, l'or adhère mal à la surface des oxydes. La décision finale s'est donc orientée vers une électrode de grille métallique constituée d'une couche épaisse d'or déposée sur une fine couche d'accroche de nickel (Fig. II.6(c)). Les résultats électriques obtenus sont comparables à ceux obtenus sans nickel : la capacité mesurée en accumulation est de l'ordre de 69pF pour une surface de plot de $95 \times 95 \mu\text{m}$, ce qui, aux diverses imprécisions de mesures et termes correctifs près, est tout à fait cohérent avec la capacité théorique d'une couche de 5nm de SiO_2 ($C_{\text{ox théorique}} = 62\text{pF}$). De plus, les résultats sont extrêmement reproductibles d'une capacité à une autre.

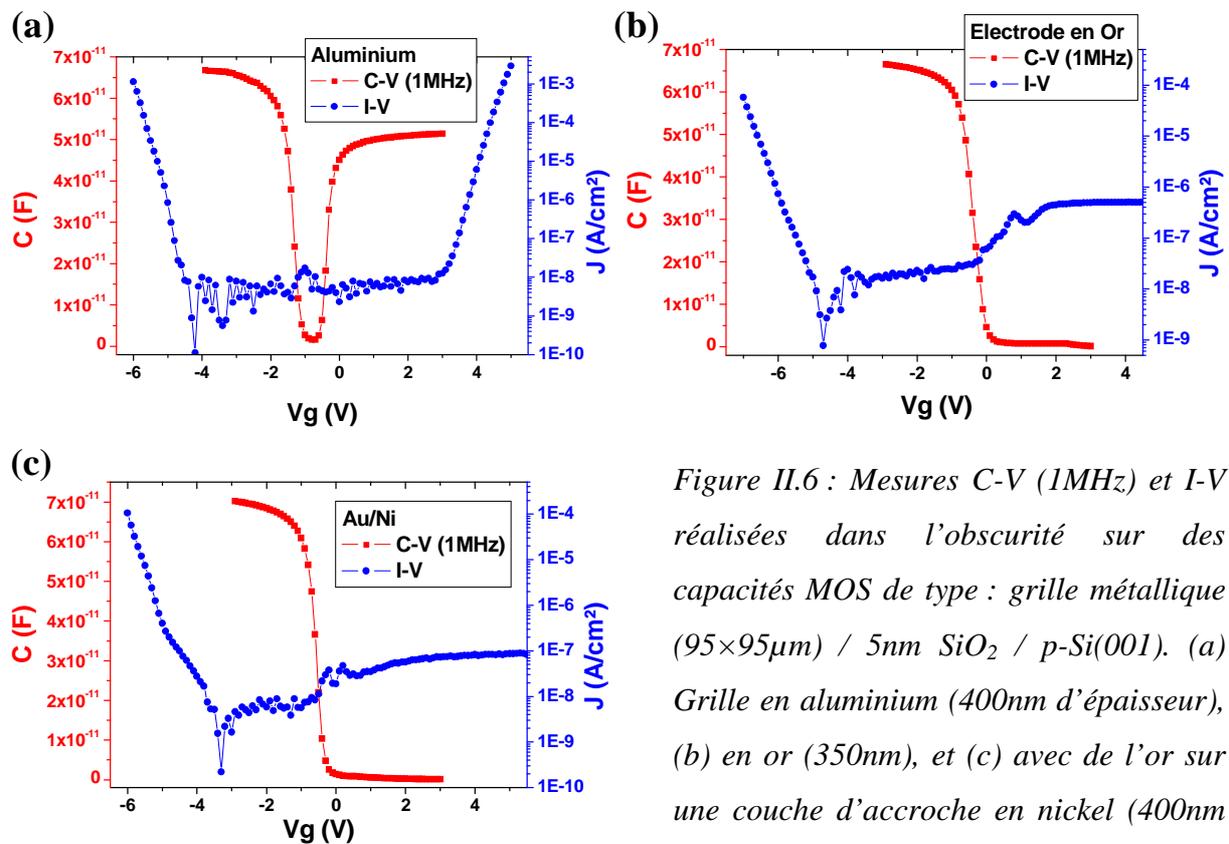


Figure II.6 : Mesures C-V (1MHz) et I-V réalisées dans l'obscurité sur des capacités MOS de type : grille métallique ($95 \times 95 \mu\text{m}$) / 5nm SiO_2 / p-Si(001). (a) Grille en aluminium (400nm d'épaisseur), (b) en or (350nm), et (c) avec de l'or sur une couche d'accroche en nickel (400nm Au / 5nm Ni).

Tout en étant conscient que l'or n'est pas un métal adapté à une intégration industrielle du fait que ce métal ne supporte pas les hautes températures (mauvaise adhérence, diffusion, formation de gouttelettes), toutes les grilles métalliques des dispositifs MOS étudiés dans ce manuscrit sont composées d'un empilement Au/Ni comme décrit plus précisément au paragraphe suivant.

II.6.1.2) Fabrication de capacités MOS par "lift-off"

Le procédé "lift-off" consiste à déposer un matériau à la surface d'un autre, selon des motifs précis élaborés à l'aide d'un troisième matériau dit sacrificiel. C'est une méthode qui ne nécessite aucune étape de gravure, uniquement l'utilisation des techniques de lithographie. Pour métalliser les échantillons et fabriquer de cette manière des capacités MOS, la procédure suivante a été suivie :

- nettoyage rapide de la surface de l'oxyde à l'eau désionisée et séchage à l'azote.
- dépôt à la tournette d'un promoteur d'adhérence. C'est un composé déposé sur la surface afin d'améliorer l'adhésion de la résine sur l'oxyde. Le procédé consiste en un remplacement des groupements hydrophiles qui se forment normalement sur la surface par d'autres groupements hydrophobes. Une extrémité des molécules constitutives du promoteur d'adhérence réagit avec la surface oxydée de l'échantillon, tandis que l'autre extrémité des molécules va quant à elle pouvoir former des liaisons avec la résine.
 - dépôt de la résine AZ 5214 à 5500 tours/min pendant 30s.
 - recuit d'une minute sur une plaque chauffante à 110°C assurant l'élimination rapide d'une partie des solvants et la polymérisation de la résine.
 - insolation avec un temps d'exposition de 1,4 seconde à travers un masque métallique dit "capa", constitué de motifs carrés présentant des dimensions latérales allant de 95µm à 580µm. L'appareil employé est un Karl Süss MJB3 UV300 SUSS. La longueur d'onde d'exposition est de 300nm.
 - nouveau recuit d'une minute à 110°C pour inverser la résine.
 - insolation pleine plaque durant 10 secondes puis développement de la résine pendant une minute sous forte agitation.
- l'échantillon ainsi masqué par la résine est ensuite introduit dans un bâti d'évaporation sous vide Leybold pour y déposer en premier lieu 3nm de Ni puis 300nm d'Au. Ces métaux sont placés sous forme de granulés dans des nacelles chauffées par effet Joule jusqu'à évaporation du matériau. L'épaisseur déposée est contrôlée à l'aide d'une balance à quartz.
- une fois les métaux de grille déposés à la surface de l'oxyde, reste à retirer la résine encore présente, et par conséquent le métal excédentaire, par trempage dans un bain d'acétone.

La surface des échantillons ainsi traités apparaît alors comme sur la figure II.7.

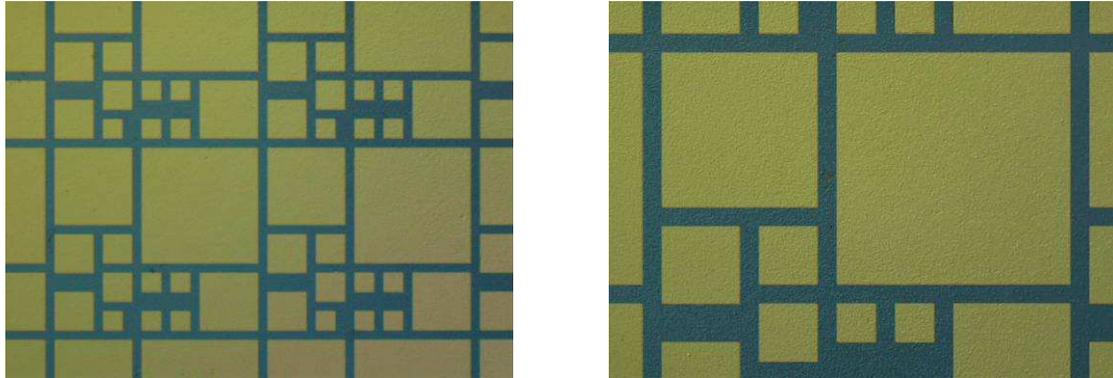


Figure II.7 : Images prises au microscope optique (grossissements $\times 26$ à gauche et $\times 52$ à droite) d'un échantillon métallisé Au/Ni pour faire des mesures capacitives.

II.6.2) Le masque TCHE

II.6.2.1) Le projet transistors TCHE

L'objectif de ce projet est d'évaluer les matériaux en configuration MOSFET. Cette mise en situation réelle permettrait, entre autre, de mesurer la mobilité des porteurs dans les canaux des transistors ^[Naraya08]. En effet, outre les répercussions évidentes des défauts électriques et pour ne citer que l'étude de Ferrari et al. ^[Ferrari07], les oxydes high- κ sont présumés dégrader la mobilité dans le canal de Si. Selon ce travail de simulations Monte Carlo, comparativement au traditionnel système Si/SiO₂, la mobilité des électrons est significativement altérée par l'introduction des high- κ en contact direct avec le Si. Cette disparition de la silice au profit des isolants high- κ introduit de fortes interactions avec des phonons optiques. Ce couplage entre les porteurs de charge et les phonons est le principal responsable de cette diminution de la mobilité. Ces interactions résultent de la forte polarisabilité ionique des matériaux high- κ , laquelle est fondamentalement reliée à la forte constante diélectrique de ces diélectriques comme explicité par la relation de Clausius

Mossotti :

$$\frac{\kappa - 1}{\kappa + 2} = \frac{\rho \cdot \alpha}{3 \epsilon_0} + \alpha_{or} \quad [\text{Eq. II.3}]$$

, avec κ la constante diélectrique relative de l'oxyde, ϵ_0 celle du vide, α la polarisabilité du matériau, ρ la compacité du milieu, et α_{or} l'orientation moyenne des dipôles.

Afin de vérifier expérimentalement l'impact sur la mobilité des high- κ déposés à l'INL, des transistors relâchés en technologie non auto-alignée ont été réalisés en partant d'un procédé standard développé en 200mm au LETI (cadre : projet région OXEPISI). Pour cela, des wafers pré-processés (marquages, définition de la zone active, oxydation LOCOS 250nm, implantation des caissons, recuit d'implantation, implantation sources et drains, recuit "spike" 1050°C, dépôt d'un oxyde sacrificiel) ainsi qu'un masque permettant de métalliser les électrodes de grille ont été adaptés aux possibilités technologiques de dépôt MBE et de photolithographie disponibles à l'INL. Les différentes puces constitutives d'un base wafer ont été dimensionnées afin d'être compatibles avec le porte échantillon du réacteur d'épitaxie (Fig. II.8(a)) et présentent une partie blanche utile pour les différentes étapes de contrôle, comme le contrôle RHEED in-situ. De plus, la résolution maximale étant fixée à 2 μ m, les motifs de taille inférieure ont été supprimés du masque original (Fig. II.8(b)). Ce masque regroupe toutes les structures et motifs de tests nécessaires aux caractérisations électriques des MOSFET ou capacités MOS.

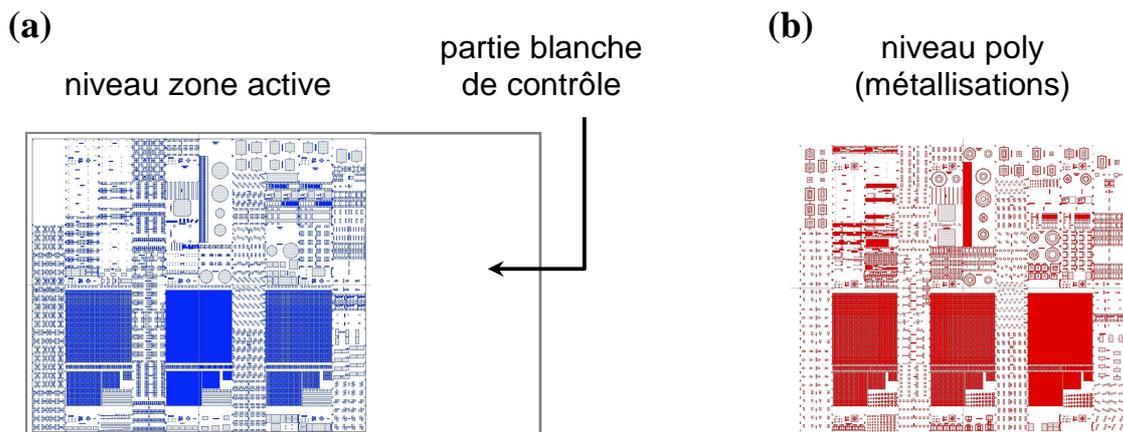


Figure II.8 : Motifs (a) d'une puce (2 \times 3cm) du base wafer et (b) du masque TCHE correspondant pour l'intégration d'oxydes high- κ dans des transistors.

II.6.2.2) Procédé d'élaboration

Deux méthodes de fabrication (Fig. II.9) sont susceptibles d'être employées pour la réalisation des composants électroniques de ces puces :

- le dépôt de métal pleine plaque, suivi d'une gravure de la grille métallique et de l'oxyde.

- le lift-off (décrit précédemment pour la fabrication des capacités MOS), suivi d'une gravure de l'oxyde.

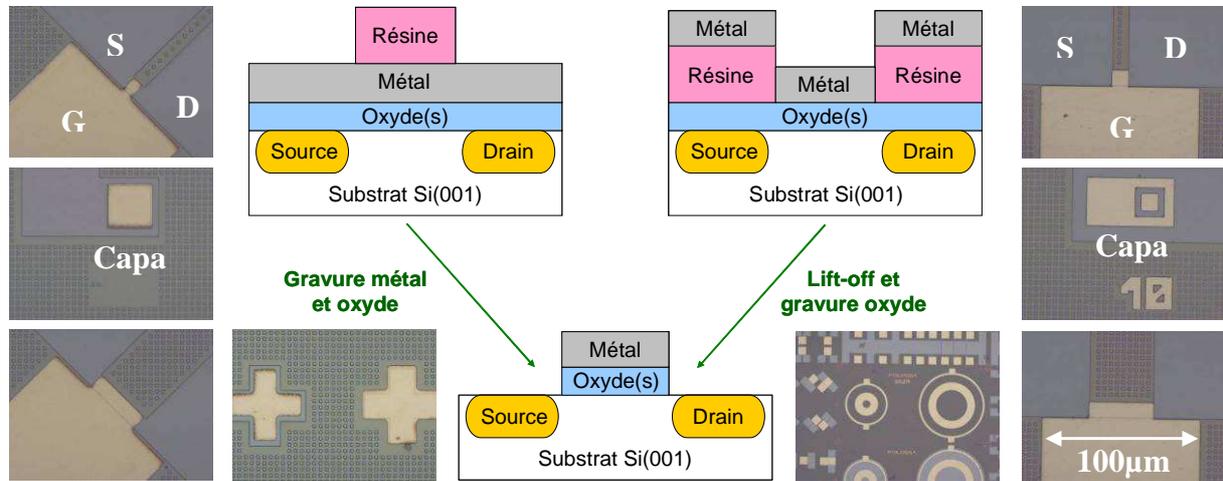


Figure II.9 : Les deux techniques d'élaboration envisagées pour les puces MOSFET et images au microscope optique des dispositifs obtenus (LaAlO_3). Le lift-off offre un meilleur résultat.

Au niveau de la gravure de l'oxyde de grille, là encore, il existe deux possibilités. La voie sèche par gravure ionique réactive (RIE), difficilement exploitable du fait des faibles épaisseurs mises en jeu qui rendent difficile l'observation d'un signal de fin d'attaque par interférométrie laser. Et la voie humide qui est donc préférable, à condition de trouver des solutions de gravure qui attaquent sélectivement les matériaux et de limiter la sur-gravure. En effet, le substrat ne doit pas être gravé sous peine d'endommager les dispositifs. Il faut impérativement s'arrêter à l'interface oxyde/substrat Si.

Les différents essais réalisés montrent que le procédé lift-off permet d'atteindre une meilleure résolution. Les composants présents sur les puces sont nettement mieux définis que dans le cas d'une gravure du métal et de l'oxyde.

Par conséquent, le procédé lift-off a été retenu pour la fabrication de ces puces. Deux lots ont alors été réalisés pour tester la faisabilité de ce projet. Les base wafers étant disponibles en plaque n-MOS (dopage arsenic) et p-MOS (dopage bore), une première série utilisant du LaAlO_3 amorphe comme oxyde de grille et une deuxième série avec du SiO_2 (5,3nm déposés par plasma ECR et mesurés en ellipsométrie) ont été processées comme décrit

figure II.10. La solution utilisée pour la gravure du LaAlO_3 amorphe est soit du H_3PO_4 , soit du FeCl_3 .

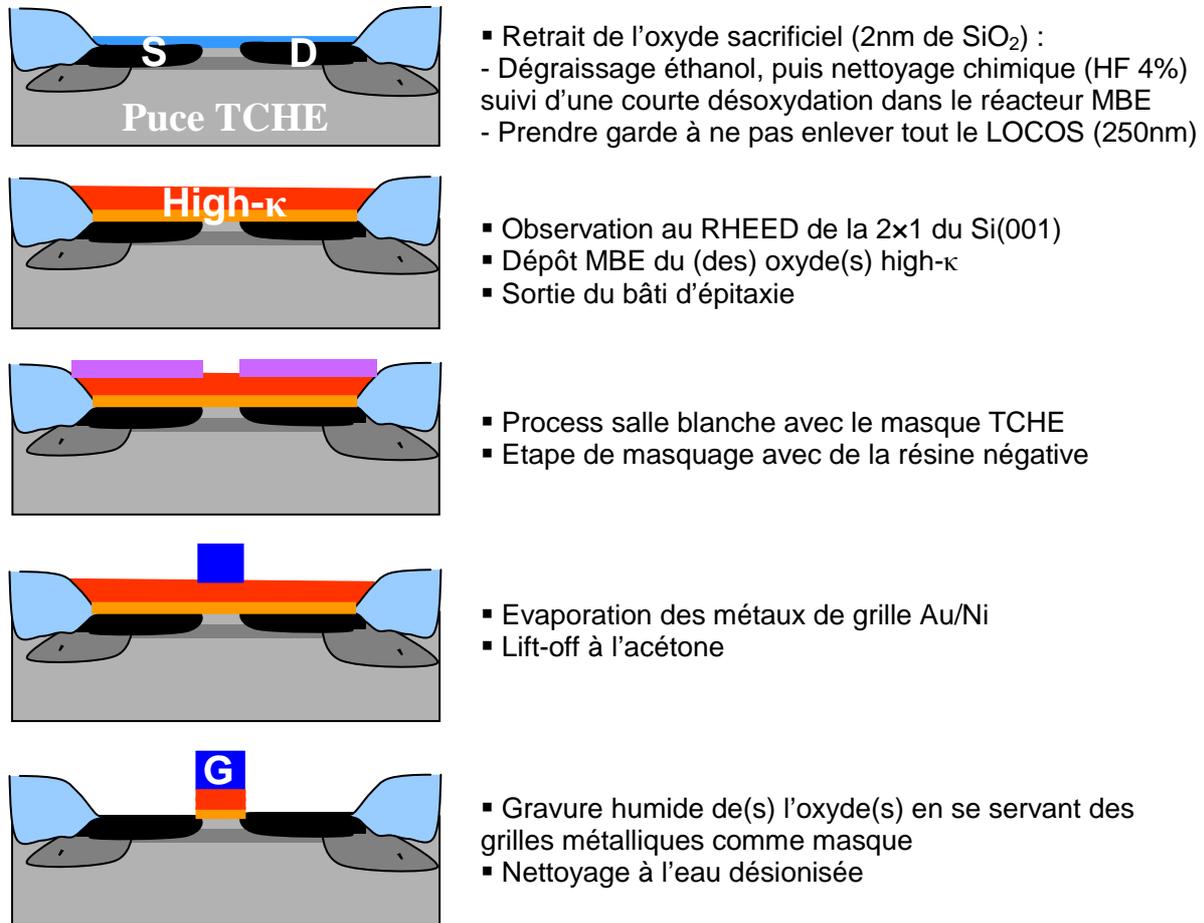


Figure II.10 : Méthode d'élaboration choisie pour la conception des puces MOSFET TCHE.

II.6.2.3) Mesures électriques préliminaires et conclusions

Ces puces contiennent une grande variété de dispositifs électroniques (capacités MOS, transistors relâchés avec différentes orientations, largeurs de grille et de canal, transistors à prises Kelvin, croix de Hall, MOS carrés et circulaires sans isolation, ...) permettant d'évaluer rapidement les propriétés de nouveaux empilements et briques technologiques à partir d'un procédé simplifié.

Des mesures capacitives menées sur ces puces ont montré des résultats en cohérence avec les épaisseurs d'oxyde déposées. Toutefois, les courbes C-V obtenues sont parfois assez perturbées, avec notamment des dispersions en fréquence.

Le point positif est qu'il a été possible d'observer un effet transistor sur certaines structures (Fig. II.11). Cependant, les courbes sont limitées, d'une part par la surface de grille de ces structures qui est élevée et donc conduit à un fort courant de grille et, d'autre part, par les fuites de jonction à faible polarisation V_g .

Cette étude a révélé que les mesures électriques de ces transistors TCHE souffrent de la qualité des contacts source-drain. Il semble que les jonctions soient sensibles à la pression de la pointe. Ces jonctions sont peut être trop fines. Mais le problème majeur auquel cette étude s'est heurtée est sans doute dû au fait que les contacts source-drain des transistors relâchés ne sont pas métallisés : le masque TCHE à disposition du laboratoire permet uniquement la métallisation des électrodes de grille. Les contacts source-drain sont à nu. Une solution consisterait alors à définir un masque complémentaire permettant la métallisation de ces contacts source-drain. Autrement, une solution alternative repose sur la siliciuration. Néanmoins, cette technique serait dans le cas présent assez difficile à mettre en œuvre.

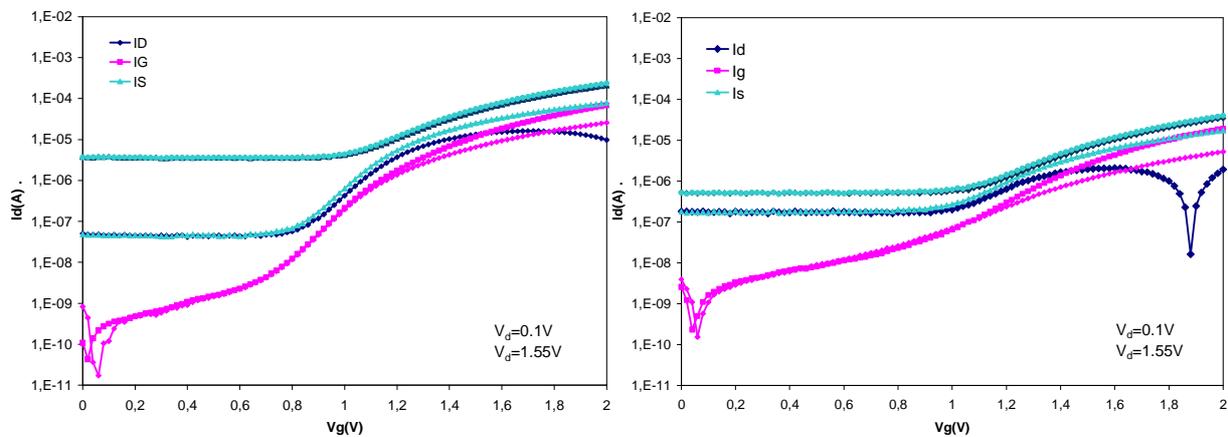


Figure II.11 : À droite, caractéristiques de transfert d'un transistor circulaire, $L=100\mu\text{m}$, $W=2\times\pi\times300\mu\text{m}$. À gauche, caractéristiques de transfert d'un transistor relâché RelZ90, $L=100\mu\text{m}$, $W=100\mu\text{m}$. L'oxyde de grille est du SiO_2 .

II.7) Mesures électriques sur les capacités MOS et extraction des paramètres

Dans cette section, les techniques mises en œuvre pour réaliser les mesures électriques sur les capacités MOS seront décrites : du principe de fonctionnement d'une capacité MOS à l'extraction des paramètres électriques, en passant par les mesures en elles-mêmes.

II.7.1) Fonctionnement d'une capacité MOS

MOS est l'abréviation de Métal-Oxyde-Semi-conducteur ^[Mathie04]. Les capacités MOS sont constituées d'un substrat semi conducteur de type P ou N, d'une électrode métallique, appelée grille, qui est séparée du substrat par un oxyde qui constitue l'isolant. Elles sont l'élément de base de réseaux denses adressables capables de remplir des fonctions variées telle que la détection d'image, le stockage de données, les opérations logiques, le traitement des signaux. Elles sont l'élément actif du transistor MOSFET. Seules les capacités MOS avec un substrat en Si dopé P seront traitées par la suite.

Lorsqu'une tension V_g est appliquée sur la grille d'une structure MOS, trois différents modes de fonctionnement peuvent se produire selon la valeur de la polarisation :

i) le régime d'accumulation ($V_g < V_{FB}$, V_{FB} étant la tension de bandes plates). (Fig. II.12(b))

Sous l'effet du champ électrique, les porteurs majoritaires du substrat, autrement dit les trous, sont attirés vers l'interface oxyde/Si et forment une couche d'accumulation. En outre, le temps de relaxation des porteurs majoritaires étant très faible (de l'ordre de quelques picosecondes), la valeur de la capacité est la même en mesure basse fréquence qu'en mesure haute fréquence.

ii) la déplétion (ou désertion) ($V_g > V_{FB}$). (Fig. II.12(c))

Les trous sont repoussés de la surface du semi-conducteur vers le volume du substrat par les charges positives appliquées sur la grille. Il se crée à l'interface oxyde/Si une charge négative due à la zone de charge d'espace engendrée. En régime de déplétion, la capacité de la structure est égale à la capacité de l'isolant en série avec la capacité de la zone de désertion

des porteurs majoritaires. Cette dernière varie en fonction de la tension appliquée sur la structure. Par ailleurs, une variation très rapide de la charge de l'électrode de métal étant compensée par une variation aussi rapide de l'épaisseur de la zone de charge d'espace, la valeur de la capacité est la même à basse fréquence qu'à haute fréquence.

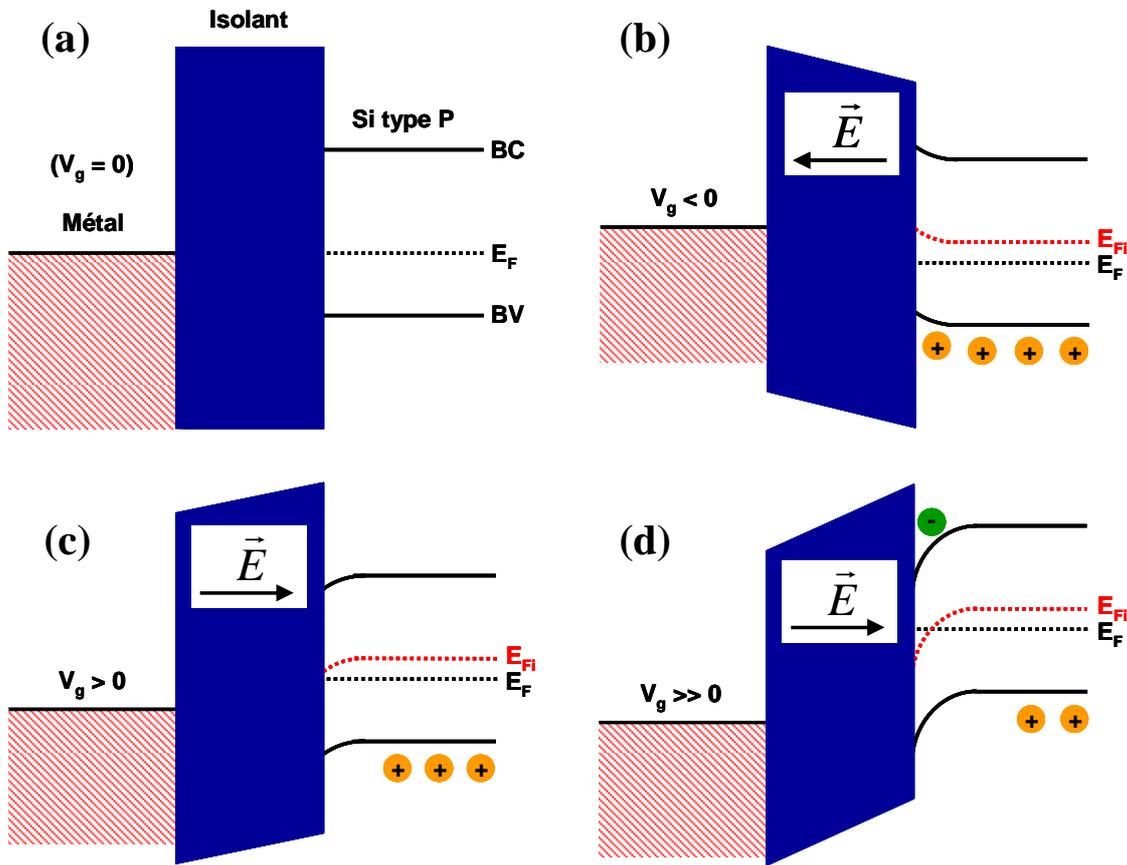


Figure II.12 : Diagrammes de bandes des modes de fonctionnement d'une capacité MOS. L'hypothèse $V_{FB} = 0V$ a été prise pour faciliter la compréhension du schéma. (a) Capacité en régime de bandes plates, aucune tension appliquée. (b) Régime d'accumulation. (c) Déplétion. (d) Inversion.

iii) le régime d'inversion ($V_g \gg 0$). (Fig. II.12(d))

Tous les trous ont déserté la surface du semi-conducteur. Les électrons qui étaient minoritaires deviennent alors les porteurs majoritaires à la surface du semi-conducteur. Il y a alors une inversion du type du substrat en surface. Dans cette région, la courbure des bandes s'accroît et le niveau de Fermi devient plus proche de la bande de conduction du Si que de la bande de valence. Il y a apparition d'une couche d'inversion, séparée de la région neutre du semi-conducteur par une zone désertée. La condition de forte inversion a été définie

arbitrairement quand la densité des porteurs négatifs à l'interface isolant/semi-conducteur est égale à celle des porteurs positifs dans le semi-conducteur.

En régime d'inversion, tout accroissement de la charge sur l'électrode métallique peut être équilibrée par deux phénomènes distincts :

- à basses fréquences, la variation de charges est assurée par les électrons (porteurs minoritaires) de la couche d'inversion.
- à hautes fréquences, la variation de charges est assurée par l'augmentation de la charge d'espace due à la zone désertée. Les électrons n'ont pas le temps de suivre les fluctuations du signal de mesure. La variation de la charge d'inversion étant un mécanisme lent, il faut attendre que des électrons minoritaires soient créés par agitation thermique ou par photogénération et viennent se plaquer sur l'interface isolant/Si.

La recombinaison de ces trois régimes de fonctionnement permet d'obtenir la courbe C-V caractéristique d'une capacité MOS. La figure II.13 représente ce tracé.

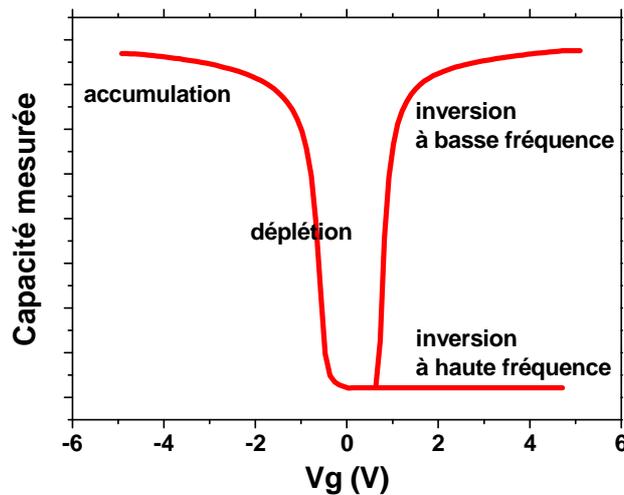


Figure II.13 : Courbe caractéristique représentant la capacité mesurée aux bornes d'une capacité MOS en fonction de la polarisation. Mesures à haute et à basse fréquences.

II.7.2) Appareillage de mesures C-V et I-V

Les mesures électriques C-V et I-V menées sur des capacités MOS permettent d'obtenir rapidement des informations importantes sur le diélectrique de grille. Ces mesures ont été faites à l'INL, dans l'équipe "Composants Nanoélectroniques" dirigée par Carole Plossu. Elles ont été réalisées sur un banc de caractérisations électriques sous pointes. Ce banc

est placé à l'intérieur d'une cage de Faraday afin de faire les mesures dans l'obscurité et de limiter au maximum les perturbations extérieures. La station sous pointes est placée sur une table anti-vibratoire. Toutes les mesures ont été faites dans l'obscurité. Il est néanmoins possible d'éclairer l'échantillon durant les mesures afin de faciliter la génération de porteurs minoritaires.

Le contact face arrière est pris via un collage à la laque d'argent. L'appareillage de mesure à proprement dit se compose d'un impédance-mètre HP4284 A pour effectuer les mesures C-V et d'un HP4156 B pour les mesures I-V. Ce dernier est capable de mesurer des courants de l'ordre du femto-ampère. Les données brutes fournies par ces deux appareils sont récupérées sous forme de fichiers textes, traités par la suite à l'aide du tableur OriginPro.

L'impédance-mètre AGILENT HP4284A mesure les composantes en phase et en quadrature de l'impédance complexe de la structure sous test. A partir de cette mesure, il peut fournir les valeurs des paramètres des deux modèles équivalents que sont le modèle série (Cms, Rms) et le modèle parallèle (Cmp, Rmp), représentés figure II.14. Les mesures peuvent être réalisées dans un domaine fréquentiel compris entre 100Hz et 1MHz.

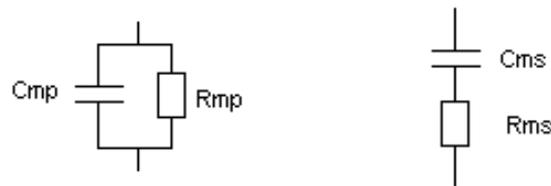


Figure II.14 : Modèles parallèle et série proposés pour les mesures par le HP4284 A.

Rmp et Rms sont des résistances de fuites ou de pertes dans le diélectrique.

En fonction de la tension de grille appliquée sur la capacité, cet appareillage peut délivrer différents couples de valeurs spécifiques au circuit électrique ^[Brown04] : Cms-Rms, Cmp-Gmp (Gmp étant la conductance mesurée en mode parallèle), Cmp-D (D le facteur de dissipation), etc... Tout au long de ce travail, les couples mesurés seront Cms-Rms et Cmp-Gmp.

II.7.3) Le programme de simulation TCV-TIV

II.7.3.1) Fonctionnement du simulateur

Le simulateur TCV-TIV est un outil simple et rapide développé à l'INL par Christophe Busseret, Nicolas Baboux, Carole Plossu et Alain Poncet ^{[Busser06], [Palest07]}. La motivation première du simulateur TCV est née d'une constatation simple : le calcul d'une

courbe C-V de structure MOS 1D en quantique peut prendre une heure dans certaines conditions (dopages, nombre de points, ...). Dans ces conditions, il est très fastidieux d'arriver à fitter une courbe C-V expérimentale en temps réel. L'objectif était donc de proposer une méthode de reconstitution qui prend environ 5 secondes pour 300 points de tension, quel que soit le dopage.

L'élaboration de courbes C-V d'une structure MOS repose sur le calcul des charges stockées dans le semi-conducteur en fonction de la polarisation appliquée à la grille. Toute la difficulté dans une approche quantique repose justement sur le calcul de cette charge. Il est en effet nécessaire de résoudre l'équation de Schrödinger. Afin d'éviter le calcul fastidieux de la charge pour chaque courbe C-V tracée, l'utilisation de données tabulées a été proposée. Des données sont calculées préalablement par un solveur Poisson Schrödinger de type QUANTIX (se reporter au paragraphe V.4) et il suffit d'aller récupérer les données tabulées correspondant aux paramètres de la structure d'étude.

Une fois la structure définie dans le simulateur TCV, la caractéristique J-V de cette structure peut être simulée avec le programme TIV. Le courant simulé est un courant obtenu par effet tunnel.

II.7.3.2) Influence des différents paramètres

Le simulateur TCV permet de simuler les caractéristiques C-V de structures MOS comportant plusieurs oxydes de grille déposés les uns sur les autres. Il est ainsi possible de simuler une capacité MOS multicouches composée au maximum de trois oxydes différents. Pour chacune de ces couches diélectriques, l'épaisseur, la permittivité, la quantité de charges fixes et la position de cette charge fixe globale peuvent être ajustées. Outre ces paramètres, TCV permet également d'ajuster le dopage du substrat de Si, la température, le travail de sortie du métal de grille et la densité de défauts d'interface. La figure II.15 montre l'effet d'une variation de ces paramètres dans une simulation TCV. Les valeurs de capacité en accumulation et en inversion sont identiques du fait que TCV considère que la structure simulée possède suffisamment de porteurs minoritaires et que la mesure se fait à basse fréquence.

La figure II.16 illustre l'impact des paramètres modifiables sous TIV, à savoir la masse effective des électrons dans l'oxyde et la hauteur de barrière entre l'isolant et le Si. Il est à noter qu'une étude de l'influence de la constante diélectrique sur le courant de fuite

conduit au même résultat qu'avec la masse effective : une augmentation d'un de ces deux paramètres conduit à une diminution des courants de fuite.

Il est important de signaler que les densités de courant à bas champs électriques, c'est-à-dire à faibles polarisations (de -1V à +1V), ne sont pas représentatives de la réalité. Le simulateur ne tient pas compte de la conduction via les défauts dans l'oxyde et via les défauts d'interface lors des simulations J-V, alors qu'il en tient compte lors des simulations C-V. Les courants de fuite à bas champs sont donc plus importants que ce que prévoit le simulateur, puisqu'en plus du courant par effet tunnel il faut ajouter des courants de fuite qui se font notamment au niveau des états d'interface ^[Ghetti99]. Lors d'une simulation, il faut donc s'intéresser uniquement aux extrémités de la courbe J-V. De plus, il faut garder en mémoire le fait que seuls les courants tunnel direct ou de type Fowler-Nordheim sont pris en compte dans une simulation : les mécanismes de conduction de type Poole-Frenkel ou encore de type "hopping" ne modulent pas le courant de fuite dans TIV.

II.7.4) Détermination de l'EOT à l'aide du programme TCV

Dans un dispositif de type MOS, la capacité mesurée est en fait la somme de trois termes correspondant à trois capacités mises en série :

$$\frac{1}{C} = \frac{1}{C_{oxide}} + \frac{1}{C_{grille}} + \frac{1}{C_{substrat}} \quad [\text{Eq. II.4}]$$

En termes d'épaisseurs, ceci peut se traduire par la relation : ^[Robert06]

$$CET = EOT + t_{grille} + t_{substrat} \quad [\text{Eq. II.5}]$$

, avec CET (Capacitive Equivalent Thickness) l'épaisseur totale correspondant à la mesure capacitive. Cette épaisseur globale prend en compte l'épaisseur équivalente de silice EOT de l'oxyde, ainsi que l'épaisseur de la zone déplétée due à la grille ($t_{grille} = 0,5\text{\AA}$ pour un métal) et que l'apparition d'un gaz 2D d'électrons à l'interface diélectrique/semi-conducteur (apparition de niveaux d'énergie discrets) ^[Li00]. Ce gaz électronique n'est pas strictement confiné à l'interface oxyde/Si et engendre donc une épaisseur supplémentaire $t_{substrat}$ qui peut atteindre quelques angströms (Fig. II.17(a)). Pour des échantillons épais, la distinction entre CET et EOT n'est pas significative et l'approximation $CET = EOT$ est courante. En revanche, lorsque l'objectif est d'atteindre de très faibles valeurs d'EOT, ce qui passe par la mise en jeu de fines couches d'oxyde, cette différence devient non négligeable. Des précautions s'imposent alors pour différencier CET et EOT.

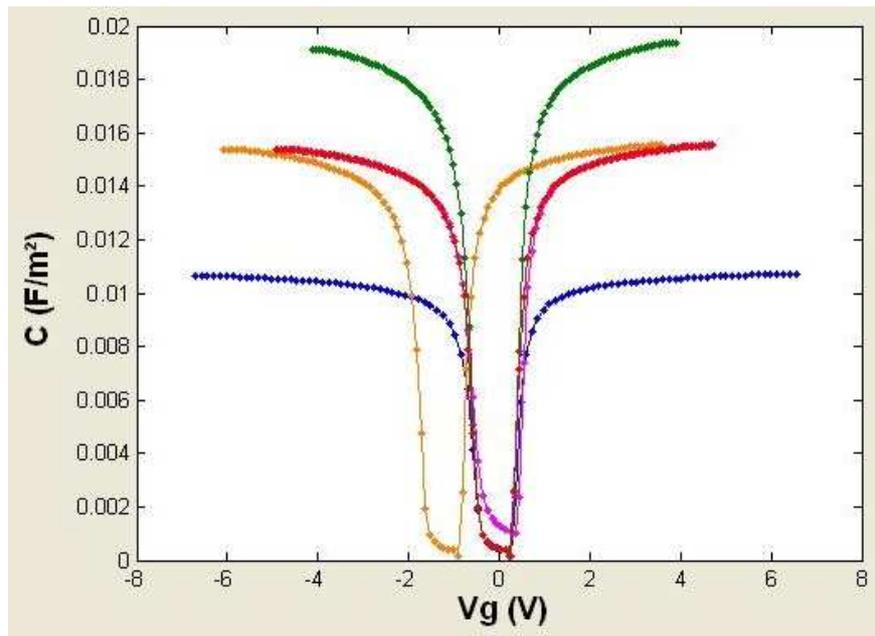


Figure II.15 : Simulations TCV. En rouge, la courbe référence représentant 2nm de SiO_2 ($\kappa = 3,9$) avec une grille en nickel (travail de sortie $\Phi_M = 4,5\text{eV}$), sans charge fixe et Dit, et un dopage du substrat de Si de 10^{16}cm^{-3} . Les autres courbes correspondent aux modifications suivantes : 3nm de SiO_2 (en bleu), $\kappa = 5$ (en vert), charge fixe $Q = +0,02\text{ C/m}^2$ (en orange), et dopage Si de 10^{17}cm^{-3} (en rose).

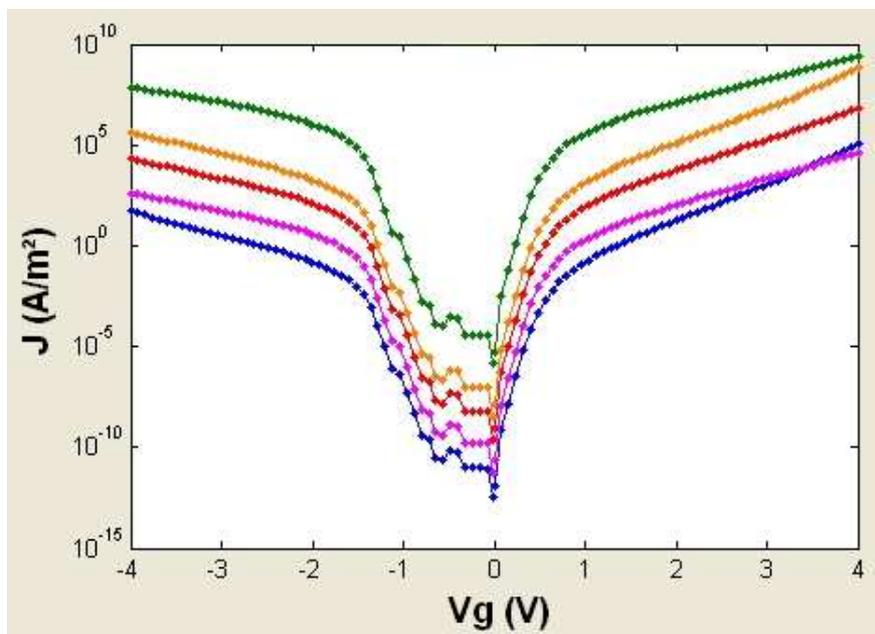


Figure II.16 : Simulations TIV. En rouge, le tracé référence d'une couche de 2nm de SiO_2 avec comme masse effective $m^* = 0,5$ et comme hauteur de barrière $\Phi_B = 3,1\text{eV}$. Les autres tracés correspondent aux modifications suivantes : $m^* = 0,8$ (en bleu), $m^* = 0,2$ (en vert), $\Phi_B = 2,5\text{eV}$ (en orange), et $\Phi_B = 4\text{eV}$ (en rose).

TCV étant un programme de simulation quantique, il permet de fitter une courbe expérimentale C-V en prenant en compte les effets quantiques qui apparaissent pour les faibles épaisseurs de couches d'oxyde. TCV fournit ainsi directement l'épaisseur équivalente de silice EOT (Fig. II.17(b)).

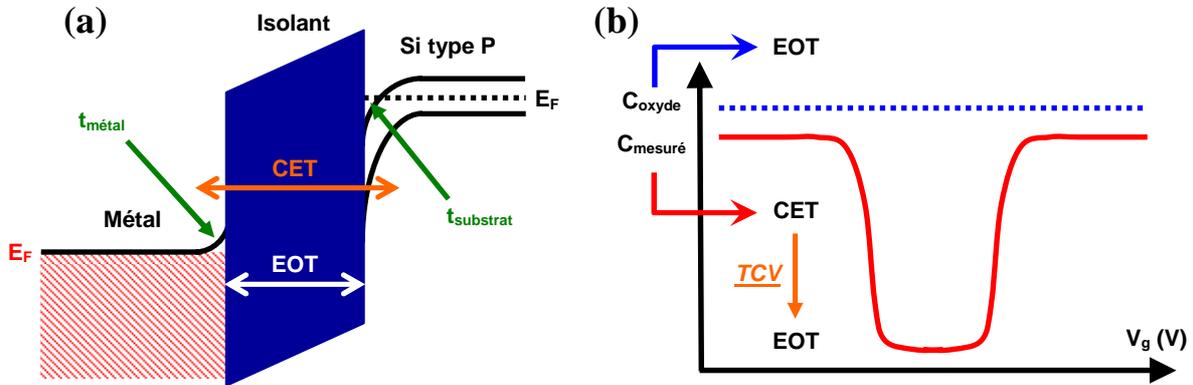


Figure II.17 : (a) Diagramme de bandes montrant la distinction entre CET et EOT.
(b) Principe de détermination de l'EOT avec le simulateur quantique TCV.

Enfin, connaissant l'EOT et l'épaisseur physique déposée du diélectrique, il est aisé de remonter à la permittivité de l'oxyde avec la formule adaptée reliant EOT, $t_{\text{High-}\kappa}$ et $\kappa_{\text{High-}\kappa}$.

II.7.5) Evaluation de la tension de bandes plates

Soumis à aucune polarisation, il est rare que les niveaux de Fermi de l'électrode métallique et du substrat semi-conducteur d'une capacité MOS coïncident strictement. En effet, les travaux de sortie sont dans la plupart des cas différents. Il en résulte une courbure des bandes d'énergie assurant l'alignement des niveaux de Fermi lorsque les deux électrodes sont à un même potentiel. Pour faire disparaître cette courbure de bandes, il est alors nécessaire d'appliquer une tension : la tension de bandes plates V_{FB} .

V_{FB} est d'après cette définition égale à la différence des travaux de sortie du métal et du substrat :

$$V_{FB} = \phi_m - \phi_s = \phi_{ms} \quad [\text{Eq. II.6}]$$

Cependant, la tension de bandes plates dépend également des charges fixes présentes dans l'oxyde. La tension de bandes plates doit alors tenir compte d'un terme supplémentaire induit

par la compensation de ces charges fixes. Elle devient :

$$V_{FB} = (\phi_m - \phi_s) - \frac{Q_{ox}}{C_{ox}} \quad [\text{Eq. II.7}]$$

Pour lutter contre la translation de la courbe C-V induite par ces charges fixes et ramener la structure en position de bandes plates, il faut en effet appliquer une tension supplémentaire qui renseigne sur la nature (positive ou négative) de la charge fixe globale Q_{ox} de l'isolant.

Afin de réaliser l'extraction de V_{FB} à partir de données expérimentales, la courbe $(1/C^2) = f(V)$ peut être tracée. Dans la zone de déplétion, il est possible de fitter une partie de cette courbe à l'aide d'une droite. L'intersection de cette droite avec l'axe des abscisses donne la valeur de V_{FB} , en accord avec l'équation :

$$\frac{1}{C^2} = \frac{2}{q N_A \epsilon_{sc} S^2} (V - V_{FB}) \quad [\text{Eq. II.8}]$$

Le calcul de la pente de cette droite permet également de remonter au dopage N_A du substrat, puisque la constante diélectrique ϵ_{sc} du semi-conducteur et la surface de l'électrode de mesure S sont connues.

Toutefois, cette méthode d'extraction de V_{FB} est valable uniquement dans le cas où l'échantillon présente très peu de défauts d'interface. Ainsi, lorsque la densité de défauts d'interface est trop élevée, la tension de bandes plates V_{FB} peut être extraite à l'aide du simulateur TCv, en ajustant notamment Q_{ox} .

Dans le cas des électrodes Au/Ni utilisées pour les capacités MOS de cette étude, le nickel étant le métal en contact direct avec le diélectrique de grille, la tension de bandes plates théorique est très proche de -0,5V (en prenant un travail de sortie de 4,5eV pour le Ni, un dopage de 10^{16}cm^{-3} des substrats de Si et en considérant un oxyde idéal sans charge fixe).

II.7.6) Méthode d'extraction de la densité de défauts d'interface

Les bandes interdites du substrat et de l'oxyde peuvent être le siège de l'apparition de niveaux d'énergie dus à la présence d'états d'interface localisés entre le diélectrique et le semi-conducteur. La probabilité d'occupation de ces états évolue en fonction de la courbure des bandes d'énergie. Tous les états dont les niveaux sont situés au-dessous du niveau de Fermi du semi-conducteur sont pleins et il y a donc des charges piégées dans ces états. Cela introduit une capacité supplémentaire en parallèle.

Les états d'interface sont caractérisés par une densité d'états d'interface, D_{it} , qui s'exprime en $eV^{-1}\cdot cm^{-2}$. Il est nécessaire de réaliser des mesures C-V à basses fréquences (typiquement quelques kHz) afin que les états d'interface aient le temps de répondre aux variations du potentiel appliqué. Aux hautes fréquences, les états d'interface ne peuvent pas suivre le signal appliqué.

Parmi les précautions qui s'imposent lors de mesures électriques sur de si fines couches d'oxydes ^{[Brown04], [Li00]}, il est donc nécessaire de faire des mesures à hautes et à basses fréquences pour accéder expérimentalement à la densité de défauts d'interface. De plus, ces mesures en fréquences permettent par la même occasion de corriger les mesures C-V par la méthode dite des 2 fréquences, proposée par Yang et Hu ^[Yang99], et d'obtenir ainsi une valeur d'EOT plus précise.

Concernant le calcul de la densité de défauts d'interface, lorsque des mesures à haute et à basse fréquences ont été obtenues avec succès, deux méthodes ont été utilisées : celle de Castagné&Vapaille ^[Castag71] et la méthode de la conductance ^[Nicol82].

Une troisième solution, moins pointue mais plus simple car ne nécessitant pas de mesures à basse fréquence, consiste à prendre une courbe représentative expérimentale mesurée à haute fréquence et à l'ajuster avec le programme de simulation TCV en introduisant la densité adéquate de défauts d'interface.

Ces techniques d'obtention de la densité de défauts d'interface seront explicitées plus en détail lors de leur utilisation au cours du chapitre IV.

CHAPITRE III : Évaluation du Système LaAlO₃ / Si

***CHAPITRE III : Évaluation du Système LaAlO₃ / Si*----- 61**

III.1) Introduction -----	63
III.2) LaAlO₃ : un candidat prometteur -----	63
III.2.1) Caractéristiques de LaAlO ₃ -----	63
III.2.2) Etat de l'art au niveau électrique -----	64
III.2.3) Comparaison avec les autres candidats – Point Fort-----	65
III.3) Croissance de LaAlO₃ par MBE -----	67
III.3.1) Croissance sur substrats oxydes : rappel du savoir-faire INL-----	67
III.3.2) Croissance sur silicium : cristallin ou amorphe ? -----	68
III.3.2.1) Relation d'épitaxie avec le silicium -----	68
III.3.2.2) Choix de la voie amorphe-----	70
III.3.2.3) Impact sur la permittivité et les courants de fuite ?-----	71
III.4) Etude d'échantillons LAO/Si «as-deposited» -----	72
III.4.1) Obtention de faibles EOT -----	72
III.4.1.1) Caractérisations physico-chimiques-----	72
III.4.1.2) Caractérisations électriques-----	74
III.4.1.3) Conclusion-----	76
III.4.2) Courants de fuite et mesures en fréquences-----	77
III.4.3) Hystérésis et charges-----	79
III.5) Influence de recuits post-dépôt -----	81
III.5.1) L'interface : point crucial -----	81
III.5.2) Travaux antérieurs – Bibliographie -----	82
III.5.3) Recuits post-dépôt et re-croissance à l'interface -----	85
III.5.3.1) Recuits dans un four tubulaire -----	85
III.5.3.2) Recuits dans un four RTA -----	86
III.5.3.3) Discussion -----	87
III.5.4) Effets sur les propriétés électriques -----	89
III.6) Problèmes d'inhomogénéité, de reproductibilité -----	90
III.6.1) Disparité des mesures électriques -----	90
III.6.2) Mesures XPS et AFM -----	90
III.6.3) Influence de la préparation de surface du silicium-----	92
III.7) Conclusion -----	93

III.1) Introduction

Ce chapitre de thèse sera consacré à l'étude du système $\text{LaAlO}_3 / \text{Si}$, pour l'obtention de faibles valeurs d'EOT. Les caractéristiques intrinsèques du matériau LAO, son mode de croissance sur silicium, ainsi que l'évaluation de la qualité électrique des échantillons seront abordés.

Les couches présentées ont été préparées à l'INL en collaboration avec C. Merckling, G. Niu et G. Saint-Girons.

III.2) LaAlO_3 : un candidat prometteur

III.2.1) Caractéristiques de LaAlO_3

Présenté par la roadmap de l'ITRS ^[Roadma05] comme un oxyde high- κ potentiellement intéressant pour les générations futures de MOSFET, LaAlO_3 (LAO) est un oxyde qui possède une structure de type pérovskite, comme celle du SrTiO_3 . Ce matériau a la particularité d'avoir une structure rhomboédrique (pseudo-cubique) pour des températures inférieures à 435°C et de devenir cubique au-delà de cette température.

Le LAO, qui est dans sa phase monocristalline constitué par une succession de plans LaO et de plans AlO_2 , est supposé avoir une forte constante diélectrique proche de celle du La_2O_3 ($\kappa \approx 26$) et est espéré être stable thermiquement avec le silicium de par sa ressemblance chimique avec l' Al_2O_3 . Fort de ces critères indispensables dans le cahier des charges des MOSFET, le LAO s'impose en conséquence comme un sérieux postulant pour les nœuds technologiques sub-22nm.

L'étude réalisée par Jun et Choi ^[Jun04] confirme le caractère héréditaire du LAO vis-à-vis du La_2O_3 pour sa forte permittivité et de l' Al_2O_3 pour sa bonne stabilité thermique. En élaborant par MOCVD des couches minces amorphes de LAO avec différents rapports $\text{La}_2\text{O}_3/\text{Al}_2\text{O}_3$, ces auteurs ont mis en évidence le fait que les évolutions de la constante diélectrique et de la stabilité thermique (autrement dit de la formation d'une couche interfaciale) sont dues à la modification des propriétés structurales et électriques entraînée par la proportion variable d'alumine dans le LAO. Les travaux de Yasuhara et Fujitsuka confirment cette tendance ^{[Yasuha06], [Fujits05]}.

Dans sa phase massive, le LAO a une permittivité de 25 [Lu04a]. Sa largeur de bande interdite est de 5,6eV [Lim02]. Quant à la stabilité thermodynamique du LAO par rapport au silicium, Klenov et al. [Klenov05] ont montré expérimentalement que l'interface inverse, Si déposé sur substrat LAO, restait stable et ce jusqu'à 1000°C. De plus, contrairement à La_2O_3 , LaAlO_3 est réputé stable à l'air [Jun06]. Par ailleurs, des calculs ab-initio montrent que le LAO n'introduit pas d'état dans la bande interdite du silicium [Devos07], [Först05], [Knizhn05].

III.2.2) Etat de l'art au niveau électrique

D'un point de vue électrique, LaAlO_3 possède de bons "offsets" de bandes vis-à-vis du silicium : 1,8eV côté bande de conduction et 2,6eV côté bande de valence [Edge04a], [Afanas04]. La masse effective de ce composé n'étant pas connue précisément, la moyenne des masses effectives de La_2O_3 (0,26) et d' Al_2O_3 (0,35) fournit une masse effective de 0,3 pour le LAO [Yeo02].

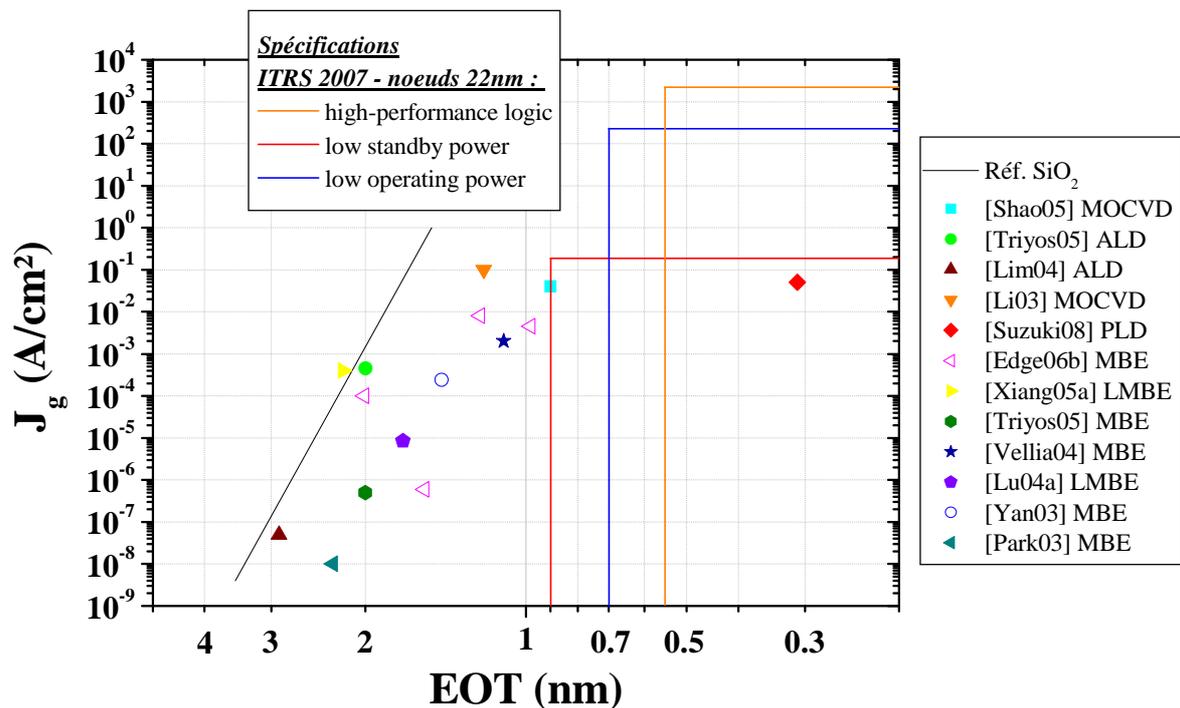


Figure III.1 : Représentation des performances obtenues dans la littérature pour des films minces de LAO déposés sur $\text{Si}(001)$. La densité de courant de fuite est tracée en fonction de l'EOT pour différentes techniques d'élaboration par voies chimique et physique. Les densités de courant ont ici été mesurées à $V_g = \pm 1\text{V}$. L'ITRS 2007 (22nm) est aussi représentée.

La figure III.1 regroupe les principaux résultats obtenus dans la littérature en termes de faibles valeurs d'EOT et de courants de fuite.

Tous ces résultats ont été obtenus avec des couches de LAO amorphes déposées sur Si(001). La meilleure performance obtenue jusqu'à présent, par un groupe de Toshiba [Suzuki08], est un EOT de 0,31nm avec une densité de courant de fuite de $0,1\text{A}/\text{cm}^2$ à $V_g = V_{\text{FB}} + 1\text{V}$ avec $V_{\text{FB}} = 0,3\text{V}$. Ces échantillons ont été réalisés par PLD, une technique de dépôt par voie physique. Cependant, présenté pour la première fois en 2005 [Suzuki05], ce résultat fort séduisant n'a pu depuis être vérifié ni confirmé par d'autres équipes.

Les données trouvées dans la littérature sont extrêmement variées et parfois contradictoires. Elles dépendent néanmoins énormément des conditions de croissance, c'est-à-dire de la méthode d'élaboration employée, du budget thermique et des pressions mis en jeu. Ainsi les propriétés structurales et électriques des couches sont très variables : EOT, densités de courant de fuite, présence ou non d'une couche interfaciale, permittivité variant de 13 à 27 [Edge06b], présences de charges faisant varier V_{FB} , ... Cette diversité confirme une maîtrise encore balbutiante des différentes conditions et techniques d'élaboration de ce matériau assez nouveau comparé aux oxydes tels que HfO_2 [Gusev06]. Néanmoins, les méthodes donnant les meilleures performances sont celles qui permettent d'avoir un matériau dense et très pur, autrement dit les techniques de dépôt dites physiques telle la MBE. [Triyos05]

Il faut aussi tout de même noter que les spécifications de l'ITRS 2007 [ITRS07] en termes de courants de fuite ($\sim 2 \times 10^3 \text{A}/\text{cm}^2$ pour le nœud 22nm de la catégorie "high-performance logic technology requirements") pour les prochains nœuds technologiques sont nettement supérieures aux résultats déjà obtenus à l'heure actuelle avec LaAlO_3 . Toutefois, de gros efforts restent à faire sur la reproductibilité, la fiabilité, l'intégration et la maîtrise des propriétés électriques de dispositifs MOSFET.

III.2.3) Comparaison avec les autres candidats – Point Fort

Des films de LaAlO_3 ont ainsi d'ores et déjà montré de bonnes performances électriques, avec notamment de très faibles courants de fuite. Afin de conforter le choix du LAO comme diélectrique d'étude, une série de simulations a été conduite en considérant l'expression suivante du courant tunnel direct : [Ranuar06]

$$J_g = \frac{q^2}{16\pi^2 \hbar \Phi_B} F_{ox}^2 \times \exp \left[-\frac{4 \sqrt{2m_{ox} q} \Phi_B^{3/2}}{3 \hbar F_{ox}} \left(1 - \left(1 - \frac{V_{ox}}{\Phi_B} \right)^{3/2} \right) \right] \quad [\text{Eq. III.1}]$$

$$J_g = \frac{A}{\Phi_B} F_{ox}^2 \times \exp \left[B \left(1 - \left(1 - \frac{V_{ox}}{\Phi_B} \right)^{3/2} \right) \right] = \frac{1,54 \times 10^{-6}}{\Phi_B} F_{ox}^2 \times \exp \left[-6,83 \times 10^9 \left(1 - \left(1 - \frac{V_{ox}}{\Phi_B} \right)^{3/2} \right) \right]$$

, avec V_{ox} en valeur absolue et $F_{ox} = \frac{V_{ox}}{e_{phys}} = \frac{V_{ox} \times \kappa_{SiO_2}}{EOT \times \kappa_{High-\kappa}}$.

Les valeurs contenues dans le tableau ci-dessous ont alors été injectées dans cette équation. La figure III.2 représente les résultats obtenus pour une tension de grille V_{ox} de 1,5V.

	SiO ₂	Al ₂ O ₃	LaAlO ₃ cristal	LaAlO ₃ amorphe	HfO ₂	Gd ₂ O ₃
Φ_B (Si) (eV)	3,1	2,8	1,8	1,8	1,5	1,8
κ	3,9	10	25	20	24	20
m^*	0,5	0,35	0,3	0,3	0,17	0,29

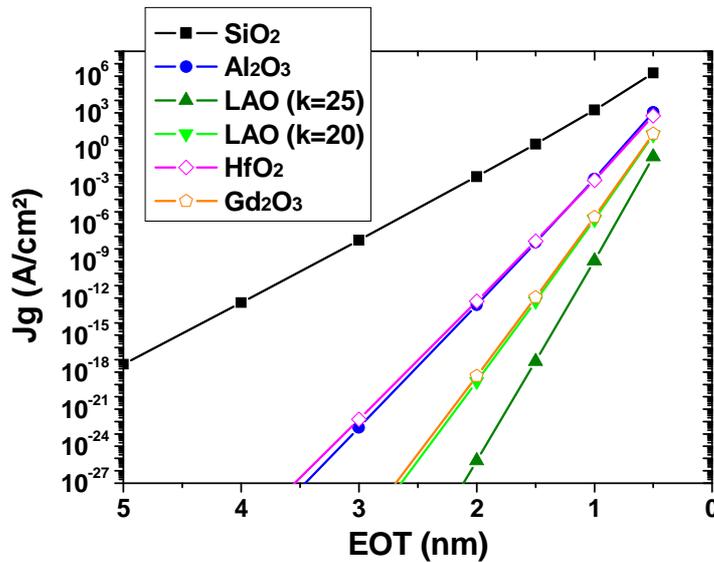


Figure III.2 : Densités de courant calculées pour une tension de grille fixée à 1,5V, en fonction de l'épaisseur équivalente de silice, pour différents diélectriques d'intérêt.

Alors que les courbes représentatives d'Al₂O₃ et de HfO₂ sont quasi-confondues, les courbes du LAO (spécifiquement celle avec la permittivité de 25) se détachent vers des courants de fuite plus faibles. Bien que tous ces oxydes high- κ furent nettement moins que SiO₂, l'oxyde LaAlO₃ est le plus prometteur en terme de "scaling" parmi les candidats illustrés figure III.2. À EOT égale (en se plaçant à 1nm), le LAO se trouve 6 décades en

dessous du HfO_2 en terme de densité de courants de fuite. Ceci confirme donc le choix du LaAlO_3 comme isolant high- κ possible pour les nœuds MOSFET sub-22nm.

III.3) Croissance de LaAlO_3 par MBE

III.3.1) Croissance sur substrats oxydes : rappel du savoir-faire INL

Dans un premier temps, des essais de croissance de LAO ont été réalisés sur substrats oxydes : $\text{LaAlO}_3(001)$ et $\text{SrTiO}_3(001)$. En vue de réaliser l'épitéxie de LAO sur silicium, l'intérêt est à la fois d'effectuer une étape de calibration et de déterminer les différentes fenêtres de croissance du LAO, autrement dit les conditions optimales de température, de pression d'oxygène et de vitesse de croissance, pour l'obtention de films de LAO de qualité. De plus, ces essais sont importants en vue de minimiser la formation d'une couche interfaciale avec le silicium.

LaAlO_3 peut être déposé dans le réacteur MBE selon trois méthodes : la co-déposition avec des cellules à effusion, le flux alterné toujours avec les cellules ou l'évaporation au canon à électrons. Ces trois techniques de dépôt aboutissant sensiblement aux mêmes résultats de croissance, tous les échantillons évoqués dans ce manuscrit ont été conçus à l'aide du canon à électrons, sous atmosphère d'oxygène moléculaire.

Des couches cristallines 2D de LAO ont ainsi été obtenues par homoépitéxie sur substrats $\text{LAO}(001)$. La vitesse de croissance doit être suffisamment faible, typiquement de l'ordre de quelques angströms par minute, pour favoriser la diffusion des adatoms à la surface et ne pas amorphiser le matériau. De plus, la pression d'oxygène doit être supérieure à 2×10^{-7} Torr sous peine de ne pas bien oxyder toutes les espèces métalliques. Enfin, le dernier point critique est la température. Cette dernière doit se situer dans la gamme 550 – 780°C. En dessous, le LAO est amorphe et au-dessus, le RHEED montre l'apparition d'une rugosité de surface annonciatrice d'une croissance tridimensionnelle.

Les paramètres de maille du LAO et du STO étant proches, des résultats similaires ont été observés sur substrats $\text{SrTiO}_3(001)$ ^[Merck07a]. Fort de ces succès rencontrés sur substrats oxydes, des super-réseaux LAO/STO sur $\text{STO}(001)$ ont même été élaborés, le tout étant complètement pseudomorphique (Fig. III.3).

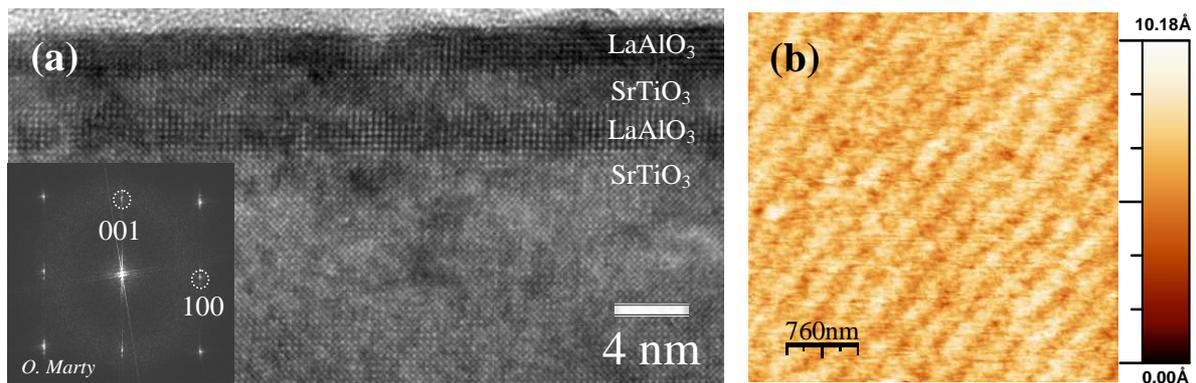


Figure III.3 : (a) Cliché TEM d'un super-réseau (LAO/STO)/STO(001). Les interfaces sont abruptes et les couches sont monocristallines 2D. (b) La surface est plane à l'AFM. [Merckl07]

III.3.2) Croissance sur silicium : cristallin ou amorphe ?

Ce sous-chapitre présentera le savoir-faire acquis à l'INL sur l'épitaxie de LaAlO_3 sur substrat silicium, ainsi que le choix stratégique de développer la voie LaAlO_3 amorphe.

III.3.2.1) Relation d'épitaxie avec le silicium

À première vue, l'épitaxie du LAO sur Si(001) est tout à fait réalisable du fait du faible désaccord de maille existant entre ces deux matériaux. En effet, si la maille du LAO est tournée de 45° par rapport à celle du Si (Fig. III.4), la relation d'épitaxie suivante :

$$(001) \text{ LAO} // (001) \text{ Si} \quad \text{et} \quad [100] \text{ LAO} // [110] \text{ Si}$$

conduit à un désaccord de paramètres de maille de -1,3% (si $a_{\text{LAO}} = 3,79 \text{ \AA}$; à température ambiante) ou de -0,5% (si $a_{\text{LAO}} = 3,82 \text{ \AA}$). Sans cette rotation de 45° , il y a incompatibilité cristallographique car le désaccord devient égal à 30%.

Comme sur les substrats oxydes, pour des températures inférieures à 550°C , le LAO est amorphe sur Si. En revanche, une augmentation de la température de croissance ne conduit pas ici à l'épitaxie de LAO sur silicium. En effet, la croissance est multi-domaines, avec un mélange de cristallites noyées dans une phase amorphe de LAO. Ces cristallites tirent leur origine de l'interface entre le LAO et le Si [Li03]. Cette interface est le siège de la formation de silicates de lanthane cristallins (par conséquent visibles au RHEED). Cette phase cristalline est le produit d'une réaction entre l'oxyde déposé et le substrat Si (Fig. III.5(a)).

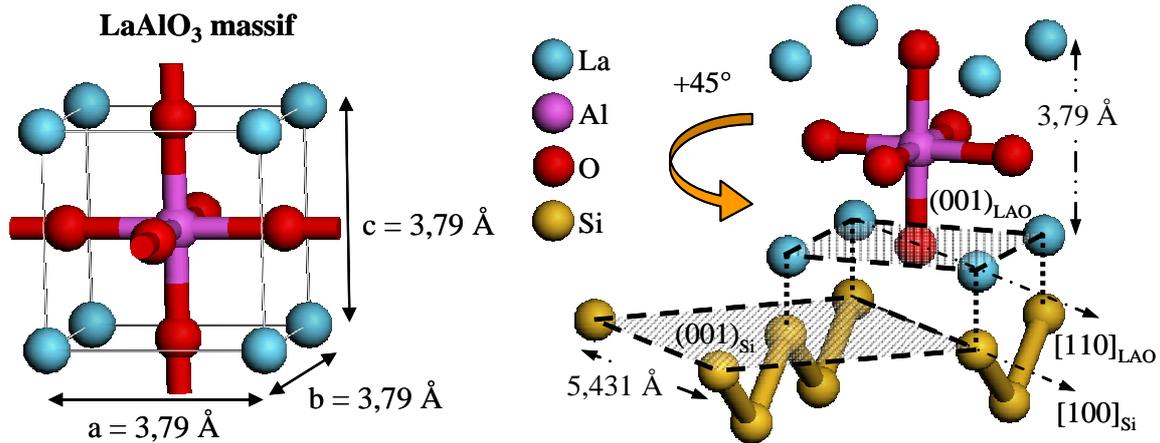


Figure III.4 : À gauche, représentation de la maille cristalline du LaAlO_3 . À droite, positionnement de cette maille sur une surface de $\text{Si}(001)$ par rotation de 45° .

Par conséquent, l'épitaxie de LAO sur Si se révèle impossible, aucune fenêtre thermodynamique et cinétique n'ayant été trouvée. La forte température et la pression partielle d'oxygène supérieure à 2×10^{-7} Torr, obligatoires pour que le composé envisagé puisse se former, entraînent la formation de silice et de silicates à l'interface.

Le LAO n'a donc encore jamais été épitaxié directement sur silicium car cette épitaxie ne se réalise pas «naturellement». Malgré l'instabilité thermique des couches interfaciales utilisées, quelques groupes ont réussi à élaborer LAO cristallin sur Si en utilisant une couche tampon interfaciale de SrTiO_3 .^{[Reiner08], [Merck07b], [Xiang04]} (Fig. III.5(b))

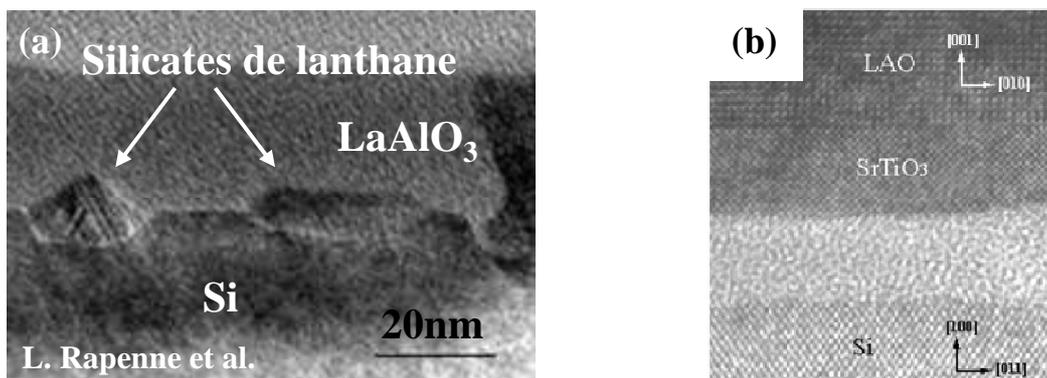


Figure III.5 : Images TEM (a) d'une couche de LAO déposé à l'INL à $T > 550^\circ\text{C}$ sur $\text{Si}(001)$ avec formation de silicates à l'interface.^[Gailla05]

(b) LAO cristallin épitaxié sur Si à l'aide d'une couche tampon de SrTiO_3 , avec néanmoins la présence d'une couche interfaciale amorphe.^[Xiang05a]

III.3.2.2) Choix de la voie amorphe

Malgré les différentes stratégies déployées pour réussir l'épitaxie de LAO sur Si, aucun groupe n'a actuellement réalisé avec succès la croissance épitaxiale directe de LaAlO_3 sur Si. Motorola, Pennstate [Edge06], [Sivasu05], Demokritos [Mereu04], l'INL/STMicroelectronics [Gail05a] et quelques groupes chinois [Xiang06] et japonais [Park03] ont essayé, mais se sont trouvés confrontés aux mêmes problèmes. Le fort budget thermique mis en jeu pour l'épitaxie de LAO entraîne la formation d'une couche interfaciale. Il est à noter qu'une stratégie de recristallisation du LAO amorphe est également à exclure pour cause de résultats identiques : dès que la température devient trop forte, des silicates sont générés à l'interface, laissant place dans le volume du diélectrique à l'apparition de cristallites dans une phase principalement amorphe de LAO. Le film peut aussi devenir polycristallin [Niemin01] et donc favoriser les fuites de courant.

Cependant, il faut noter qu'à basse température ($T < 550^\circ\text{C}$), le LAO est déposé sous forme amorphe sur silicium. En outre, en prenant soin de modérer la pression d'oxygène lors des premiers stades de dépôt, des interfaces abruptes LAO/Si (Fig. III.6) peuvent être obtenues [Edge04b]. D'où le choix effectué à l'INL d'étudier la voie amorphe qui semble prometteuse et qui permet de passer outre toute contrainte cristallographique.

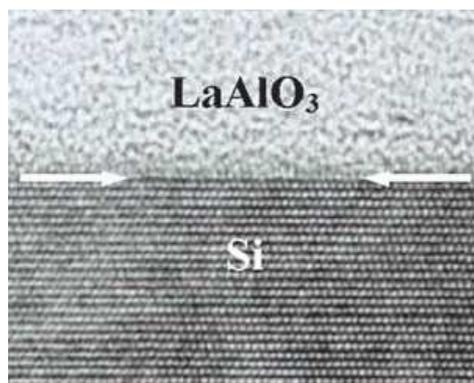


Figure III.6 : Image TEM en vue transverse de 8nm de LAO amorphe déposés par MBE sur $n\text{-Si}(001)$ [Yan03]. L'interface entre les deux matériaux est abrupte.

Les échantillons étudiés au cours de cette thèse ont, sauf précision contraire, été fabriqués avec une procédure optimisée qui est la suivante :

- introduction des substrats de Si dans le bâti EJM et obtention de la reconstruction RHEED 2×1 pour le Si(001) ou 7×7 pour le Si(111).
- dépôt d'un "buffer" de Si à 650°C améliorant la reconstruction RHEED.
- stabilisation de la température de croissance à 400°C et mise en rotation de l'échantillon pour homogénéiser le dépôt.
- évaporation au canon à électrons du LaAlO_3 . Une bonne gestion de l'apport en oxygène pendant les dépôts est la clef de la réussite, notamment en ce qui concerne l'obtention d'interfaces LAO/Si abruptes ^[Lu05]. Durant le début de la croissance, les premières monocouches de LAO (~ 1 à 2nm) sont déposées sans ajout d'oxygène supplémentaire autre que celui provenant de la charge de LAO évaporée à l'aide du canon à électrons. La reconstruction RHEED de surface du Si disparaît alors progressivement au profit de la phase amorphe du LAO. Ensuite, de l'oxygène moléculaire est introduit dans le réacteur MBE afin de s'assurer de la bonne oxydation de l'isolant et de minimiser les lacunes en oxygène. La pression d'oxygène est stabilisée autour de 2×10^{-6} Torr jusqu'à la fin de la croissance.

III.3.2.3) Impact sur la permittivité et les courants de fuite ?

Dans cette course aux très faibles EOT, les oxydes épitaxiés ont semblé dans un premier temps être très avantageux de par leur interface abrupte avec le silicium, leur plus forte densité et la conservation espérée des propriétés électriques du cristal. Pourtant, la voie amorphe a montré jusqu'à présent les meilleurs résultats, notamment au niveau des courants de fuite, avec en point d'orgue l'intégration de HfO_2 amorphe dans les dernières générations de processeurs informatiques.

Une crainte pourrait être une diminution de la constante diélectrique lors de ce passage cristallin–amorphe. Mais Delugas et al. ^[Deluga07] ont montré théoriquement que la permittivité des oxydes de type RAO_3 (où R et A sont des cations trivalents) restait la même en phase amorphe ou cristalline. Cet effet serait dû à une réduction minime de la polarisabilité dans la phase amorphe et à l'activation de modes faiblement énergétiques non polaires du cristal. Cette tendance est confirmée par les travaux de Badylevitch ^[Badyle07] sur l'oxyde binaire Gd_2O_3 qui ne présente pas de modification notable de sa structure électronique entre la forme amorphe et le cristallin.

Le LAO est connu pour rester dans sa phase amorphe jusqu'aux alentours de 900-1000°C [Lu04b], [Shao05]. Il est donc stable vis-à-vis de la cristallisation à assez haute température, ce qui a longtemps été un point bloquant pour HfO_2 , bien que l'épaisseur de la couche d'oxyde déposée influe sur les mécanismes de cristallisation [Liang06], [Lee00b], [Wilk01], [Kim04].

Il est à noter que les oxydes amorphes possèdent de plus certains avantages :

- ils ont la possibilité de configurer leurs liaisons d'interface pour réduire au minimum le nombre de défauts d'interface.
- ils sont isotropes électriquement (pas de dispersion des porteurs).
- les phases amorphes n'ont aucune frontière. Les frontières de grain dans un oxyde polycristallin agissent comme des chemins privilégiés de diffusion pour les dopants et les courants de fuite.

Toutefois, les oxydes amorphes ont aussi quelques inconvénients comme la présence de défauts ponctuels en volume ou aux interfaces, dus au désordre induit par de trop basses températures de dépôt. La situation idéale étant de réunir les conditions pour obtenir un oxyde amorphe avec un ordre à courte distance.

III.4) Etude d'échantillons LAO/Si «as-deposited»

Dans un premier temps, la stratégie consiste à évaluer les caractéristiques physico-chimiques et électriques d'échantillons LaAlO_3 amorphe / Si, n'ayant subi aucun traitement post-dépôt, afin de cerner correctement les paramètres de dépôt.

III.4.1) Obtention de faibles EOT

III.4.1.1) Caractérisations physico-chimiques

En sortie du réacteur MBE, les échantillons sont systématiquement analysés avec l'XPS et/ou le TEM afin de vérifier certaines propriétés physico-chimiques des films déposés.

La figure III.7 représente des clichés pris au microscope électronique à transmission. Ces images montrent une fine couche de LAO sur un substrat de Si(001). L'interface entre le diélectrique et le substrat est abrupte. [Edge04b], [Gail05a], [Lu04b]

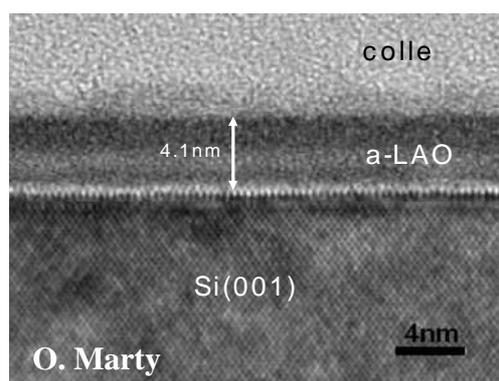


Figure III.7 : Image TEM en vue transverse d'une couche amorphe de LaAlO_3 déposée par MBE sur $p\text{-Si}(001)$ à l'INL (l'interface plus claire est un artefact du TEM).

Les spectres XPS correspondant à l'échantillon de la figure III.7 sont reproduits figure III.8. La faible épaisseur ($41 \pm 3 \text{ \AA}$) de LAO permet de sonder l'interface avec le silicium. Traditionnellement, les interfaces oxyde / silicium sont étudiées en analysant les spectres des niveaux Si2p qui sont intrinsèquement les plus fins. Toutefois, le recouvrement des spectres La4d du LAO et Si2p du silicium rend ici l'observation difficile. Il est alors nécessaire d'exploiter les spectres Si2s. Néanmoins, la précision est moindre du fait que le pic Si2s est plus large que celui des niveaux de cœur Si2p.

Le pic relevé à 151.2eV (Fig. III.8(a)) est attribué à la composante Si2s du substrat de silicium. Il n'y a pas de SiO_2 , ni de silicates, détectés. Uniquement une très faible contribution autour de 153eV est attribuée à la présence d'entités Si^{2+} [Hollin83]. Cette composante provient des atomes de surface du substrat de Si liés au sous-réseau d'oxygène du LAO par des liaisons du type Si-O-Al et Si-O-La. De plus, les figures III.8(c) et (d) montrent les spectres des niveaux de cœur $\text{La}3d_{5/2}$ et La4d de l'hétérostructure $\text{LAO}_{\text{amorphe}}/\text{Si}(001)$ comparés à ceux d'une référence de LAO cristallin. Les ratios d'intensités $\text{La}4d_{5/2}/\text{La}4d_{3/2}$ et $\text{La}3d_{5/2}/\text{La}3d_{\text{satellite}}$, respectivement égaux à 1,07 et 1,29, sont similaires pour ces deux échantillons. Ceci constitue une indication supplémentaire quant à l'absence de SiO_2 et de silicates dans la composante Si2s et confirme que la composition des couches de LAO déposées par MBE est comparable à celle du LAO massif. Enfin, la figure III.8(b) permet de vérifier que tout l'aluminium contenu dans le LAO a bien été oxydé, puisqu'aucune contribution autre que celle à 75,1eV n'est visible sur la figure III.8(b). Il n'y a pas de composante à plus basse énergie de liaison qui indiquerait la présence de sous-oxydes

d'aluminium. Ainsi, la pression d'oxygène utilisée lors de la croissance du LAO est suffisamment élevée pour oxyder complètement les espèces métalliques Al et La.

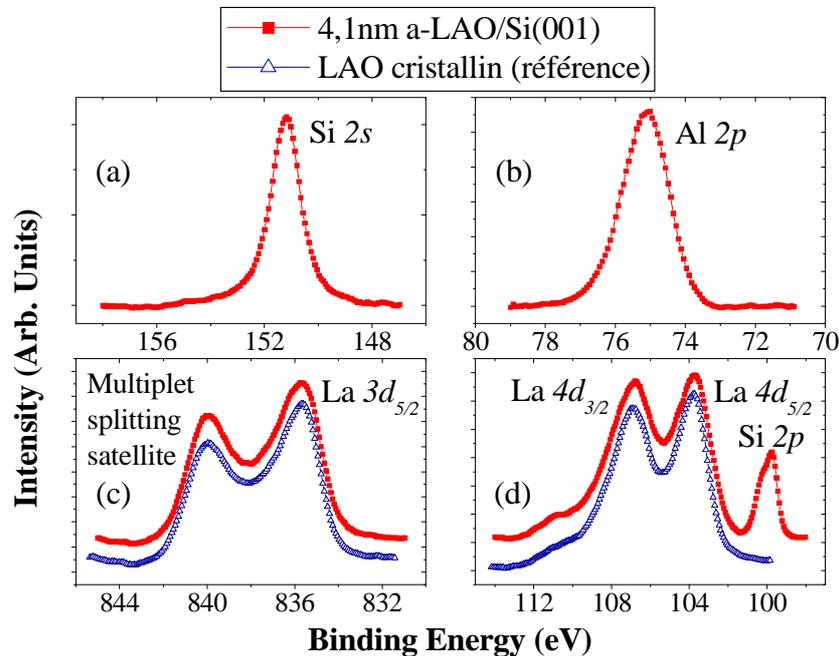


Figure III.8 : Spectres XPS d'une couche amorphe de LAO déposée par MBE directement sur $\text{Si}(001)$: (a) $\text{Si}2s$, (b) $\text{Al}2p$, (c) $\text{La}3d$, (d) $\text{La}4d$ et $\text{Si}2p$. Les spectres des niveaux de cœur $\text{La}3d$ et $\text{La}4d$ sont comparés à ceux d'une référence de LAO cristallin. L'interface LAO/Si est abrupte, sans SiO_2 ni silicates.

III.4.1.2) Caractérisations électriques

Une fois vérifié le caractère abrupt de l'interface isolant/Si, les échantillons tels que déposés sont métallisés pour réaliser des capacités MOS et sont mesurés électriquement sous pointes afin d'extraire leurs propriétés électriques.

La figure III.9 montre une courbe capacitive en fonction de la polarisation appliquée, ainsi que les courants de fuite correspondants pour un échantillon de a-LAO(4,1nm)/Si(001). La mesure C-V permet d'extraire l'épaisseur équivalente de silice, qui est ici de 7\AA . Pour les échantillons métallisés et présentés dans ce manuscrit, la tension de bandes plates théorique V_{FB} est de $-0,5\text{V}$. Or, cette valeur théorique, utilisée ici pour déterminer l'EOT à l'aide d'une simulation TCV (courbe bleue Fig. III.9(a)), correspond également à celle déduite pour la mesure : la bonne correspondance entre les courbes expérimentale et simulée indique que la densité de défauts d'interface est relativement faible, tout comme la densité de charges fixes.

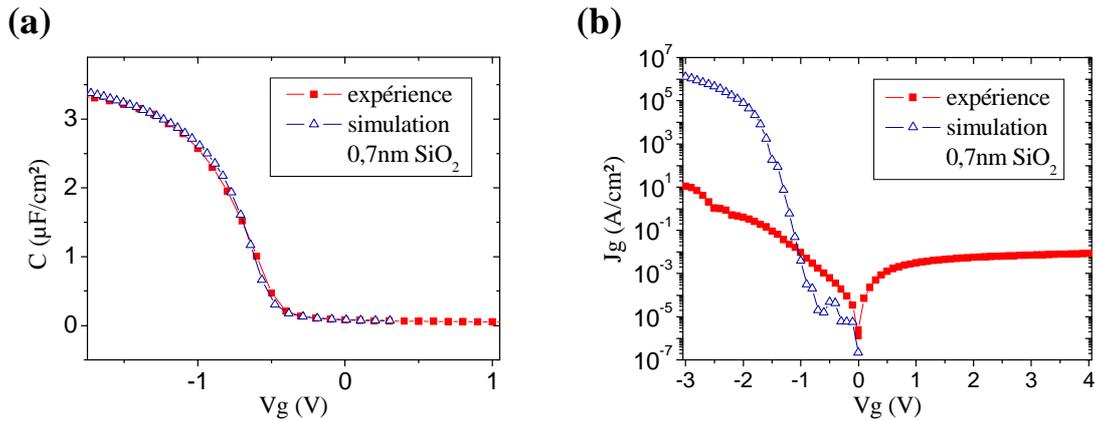


Figure III.9 : (a) Courbes C-V et (b) I-V d'une même capacité MOS a-LAO/Si(001). La couche de LAO est ici de 4,1nm d'épaisseur. Les courbes expérimentales sont tracées en rouge et les courbes bleutées sont issues de simulations TCV-TIV. ^[Becerr07]

Pour une tension de grille de -1,5V, c'est-à-dire tel que $V_g = -(|V_{\text{FB}}| + 1)$, le courant de fuite mesuré à travers la structure est de $9,3 \times 10^{-2} \text{ A}/\text{cm}^2$, ce qui satisfait les recommandations de l'ITRS ($J < 10^{+2} \text{ A}/\text{cm}^2$) pour de si faibles valeurs d'EOT. Ce résultat est comparé figure III.9(b) avec une simulation TIV. À EOT équivalent, et à -1,5V, le courant de fuite d'un film de SiO_2 est supérieur de plus de 3 décades.

Le calcul de la permittivité du LAO amorphe donne dans le cas présenté figure III.9 un résultat de 22,8 ce qui est très proche de la constante diélectrique du LAO monocristallin ^[Lu04a]. Les multiples échantillons réalisés et mesurés au cours de cette étude conduisent à un EOT moyen de 8Å , avec une tension de bandes plates située entre -0,25V et -0,75V.

Le plus faible EOT obtenu est de 5Å (Fig. III.10). Ce très bon résultat est à mettre en regard avec le fait que courbes expérimentale et simulée présentent cette fois-ci une différence au niveau de la pente dans la zone de déplétion, sans doute à cause de la présence d'états d'interface.

Il semble donc que certains échantillons aient localement de meilleures performances électriques. Des phénomènes d'inhomogénéités, notamment d'épaisseur, sont responsables de ces variations.

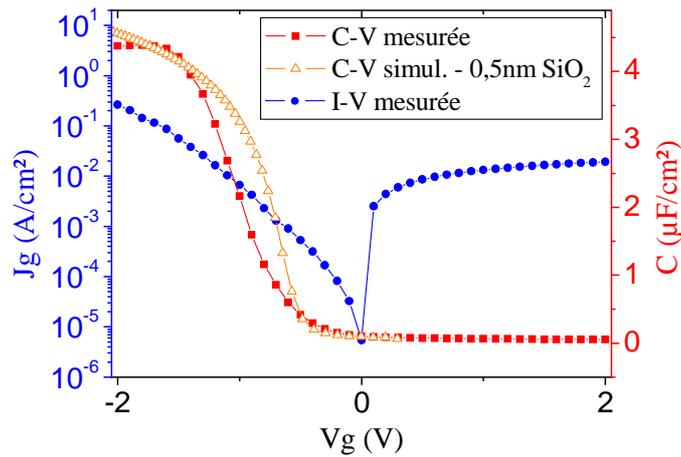


Figure III.10 : Courbes C-V et I-V mesurées sur des échantillons $\alpha\text{-LAO}/\text{Si}(001)$. La simulation TCV donne un EOT de 5\AA . [Becerr07]

III.4.1.3) Conclusion

Les bonnes qualités électriques de ces couches n'ayant subi aucun traitement post-dépôt peuvent être attribuées à la technique d'évaporation utilisée. Les couches d'oxyde sont en effet préparées par évaporation congruente de monocristaux de LAO, ce qui assure la bonne stœchiométrie La/Al et favorise la production des espèces oxydées AlO_x et LaO_x , minimisant ainsi les lacunes d'oxygène. De plus, le dépôt MBE du LAO est réalisé à relativement haute température, favorisant dès lors la formation de fortes liaisons chimiques à l'interface et un arrangement optimal avec la couche isolante.

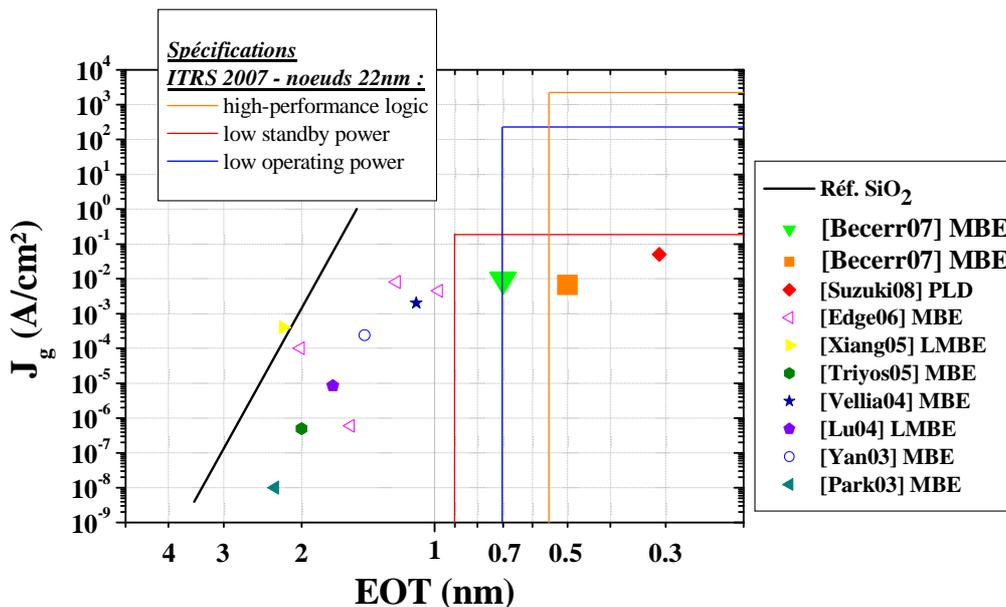


Figure III.11 : Positionnement par rapport à l'état de l'art mondial du LAO pour $V_g = \pm 1V$.

La figure III.11 reprend les meilleures performances $J_g = f(\text{EOT})$ du LAO issues de la littérature, dans lesquelles les résultats mentionnés ci-dessus ^[Becerr07] ont été insérés. Il est alors clair que les résultats obtenus se situent au tout premier plan de l'état de l'art mondial.

III.4.2) Courants de fuite et mesures en fréquences

Le courant de fuite à travers une capacité MOS peut être modélisé par une résistance R_{fuite} en parallèle avec la capacité. Un oxyde de très bonne qualité présente des fuites très faibles. La résistance de fuite peut alors être considérée comme infinie. Mais en pratique, cela n'est en général pas le cas et les courants de fuite influent sur les caractéristiques C-V de la capacité MOS.

En effet, les mesures en fréquences réalisées sur les couches minces de LaAlO₃ déposées sur silicium sont de mauvaise qualité et empêchent ainsi par exemple tout calcul précis de la densité de défauts d'interface par la méthode de Castagné&Vapaille. ^[Castag71]

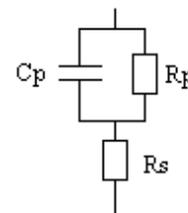
Comme décrit figure III.12, le choix d'une fréquence de mesure trop basse conduit irrémédiablement à une détérioration immédiate de la caractéristique C-V. Ces problèmes de mesures en fréquences sont à mettre au crédit de fuites de courant trop importantes, comme explicité ci-dessous.

La modélisation la plus simple d'une capacité MOS est la suivante :

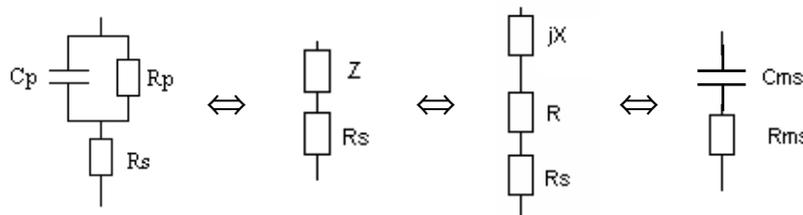
C_p : Capacité du diélectrique de grille

R_p : Résistance de fuite du diélectrique

R_s : Résistance série (substrat, plots de contact, ...)



Afin de déterminer ces trois paramètres, il est nécessaire d'établir une correspondance entre ce modèle et les paramètres mesurés $C_{\text{ms}}-R_{\text{ms}}$ lors d'une mesure en série :



Soit :

$$Z = \frac{R_p}{1 + (R_p C_p \omega)^2} - j \frac{R_p^2 C_p \omega}{1 + (R_p C_p \omega)^2} \quad [\text{Eq. III.2}]$$

$$\text{D'où : } X = -\frac{R_p^2 C_p \omega}{1 + (R_p C_p \omega)^2} = -\frac{1}{C_{ms} \omega} \Rightarrow C_{ms} = C_p \left[\frac{1}{(R_p C_p \omega)^2} + 1 \right] \quad [\text{Eq. III.3}]$$

$$\text{Et : } R_{ms} = R_s + \frac{R_p}{1 + (R_p C_p \omega)^2} \quad [\text{Eq. III.4}]$$

À ce niveau du calcul, il est intéressant de noter que C_{ms} est indépendant de R_s , mais que les valeurs de C_{ms} et R_{ms} sont dépendantes de la fréquence de mesure.

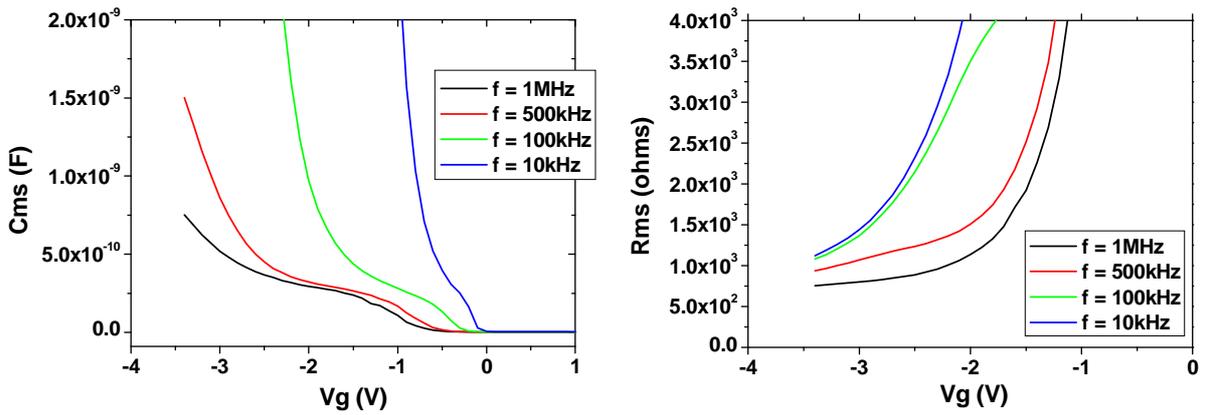


Figure III.12 : Couples C_{ms} - R_{ms} obtenus lors de mesures en fréquences en mode série sur un échantillon α -LAO/Si(001).

Une variation de C_{ms} est donc observée en fonction de la fréquence. Or, à haute fréquence ($\omega^2 \rightarrow \infty$), C_{ms} tend vers C_p , à condition que R_p ne soit pas trop faible. C_p en accumulation peut de ce fait être approximée dans le cas présent à 278pF (plateau C_{ms} mesuré à 1MHz Fig. III.12).

Une approximation peut aussi être effectuée sur R_s . En effet, avec la limite à haute fréquence, R_{ms} tend vers R_s . La saturation à haute fréquence n'est pas très visible figure III.12. C'est la raison pour laquelle il ne s'agit que d'une approximation. D'où, $R_s \approx 780\Omega$.

Reste à déterminer R_p . En appliquant la loi d'Ohm à une mesure quasi-statique $I = f(V_g)$ réalisée sur ce même échantillon, la variation de la résistance totale du système (autrement dit la variation de $R_s + R_p$) est obtenue en fonction de la tension de grille. Connaissant R_s , la variation de $R_p = f(V_g)$ est alors déduite de la variation de $R_s + R_p = f(V_g)$.

Désormais C_p , R_p et R_s sont connus.

Dès lors, à l'aide de l'équation $C_{ms} = C_p \left[\frac{1}{(R_p C_p \omega)^2} + 1 \right]$, une comparaison entre C_{ms} mesurée et C_{ms} calculée peut être effectuée (Fig. III.13).

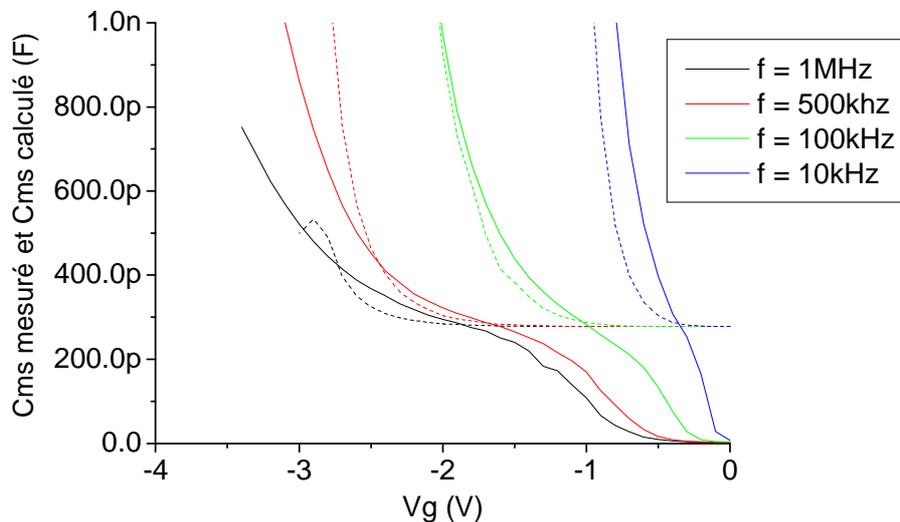


Figure III.13 : Courbes en fréquences C_{ms} mesurées expérimentales (en traits pleins) et C_{ms} calculées d'après un modèle théorique (en pointillés).

Au vu de ces résultats, il existe bien une cohérence entre la mesure et la théorie en prenant en compte des incertitudes sur C_p , R_s et R_p . Ce graphique confirme donc l'hypothèse selon laquelle les courants de fuite détériorent fortement les mesures en fréquences de ces échantillons très fins. Il est par conséquent tout à fait normal que les échantillons LAO/Si de cette thèse ne puissent être mesurés électriquement à basses fréquences car les fuites de courant sont trop importantes.

Une autre explication de cette dispersion en fréquences des courbes C-V est fournie par Goldenblum. Elle pourrait aussi être due à une forte densité d'états d'interface. ^[Golden06]

III.4.3) Hystérésis et charges

Malgré l'obtention de faibles valeurs d'EOT avec des courants de fuite corrects, le comportement électrique des échantillons a-LAO/Si(001) présente souvent des anomalies. En effet, à haute fréquence (1MHz), la première mesure C-V est généralement déformée avec un plateau d'accumulation difficile à discerner. Toutefois, les balayages successifs suivants entraînent une stabilisation rapide de l'allure des courbes capacitives (Fig. III.14(a)).

Par ailleurs, les tracés aller-retour des caractéristiques C-V et I-V présentent dans la majorité des cas de fortes hystérésis. Ces hystérésis tirent leur origine de défauts de volume et d'interface : Dit, charges fixes et mobiles. La présence de Dit est confirmée par les changements de pente de la courbe C-V lors de sa transition déplétion-inversion.

Quant au problème des charges mobiles, les cycles d'hystérésis (Fig. III.14(b) et (c)), de même que l'influence de polarisations appliquées plus élevées ($\sim -5\text{V}$) sur la forme des C-V, indiquent que ces charges proviennent d'un chargement des échantillons, soit par les électrons injectés de par la grille métallique, soit par les trous injectés depuis le substrat (porteurs majoritaires du substrat).

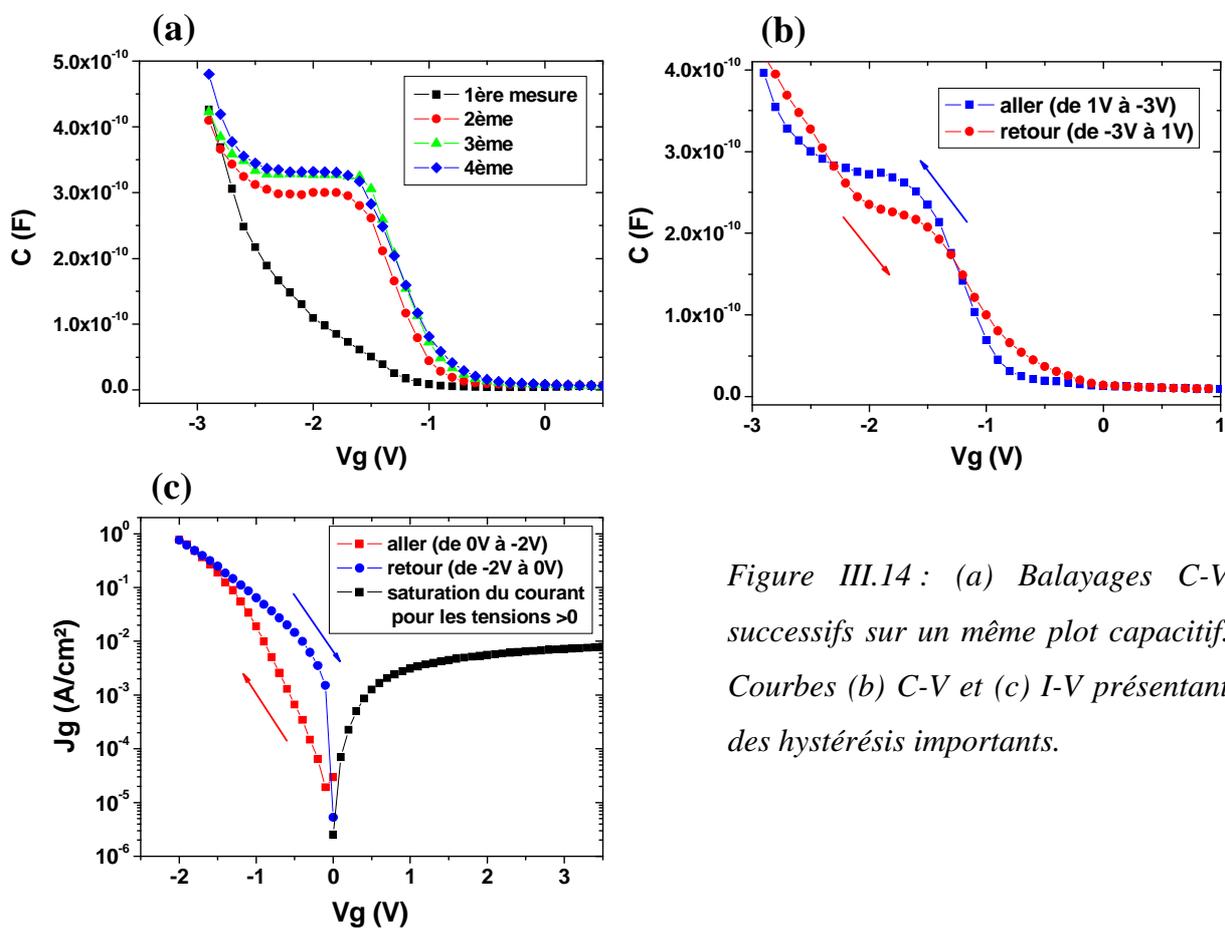


Figure III.14 : (a) Balayages C-V successifs sur un même plot capacitif. Courbes (b) C-V et (c) I-V présentant des hystérésis importants.

Il est donc nécessaire d'envisager de faire des traitements post-dépôt, ce qui pour ce type d'échantillon revient à faire des recuits sous atmosphère gazeuse, afin de guérir ces pièges et défauts électriques

III.5) Influence de recuits post-dépôt

Comme décrit au paragraphe précédent et dans de nombreux articles de la littérature, les oxydes high- κ souffrent encore de nombreux maux au niveau de leurs performances électriques : Dit, charges, V_{FB} instable, fuites de courant, hystérésis, ... Aussi, dans le but d'améliorer les propriétés électriques de ces diélectriques, des traitements post-dépôt appropriés sont obligatoires (y compris dans le cas du SiO_2 avec par exemple la passivation des états d'interface sous forming gaz).

Si les conditions de dépôt du LAO sont primordiales pour la qualité des échantillons [Xiang03], [Lu05], les recuits post-dépôt (PDA – post deposition annealing) apportent de bons résultats à condition de trouver les paramètres optimaux.

III.5.1) L'interface : point crucial

En vue d'obtenir au final une très faible valeur d'EOT, il est important de préserver l'interface abrupte entre le substrat et l'oxyde lors des traitements PDA. Une couche interfaciale de faible permittivité entraîne une hausse dramatique de l'EOT (Fig. III.15).

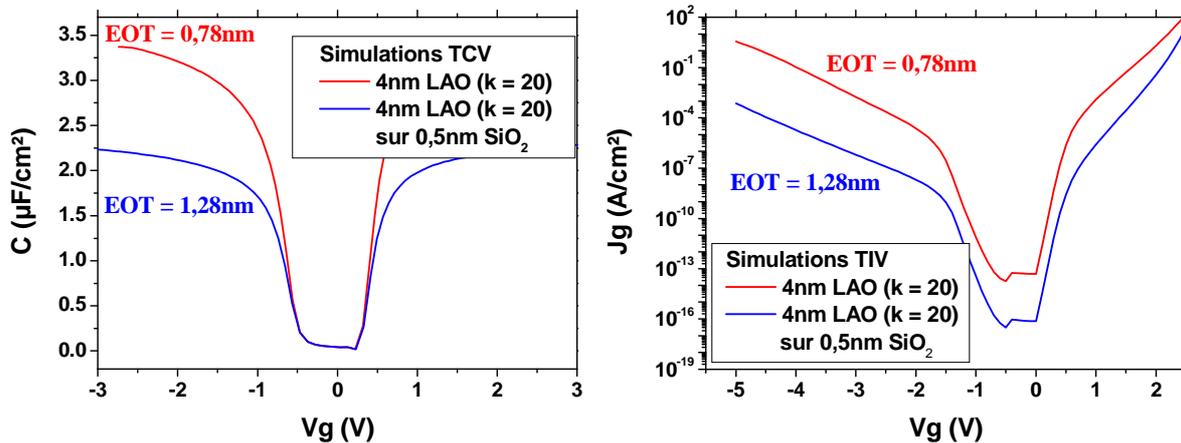


Figure III.15 : Simulations TCV-TIV montrant l'influence d'une couche interfaciale de faible constante diélectrique sur l'EOT et les courants de fuite de la structure.

III.5.2) Travaux antérieurs – Bibliographie

L'idéal serait d'avoir, après dépôt, une couche mince de LAO compacte, avec une interface abrupte avec le Si, et ne nécessitant qu'un minimum de traitements post-dépôt afin d'améliorer les propriétés électriques sans dégrader l'EOT.

Si la pression d'oxygène introduite lors du dépôt du LAO et la température d'élaboration sont des paramètres très importants [Lu05], [Suzuki05], [Gail05a], les PDA permettent de modifier les caractéristiques électriques des échantillons : V_{FB} , EOT, fuites de courant, hystérésis, Dit et charges.

Il y a dans la littérature de très nombreux travaux sur les traitements PDA d'oxydes high- κ . Les résultats diffèrent souvent et sont parfois contradictoires [Devine03], avec pour cause probable des différences dans la composition, l'épaisseur et la densité des matériaux élaborés.

Beaucoup de traitements PDA menés sur des films de LAO l'ont été sur des couches d'oxyde relativement épaisses avec quelquefois une couche interfaciale déjà présente après croissance, loin des préoccupations d'obtention de faibles EOT. [Rozier07], [Li03]

Les recuits sont classés en deux catégories : *in-situ* et *ex-situ*. Les résultats les plus marquants sont présentés ci-dessous.

Concernant les recuits *in-situ*, Edge a fait des recuits sous vide à 400°C et 600°C, durant 30 minutes et a montré qu'ils détruisent l'interface abrupte LAO/Si [Edge06]. Suzuki reporte un effet similaire (Fig. III.16) pour des dépôts PLD effectués à basses températures.

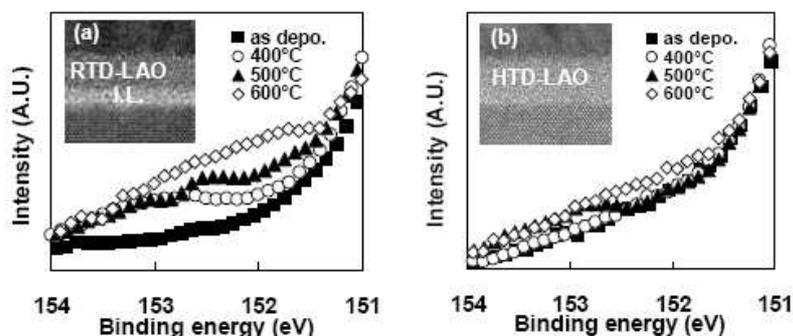


Figure III.16 : Spectres XPS montrant l'influence de la température de recuit sous vide pour du LAO déposé à température ambiante (a) et à 700°C (b). Le pic à 153eV indique la formation de silicates. En insert, images TEM correspondantes après recuit à 400°C. [Suzuki05]

Une piste prometteuse consiste à introduire de l'azote lors de la croissance du LAO pour former du LaAlON. L'azote, ainsi incorporé, améliore les propriétés électriques du LAO [Lu03], en augmentant notamment la température de cristallisation du matériau [Sivasu06]. (Fig. III.17)

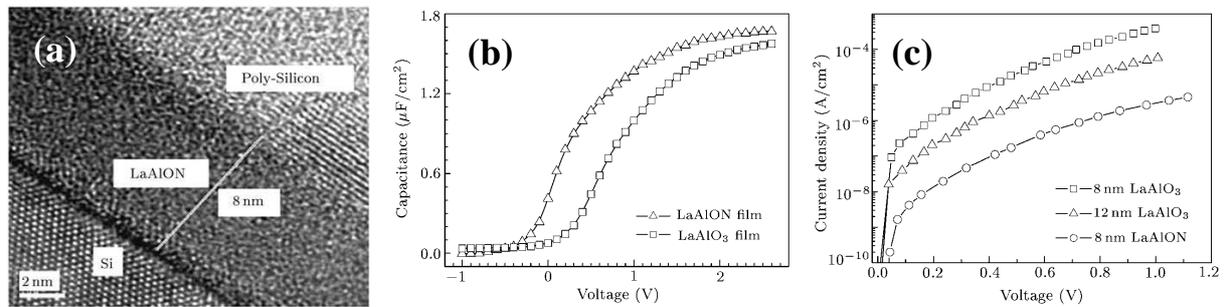


Figure III.17 : (a) Cliché TEM d'une hétérostructure poly-Si/LAON/Si(001) après recuit 1 minute à 900°C sous azote. Le diélectrique a été cappé avant recuit. (b) et (c) Différences entre LAO et LAON sur les tracés C-V et I-V. [Xiang05b]

Au niveau des traitements ex-situ, Park [Park01], [Park03] a remarqué qu'un recuit RTA à 800°C sous N_2 pendant 1 minute corrigeait V_{FB} tout en conservant un EOT identique (Fig. III.18). De plus, après ce traitement optimisé, la quantité de charges diminue fortement, avec pour effet de minimiser les hystérésis et d'atténuer les fuites de courant de 8 décades pour un film de LAO de 40nm d'épaisseur. Le même recuit mais avec une durée de 10 minutes, de même qu'un PDA RTA à 700°C 1 minute sous O_2 , provoquent une baisse de la capacité d'accumulation, soit une hausse de l'EOT. Les couches étudiées les plus minces font 15nm d'épaisseur. Lu [Lu04b] met en avant le caractère agressif d'un recuit RTA d'une minute à 1000°C sous oxygène. En effet, sous O_2 , la couche interfaciale (initialement de 6\AA) passe à 33\AA , alors que sous N_2 cette dernière reste stable.

Dans le but de minimiser l'oxydation de l'interface, Miotti et al. [Miotti05], [Miotti06] ont étudié l'influence de recuits sous faible pression d'oxygène ($\leq 200\text{mBar}$) pour des température de 450 et 600°C sur des couches de LAO de 5 à 40nm d'épaisseur préparées par pulvérisation. Leur idée a été de suivre la composition en oxygène du matériau en introduisant l'isotope ^{18}O (97%) comme gaz de recuit. Le tout est suivi par analyse RBS en mode canalisé. Alors que la composition en éléments métalliques reste inchangée, Miotti et al. observent une forte réduction du V_{FB} et donc des charges dans l'oxyde, ainsi qu'une importante influence de l'épaisseur de la couche d'oxyde [Edon06]. Pour une couche fine de 5nm, tous les recuits créent

une re-croissance à l'interface alors que pour des couches plus épaisses cet effet est moins visible, voire absent. Pour un film de LAO de 13nm, à 600°C, l'oxygène ^{18}O s'incorpore dans le diélectrique et substitue même une partie de l'oxygène initialement présent dans le LAO. À cette température, l'oxygène ^{18}O atteint l'interface. À 450°C, aucune incorporation notable de l'oxygène ^{18}O n'est visible.

Suzuki ^[Suzuki05] préconise des recuits PDA sous N_2 durant 5 minutes entre 150 et 300°C pour décroître sensiblement les phénomènes d'hystérésis et les fuites. Stesmans ^[Stesma06] observe la formation d'une couche interfaciale sous forming gaz si la température est supérieure à 800°C, et ce pour des films épais de 30 à 60nm recuits pendant 10 minutes. Edge ^[Edge06b] a essayé des recuits ex-situ sous forming gaz à 350°C 30 minutes et sous N_2 10 minutes à 750°C sans noter aucune amélioration, mais plutôt des dégradations. Enfin, Edon et al. ^[Edon07] ont montré qu'un traitement de 30 minutes à 600°C sous O_2 donne de meilleurs résultats électriques qu'avec du N_2 , car l'oxygène comble les lacunes mais forme en contrepartie une couche interfaciale expliquant aussi la plus forte permittivité observée avec l'azote.

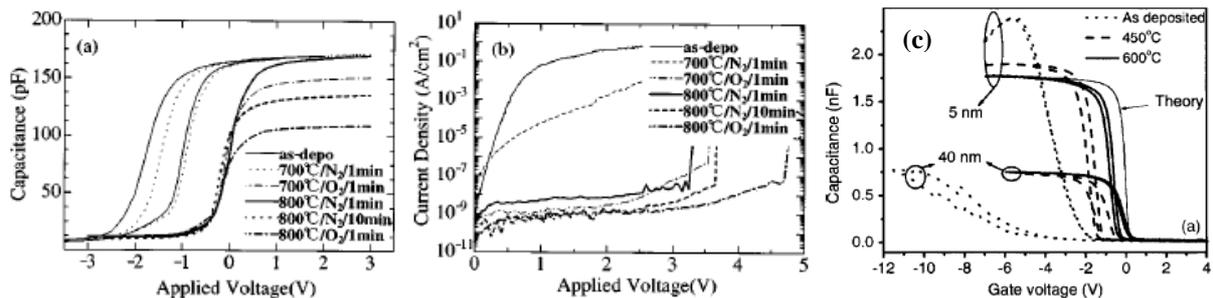


Figure III.18 : (a) C-V et (b) I-V caractéristiques de capacités $\text{Al}/\text{LaAlO}_3/\text{Si}(100)$ après divers recuits. ^[Park03] (c) C-V à 1MHz sur des couches, telles que déposées et recuites sous O_2 , de 5 et 40nm d'épaisseur de LAO/Si. Les électrodes sont en RuO_2 . ^[Miotti05]

Des études menées sur les recuits PDA ont aussi mis en lumière des problèmes d'interdiffusion entre le LAO et le Si, mais également entre le LAO et la grille métallique ^[Triyos05] lorsque celle-ci est présente pendant les traitements. Sivasubramani ^[Sivasu05] observe par SIMS la pénétration de La et Al dans le substrat Si après des recuits RTA de 20 secondes sous azote lorsque la température dépasse 950°C, confirmant de ce fait les observations du groupe de Cabanas ^[Cabana97].

III.5.3) Recuits post-dépôt et re-croissance à l'interface

Beaucoup d'équipes ont travaillé sur les effets bénéfiques, ou néfastes, des PDA. Toutefois, très peu d'entre elles présentent les relations entre les propriétés électriques des hétérostructures et les propriétés physico-chimiques des interfaces LAO/Si. De plus, les interfaces avant PDA sont déjà bien souvent non abruptes, avec présence de SiO_2 et silicates. [Lopes07a], [Lopes07b]

Dans la plupart des cas, l'amélioration des propriétés électriques s'accompagne d'une re-croissance de SiO_2 ou de silicates à l'interface LAO/Si, surtout si la couche d'oxyde est très mince. Par conséquent, l'objectif de cette étude a été double : tout d'abord estimer le budget thermique que peut supporter l'interface en vue d'une intégration dans un flux de production, et ensuite améliorer et stabiliser les propriétés électriques des hétérostructures en conservant de très faibles valeurs d'EOT.

III.5.3.1) Recuits dans un four tubulaire

Une première série de recuits et d'analyses XPS ont été menés. Avec le four tubulaire utilisé, les temps de recuits sont assez longs, proches des 30 minutes. Les traitements peuvent donc être assez agressifs.

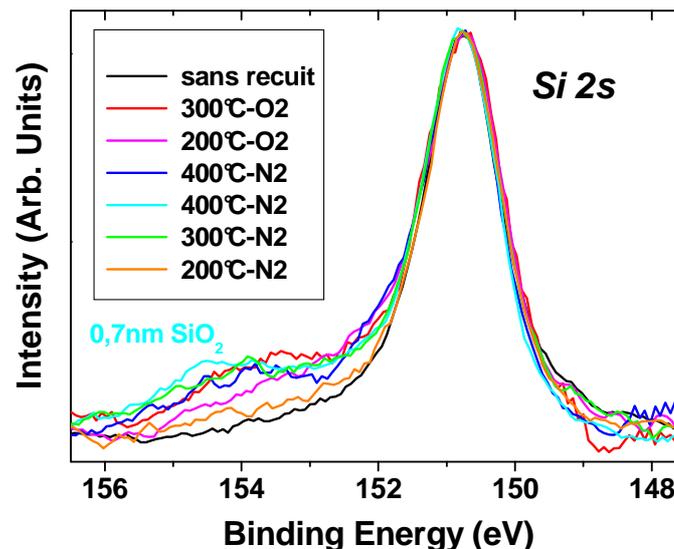


Figure III.19 : Spectres XPS des niveaux de cœur du $\text{Si}2s$ d'un échantillon 5nm LAO/Si(001) ayant subi divers traitements post-dépôt ex-situ dans un four tubulaire.

La figure III.19 présente les résultats obtenus après analyses XPS. À sa sortie du réacteur MBE, l'échantillon possède une interface diélectrique(6nm)/substrat abrupte. Une fois recuit à pression atmosphérique sous azote, l'interface se dégrade dès que la température devient supérieure à 300°C. Une couche interfaciale de silicates/ SiO_2 se forme. Sous atmosphère d'oxygène, cette couche se développe dès 200°C, ce qui est logique compte tenu des fortes propriétés oxydantes de l' O_2 par rapport au N_2 .

Pour confirmer ces résultats, une étude similaire a été conduite sur un four RTA permettant de faire des recuits beaucoup plus brefs et se rapprochant davantage de ceux rencontrés dans l'industrie microélectronique.

III.5.3.2) Recuits dans un four RTA

La figure III.20 montre les analyses XPS d'un échantillon LAO/Si pour différentes températures de recuits RTA. Les traitements sont très brefs : après une montée en température à raison de 100°C/min, la consigne de température crête est maintenue 1 seconde avant de subir un refroidissement avec un balayage du bâti avec le gaz considéré lors du recuit.

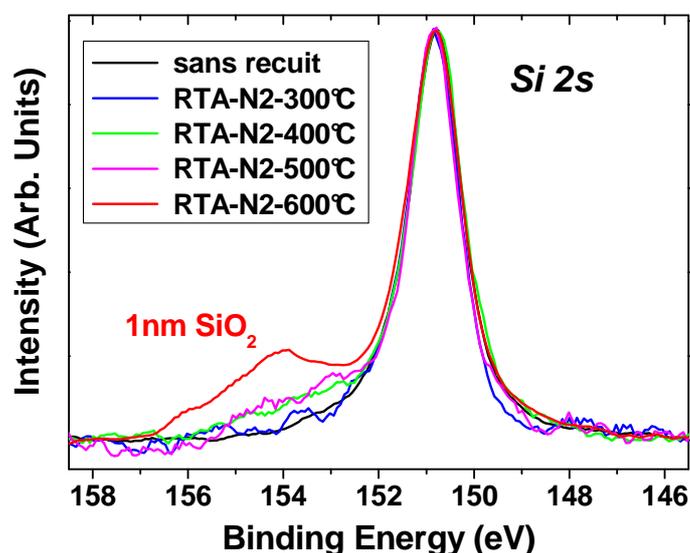


Figure III.20 : Spectres XPS des niveaux de cœur du $\text{Si}2s$ d'un échantillon 3nm LAO/Si(001) ayant subi divers traitements post-dépôt ex-situ dans un four RTA.

Tous les traitements ont été réalisés à pression atmosphérique sous azote, afin de limiter au maximum l'oxydation du silicium. Avant recuit, l'échantillon présente une

interface oxyde(3nm)/Si abrupte, vierge de SiO_2 et silicates. Néanmoins, l'interface commence à se dégrader pour des températures supérieures à 400°C , et il y a apparition d'une couche interfaciale après un traitement à 600°C .

III.5.3.3) Discussion

Si la "propreté" des fours et la pureté des gaz peuvent toujours être mises en cause, l'interface entre le LaAlO_3 amorphe et le silicium est très sensible aux recuits post-dépôt, conformément aux observations rapportées dans la littérature. Des silicates et du SiO_2 apparaissent dès les basses températures et leur présence s'amplifie avec la durée du recuit.

Le résultat de cette étude pose toutefois une question : pourquoi et comment l'interface $\text{LAO}_{\text{amorphe}}/\text{Si}$ s'oxyde-t-elle aussi facilement en dépit de la stabilité thermodynamique de l'interface inverse $\text{Si}/\text{LAO}_{\text{cristallin}}$ ^[Klenov05] et de l'emploi d'un gaz neutre comme l'azote? Cela d'autant plus que cette oxydation se produit à des températures relativement basses et que ceci peut aller jusqu'à une détérioration complète des films ^[Edge06b].

Une première explication serait associée au rôle joué par les lacunes d'oxygène dans le LAO amorphe. En effet, selon les conditions de préparation, les high- κ sont connus pour avoir plus ou moins de lacunes d'oxygène ^[Tse07] qui peuvent limiter la qualité des propriétés électriques des hétérostructures ^[Robert06] : présence de charges, instabilité de V_{FB} , hystérésis, "pinning" du niveau de Fermi, diffusion, tension de seuil des MOSFET V_{Th} variable, ...

Il est aussi connu que la stabilité des interfaces oxyde high- κ / silicium peut être affectée par les lacunes d'oxygène contenues dans l'oxyde. De récentes études ^{[Devos08], [Lontsi08], [Capron07]} suggèrent qu'elles constituent, à travers un mécanisme complexe de diffusion, un chemin privilégié pour l'oxygène en direction de l'interface, comme pouvait déjà le laisser envisager les travaux de Miotti ^[Miotti05]. Cela serait confirmé par les travaux de Guha et al. ^[Guha08] qui ont réalisé des recuits RTA-UHV et ont observé, malgré des conditions d'ultra-vide, une recroissance de SiO_2 à l'interface oxyde/Si pour leurs échantillons.

Un deuxième élément d'explication possible a été avancée par Suzuki ^[Suzuki08]. Il est associé à la présence d'entités OH ou H_2O dans ou sur la couche d'oxyde. Pour des couches de LAO déposées sur Si(001) par PLD à température ambiante et à 700°C , un recuit in-situ à 600°C entraîne la formation d'une couche interfaciale uniquement sur les films d'oxyde déposés à basse température. Suzuki explique ce comportement par la nature des différentes

liaisons que forment l'oxygène dans le diélectrique lors du dépôt. La figure III.21(a) montre les spectres des niveaux de cœur O1s du LAO, sans traitement thermique post-dépôt. Pour le LAO déposé à 700°C , un pic symétrique est observé à la même énergie de liaison que pour du LAO monocristallin, indiquant qu'une structure microscopiquement homogène est atteinte. Dans le cas où le diélectrique est déposé à température ambiante, le spectre O1s est asymétrique, montrant que l'oxygène présente plusieurs types de liaisons différentes en quantité variable dans le film de LAO. Pour ces couches déposées à basse température, le pic ayant l'énergie de liaison la plus grande ($\sim 532\text{eV}$) est attribué à la présence d'eau ou de groupements hydroxydes $-\text{OH}$ qui seraient responsables de la formation d'une couche interfaciale lors de recuits. Cela est confirmé par les analyses spectrométriques de désorption thermique présentées figure III.21(b). Des différences sont visibles entre les spectres de masse des entités H_2O . La composante apparaissant autour de 200°C et présente pour les deux types d'échantillon, est due à l'eau qui s'est déposée sur la surface lors de la remise à l'air. Les pics à 400°C , issus de la composition directe des films de LAO, sont très différents. L'aire de ce pic pour le LAO déposé à basse température est dix fois supérieure à celle correspondant au LAO déposé à 700°C . Ce résultat suggère que le LAO élaboré à température ambiante contient une forte proportion de groupements $-\text{OH}$ et d'eau, qui pourraient alors diffuser dans le film pendant les recuits et causer la formation d'une couche interfaciale. Un procédé de dépôt haute température permettrait donc de supprimer l'incorporation inhomogène d'oxygène sous cette forme d'OH ou d' H_2O et par conséquent rendrait le LAO beaucoup plus résistant structurellement, préservant de ce fait l'EOT et les courants de fuite.

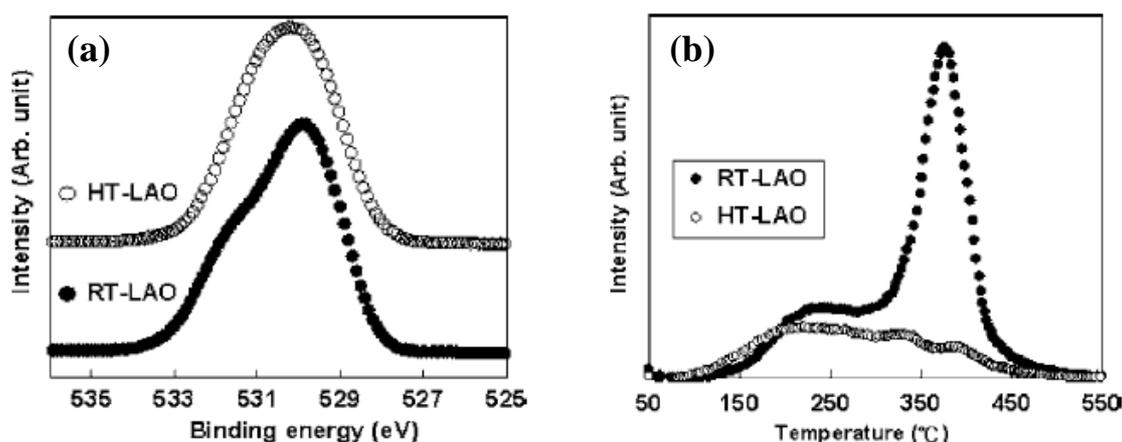


Figure III.21: (a) Spectres XPS O1s pour des couches de LAO déposées par PLD à température ambiante (RT) et à 700°C (HT). (b) Spectres de masse de désorption thermique correspondant pour des entités H_2O . D'après Suzuki et al. ^[Suzuki08]

Dans le cadre de cette thèse, il est probable que les couches de LAO, évaporées dans une atmosphère d'oxygène moléculaire, présentent des lacunes d'oxygène. D'autre part, il est à noter que de nombreux échantillons tels que déposés présentent des spectres XPS O1s avec des épaulements similaires à ceux de la figure III.21(a). Cela indique la présence en surface d'une couche d' H_2O adsorbée ou, après réaction, d'espèces hydroxylées ou carbonatées qui sont attribuées au passage de la couche d'oxyde dans l'air. Il est donc fort probable que ces couches superficielles puissent constituer une source d'espèces oxygène qui diffuseraient facilement vers l'interface LAO/Si grâce aux lacunes d'oxygène.

Trois parades peuvent être imaginées pour limiter le phénomène de réaction interfaciale :

- i) essayer de minimiser la quantité de lacunes d'oxygène en effectuant des recuits in-situ sous oxygène atomique ou en introduisant une source d'oxygène atomique pendant le dépôt.
- ii) augmenter la température de dépôt de l'oxyde.
- iii) éviter le passage à l'air de la couche avant les traitements post-dépôt.

III.5.4) Effets sur les propriétés électriques

Les mesures électriques effectuées sur des échantillons a-LAO/Si(001) recuits, aussi bien dans le four tubulaire que dans le four RTA, n'ont pas révélé les améliorations escomptées. En effet, les mesures présentent encore de fortes instabilités et problèmes de reproductibilité. Les divers recuits testés ne conduisent pas à des résultats cohérents, quel que soit le gaz utilisé.

Si certains échantillons possèdent de meilleures performances électriques après recuit, l'amélioration de ces caractéristiques est souvent liée à la formation de SiO_2 ou de silicates interfaciaux. Pour les raisons évoquées plus haut, cette couche de silice ou silicates conduit à une forte augmentation de l'EOT mais permet aussi de stabiliser les courbes C-V et fait baisser les courants de fuite de plusieurs décades.

Afin de maintenir l'EOT à des valeurs tolérables en vue d'une intégration dans les prochains nœuds technologiques, la solution pour des couches si fines de LaAlO_3 ne passe à priori pas par des traitements post-dépôt, mais plutôt par une amélioration du procédé d'élaboration du LAO, directement dans le réacteur MBE, en évitant notamment toute contamination à l'air. La température peut par exemple être plus élevée ^{[Besmeh05], [Suzuki05]} afin

de favoriser la formation de liaisons chimiques plus stables à l'interface avec le Si. Les performances électriques parfois aléatoires des oxydes high- κ découlant fortement de leurs propriétés lacunaires, un deuxième paramètre critique est le contrôle précis de la pression partielle d'oxygène (et/ou d'azote), de préférence atomique, lors du dépôt du diélectrique.

III.6) Problèmes d'inhomogénéité, de reproductibilité

III.6.1) Disparité des mesures électriques

Pour la plupart des échantillons étudiés dans cette thèse, les mesures électriques, bien que donnant parfois d'excellents résultats, ont été par moment différentes les unes des autres en fonction de la zone où les capacités MOS ont été testées, et ce sur un même échantillon. Ce phénomène de dispersion met en avant un caractère d'inhomogénéité du matériau isolant (sans doute une cause aux problèmes de reproductibilité rencontrés) et illustre la difficulté de faire des séries reproductibles, notamment en épaisseur, avec le dispositif expérimental dont dispose l'INL et avec les procédures expérimentales adoptées. L'origine de ces problèmes a été cherchée à être identifiée, de même que les moyens d'y remédier.

III.6.2) Mesures XPS et AFM

Des analyses XPS ont été pratiquées sur des régions différentes d'un même échantillon et les résultats obtenus confirment l'existence d'inhomogénéités (Fig. III.22). Toutes les courbes ont été normalisées en fonction du pic des niveaux de cœur du $\text{Si}2s$. Les spectres $\text{Al}2p$, $\text{Si}2p$ et $\text{La}4d$ devraient alors coïncider les uns avec les autres pour chacune des zones étudiées si l'échantillon était homogène. Or, il n'en est rien. En effet, une fois normalisés, ces spectres présentent de fortes divergences d'intensité. Cette observation prouve le caractère inhomogène de l'épaisseur de LaAlO_3 déposé sur le substrat de silicium. L'aire d'un pic étant fonction de la concentration de l'espèce étudiée, il y a plus de LAO à certains endroits de l'échantillon qu'à d'autres. Ainsi, la zone3 sondée possède par exemple une épaisseur moindre de LAO comparativement à la zone2. Cette remarque est appuyée par la variation analogue des pics $\text{La}4d$ et $\text{Al}2p$ des trois régions observées.

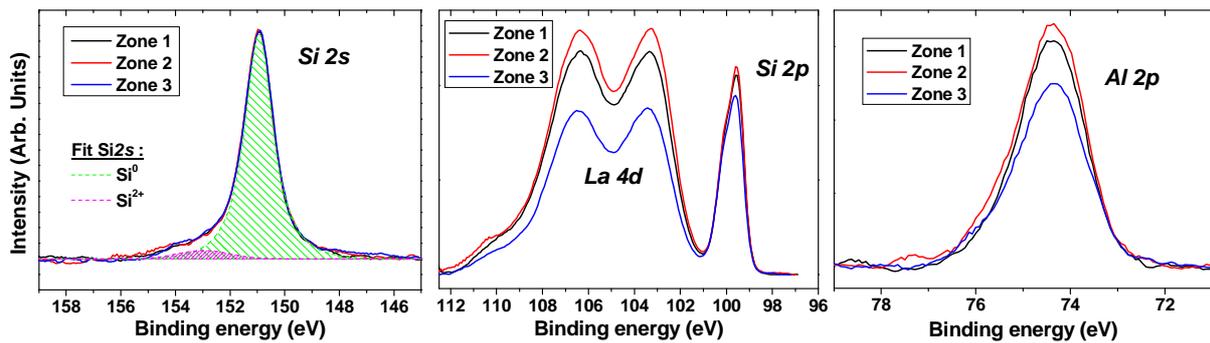


Figure III.22 : Analyses XPS sur 3 régions distinctes d'un échantillon $\alpha\text{-LAO/Si}(001)$. Les différentes courbes ont été normalisées par rapport au pic $\text{Si}2s$, qui a lui-même été fitté.

Parallèlement, la topographie des échantillons a été observée par AFM. Si l'AFM, en association avec l'XPS, a permis de vérifier la stabilité du LAO vis-à-vis d'une exposition prolongée à l'air, il a en revanche décelé un gros problème de rugosité de surface. La couche amorphe de LAO déposée présente de nombreux trous (Fig. III.23(a)). La profondeur de ces trous varie de quelques nanomètres à quelques dizaines de nanomètres (20-30nm). Les trous ont également été observés sur des couches de Gd_2O_3 épitaxiées sur $\text{Si}(001)$ (Fig. III.23(b)). Le phénomène semble donc provenir de l'état de surface du substrat avant dépôt du diélectrique.

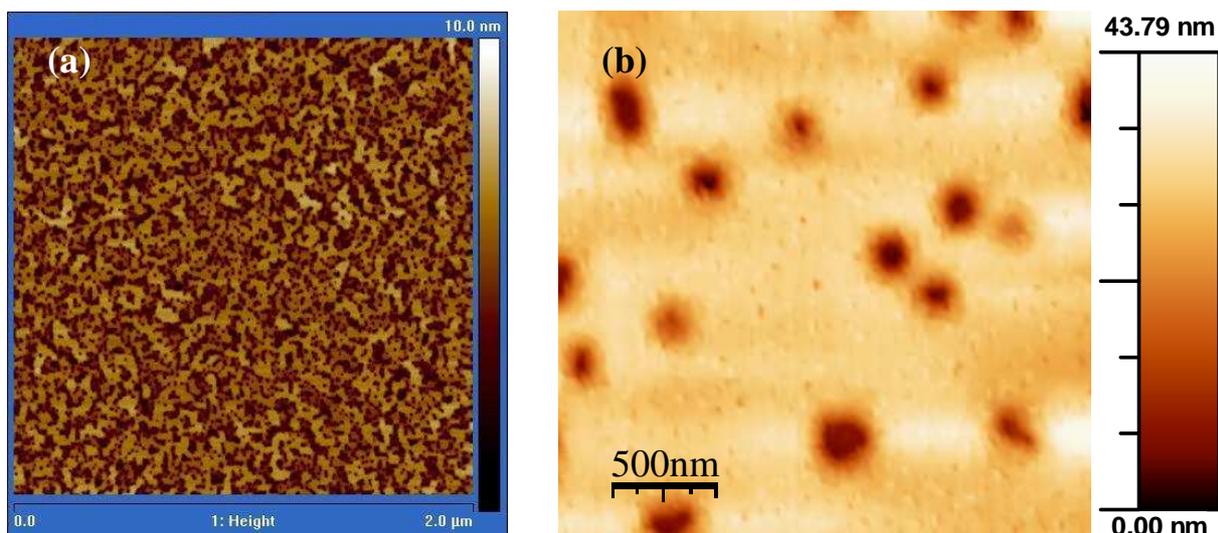


Figure III.23 : Images AFM de (a) $\alpha\text{-LAO/Si}(001)$ ($\text{RMS} = 1,35\text{nm}$) et de (b) $\text{Gd}_2\text{O}_{3\text{cristallin}}/\text{Si}(001)$ élaborés à l'INL par MBE.

III.6.3) Influence de la préparation de surface du silicium

Le Si(001) est connu pour avoir une surface extrêmement sensible et réactive ^[Miki98], et son état de surface doit être irréprochable avant le dépôt du diélectrique high- κ afin d'avoir une couche homogène sans défaut structural. Comme décrit au chapitre II, une préparation de surface a été systématiquement faite avant le dépôt du LAO dans le bâti MBE.

Des observations AFM ont été réalisées sur des couches de LAO déposées sur Si(111), surface beaucoup plus stable que le Si(001) du fait d'une compacité des plans (111) plus importante. La rugosité moyenne mesurée est nettement inférieure à celle rencontrée sur Si(001) (Fig. III.24(a)). Ceci laisse donc à penser que la préparation de la surface du Si(001) est bien la cause des phénomènes d'inhomogénéité rencontrés précédemment.

Avant de déposer le LAO sur le Si, pour faciliter l'obtention de couches d'oxyde de meilleure qualité et surtout ayant des propriétés électriques optimisées, un buffer de Si est réalisé dans le réacteur EJM afin d'enterrer le carbone encore présent à la surface du substrat (carbone visible au RHEED). Une récente étude menée au sein du groupe a permis de montrer que la combinaison "préparation chimique NH_4F -désoxydation sous vide-buffer de Si" appliquée à la réalisation des échantillons de cette thèse était à l'origine du mauvais état de surface observé à l'AFM. Si le RHEED montre une reconstruction 2×1 , les quelques centaines de nanomètres carrés qu'il sonde ne permettent pas de rendre compte précisément de l'état de surface du Si. La zone analysée est moyennée et ne reflète pas la présence de trous à la surface.

Parmi les différentes préparations de substrat étudiées récemment, celle donnant le meilleur état de surface à l'AFM après dépôt d'un buffer de Si (Fig. III.24(b)) est la suivante :

- dégraissage du substrat de Si à l'éthanol sous ultra-sons
- exposition UV/ozone durant 20 minutes pour nettoyer la surface tout en encapsulant les éventuelles impuretés dans de la silice
- BOE (Buffered Oxide Etch ; mélange dilué $\text{HF-NH}_4\text{F}$) 30 secondes pour enlever toute la silice
- rinçage 1min30s à l'eau désionisée
- 2^{ème} exposition UV/ O_3 pendant 2 minutes pour former une fine couche de SiO_2 sans contamination et protéger la surface lors du transfert vers le bâti EJM

- recuit par paliers de température (jusqu'à 900°C) dans le réacteur MBE pour désoxyder la surface du Si et obtenir finalement une belle surface de départ
- dépôt du buffer de Si à 630°C puis dépôt du diélectrique high- κ

Des tests complémentaires sont actuellement en cours afin de vérifier la planéité et l'homogénéité de couches d'oxydes déposées sur ces surfaces de silicium traitées.

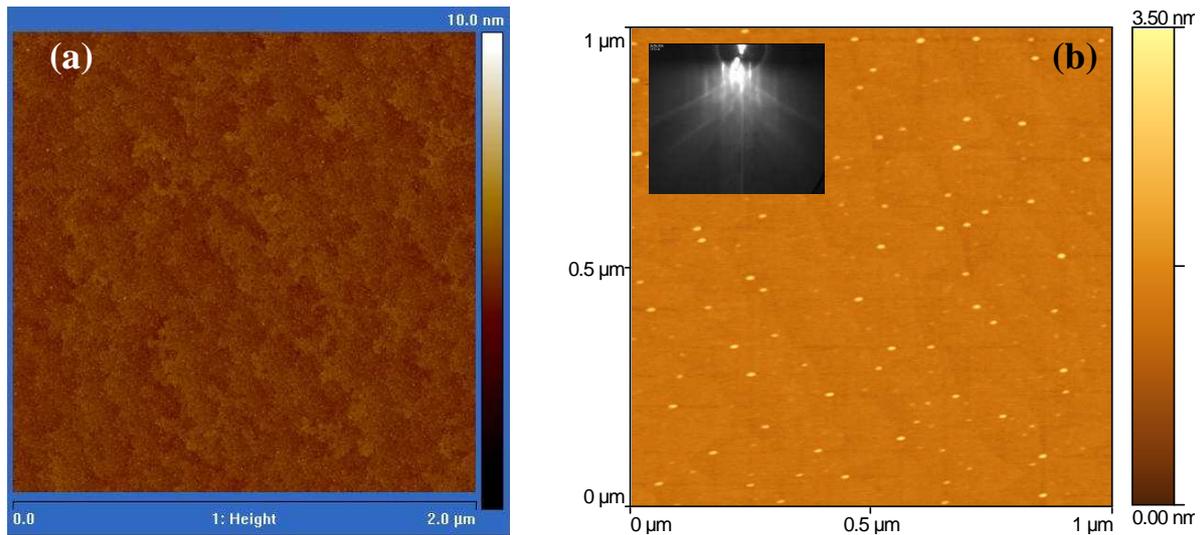


Figure III.24 : Images AFM (a) d'une couche $a\text{-LAO/Si}(111)$ ($\text{RMS} = 0,24\text{nm}$) et (b) de la surface du buffer de Si obtenue après optimisation de la préparation du substrat $\text{Si}(001)$. Les marches atomiques sont visibles sur les deux surfaces. En insert, reconstruction 2×1 vue au RHEED après dépôt du buffer de $\text{Si}(001)$.

III.7) Conclusion

Disposant d'une constante diélectrique proche de 20 et de bons offsets de bandes avec le Si, le matériau LaAlO_3 amorphe apparaît comme un très bon candidat potentiel pour une intégration dans les nœuds technologiques MOSFET sub-22nm. Avec ce diélectrique high- κ , de faibles valeurs d'EOT (5\AA lors de cette thèse) ont pu être obtenues grâce à la possibilité de réaliser par EJM des interfaces abruptes avec le silicium. D'autre part, les courants de fuite mesurés sont compatibles avec les spécifications de la roadmap ($J < 300 \text{ A/cm}^2$ pour un EOT de 7\AA pour le nœud 16nm de la catégorie "low operating power technology requirements").

Les propriétés électriques des couches sont cependant encore loin d'être optimales [Triyos05] et une optimisation, ainsi qu'un contrôle précis, des procédés d'élaboration par MBE

sont nécessaires. La qualité structurale doit être très bonne, avec un minimum de lacunes d'oxygène.

Par ailleurs, l'évolution des propriétés électriques de ces couches isolantes de LAO à l'aide de divers traitements post-dépôt a été étudiée. Une apparente "fragilité" de l'interface LAO/Si a été observée, au moins pour les couches préparées avec les procédures standard. Il se forme des silicates interfaciaux dès que la température des recuits PDA s'élève au-dessus de 200°C, et cela augmente par conséquent immédiatement l'EOT de l'hétérostructure.

Le LaAlO_3 amorphe, tel que préparé avec les actuels moyens expérimentaux, semblerait donc trouver sa place dans un procédé d'intégration de type «gate-last», où toutes les étapes haute température sont faites au préalable avec une grille sacrificielle. Ainsi, le dispositif MOSFET est opérationnel une fois l'oxyde et sa grille métallique en place. D'où le besoin d'élaborer des couches telles que déposées d'ores et déjà fortement optimisées, ne nécessitant que peu de traitements post-dépôt.

Il resterait à explorer des approches expérimentales alternatives pour voir s'il serait possible d'obtenir des interfaces LAO/Si abruptes, même après recuits à haute température.

CHAPITRE IV : Apport d'une Couche d'Alumine à l'Interface LaAlO₃ / Si

CHAPITRE IV : Apport d'une Couche d'Alumine à l'Interface LaAlO₃ / Si ----- 95

IV.1) Introduction -----	97
IV.2) Pourquoi introduire une couche d'alumine à l'interface LAO / Si ?-----	97
IV.2.1) Stabilité thermique de l'alumine avec le silicium-----	97
IV.2.2) Propriétés cristallographiques et accord de maille de l'alumine avec le silicium -----	98
IV.2.3) Propriétés physico-chimiques et électriques de films d'alumine déposés sur silicium : état de l'art -----	100
IV.2.4) Impact de l'introduction de la couche interfaciale d'Al ₂ O ₃ sur les propriétés électriques : simulations TIV -----	102
IV.3) Préparation de structures LaAlO₃ amorphe / Al₂O₃ épi / Si(001) -----	103
IV.3.1) Formation d'une couche d'Al ₂ O ₃ pseudomorphique par MBE-----	104
IV.3.2) Reprise de LaAlO ₃ sur γ-Al ₂ O ₃ / Si(001) -----	106
IV.4) Stabilité thermique de structures LaAlO₃/γ-Al₂O₃/Si(001) -----	108
IV.4.1) Four tubulaire-----	108
IV.4.2) Four RTA-----	109
IV.4.3) Discussion -----	110
IV.5) Etude de l'homogénéité des échantillons-----	111
IV.5.1) XPS-----	111
IV.5.2) AFM-----	112
IV.6) Evaluation des propriétés électriques des hétérostructures a-LAO / Al₂O₃ / Si(001)-----	112
IV.6.1) EOT et courants de fuite -----	112
IV.6.2) Mesures en fréquence – Extractions de Dit-----	114
IV.6.2.1) Méthode de Castagné&Vapaille -----	114
IV.6.2.2) Méthode de la conductance-----	116
IV.6.2.3) TCV -----	117
IV.6.2.4) Conclusion -----	118
IV.6.3) Présence de charges – Tension de bandes plates-----	118
IV.6.4) Effets de recuits sur les propriétés électriques -----	121
IV.7) Conclusion et limitations de ce système -----	123

IV.1) Introduction

L'intégration d'oxydes, amorphes ou monocristallins, sur silicium dans les technologies CMOS passe par un contrôle précis de l'interface oxyde/Si. Comme démontré au chapitre précédent, cette interface est très sensible lors de la croissance des oxydes mais également pendant les phases de recuits post-croissance.

Une réponse à ce problème de stabilité interfaciale, très ennuyeux pour l'obtention de valeurs d'EOT sub-nanométriques, consiste à insérer une couche tampon isolante protectrice entre le diélectrique high- κ et le Si. Ainsi recouvert, le substrat sera davantage à l'abri d'agressions pouvant entraîner la formation de composés interfaciaux avec de faibles permittivités.

IV.2) Pourquoi introduire une couche d'alumine à l'interface LAO/Si ?

IV.2.1) Stabilité thermique de l'alumine avec le silicium

Une des limitations actuelles du système LaAlO_3 amorphe / Si semble être les réactions interfaciales qui surviennent lors de recuits post-dépôt. Une approche alternative au problème posé, dite d'ingénierie d'interface, réside alors dans l'épitaxie d'un matériau monocristallin, présentant une interface abrupte avec le silicium, une compacité supérieure à celle d'un matériau amorphe et permettant de pondérer les réactions avec le substrat. Il n'a pas été trouvé de système adapté : SrO , SrTiO_3 , BaTiO_3 et Gd_2O_3 ne conviennent pas. Cependant, l'alumine permet d'avoir des interfaces abruptes, stables thermodynamiquement et thermiquement avec le silicium, avec la capacité de faire des couches pseudomorphiques inférieures au nanomètre, retenant dès lors toute l'attention.

L'objectif dans ce chapitre a donc été d'essayer de bénéficier de la qualité de la couche interfaciale d' Al_2O_3 et de l'utiliser avec un dépôt d'un bon diélectrique high- κ , LaAlO_3 , par dessus. Il est à noter qu'une solution équivalente a déjà été avancée dans le cas de dépôts amorphes de LaAlO_3 [Yan04], d' Al_2O_3 [Lee07a] et de HfO_2 [Okada05].

Fort du savoir-faire développé à l'INL sur la maîtrise de l'épitaxie d'oxydes sur Si par MBE, le choix du matériau de cette couche "buffer" s'est porté sur l' Al_2O_3 qui possède les

propriétés requises comme matériau d'interface, en étant notamment stable sur le silicium à haute température et en ayant une forme cristalline $\gamma\text{-Al}_2\text{O}_3$ présentant un faible désaccord de maille avec le silicium.

De par sa haute température d'épitaxie sur Si, l'alumine cristalline est censée rester stable thermiquement. Johnson et al. ont ainsi observé le caractère amorphe de l'alumine jusqu'à 800°C [Johnso01] puis la cristallisation à 900°C après 30 secondes de recuit. Afanas'ev [Afanas02] a quant à lui constaté une cristallisation après 10 minutes de recuit à 900°C . La température de transition amorphe-cristallin de l' Al_2O_3 se situe donc autour de 850°C . En conséquence, si une couche d' Al_2O_3 monocristallin est directement épitaxiée avec une interface abrupte sur un substrat Si, une stabilité thermique entre l'alumine et le silicium est espérée jusqu'à plus de 850°C . En appliquant ce raisonnement simplifié au cas de l'alumine amorphe, l'interface devrait rester abrupte jusqu'à la température de cristallisation du film.

IV.2.2) Propriétés cristallographiques et accord de maille de l'alumine avec le silicium

La forme thermodynamiquement stable de l'alumine est la phase α , dite corindon. Bien qu'étant la seule phase existant à l'équilibre, celle-ci ne se forme qu'à très haute température ($\geq 1300^\circ\text{C}$). À température ambiante, un grand nombre de phases métastables peuvent être rencontrées. Elles peuvent être classées en deux catégories selon l'arrangement de leurs réseaux d'atomes d'oxygène : celles avec un réseau cubique faces centrées (CFC) et celles ayant un réseau hexagonal compact (HCP). C'est dans cette dernière classe que le plus grand nombre de phases se retrouve [Levin98] : outre la phase stable α (corindon), il y a les phases κ (orthorombique) et χ (hexagonale), mais aussi les phases monocliniques θ' , θ'' et λ . Le groupe des alumines à réseau d'oxygène CFC comporte quatre polymorphes métastables : les phases θ (monoclinique), δ (tétragonale ou orthorombique selon les auteurs), γ et η (cubiques type spinelle). La structure $\theta\text{-Al}_2\text{O}_3$ est la seule connue exactement parmi ces phases métastables. Les phases γ et η sont extrêmement proches, à tel point que la plupart des auteurs appellent $\gamma\text{-Al}_2\text{O}_3$ toute phase d'alumine cubique, dénomination qui sera reprise aussi tout au long de ce chapitre.

Le groupe japonais de Tohohashi University, dirigé par M. Ishida, a travaillé depuis la fin des années 80 sur la croissance d' Al_2O_3 [Sawada88]. Sur silicium, il a acquis une maturité et

un savoir-faire important sur l'épitaxie par EJM de $\gamma\text{-Al}_2\text{O}_3$, principalement sur Si(111) [Wado95], [Okada06]. Les études de ce groupe sont dirigées vers des applications visant l'intégration d'oxydes fonctionnels sur Si, plutôt que vers le CMOS. Pour le système $\gamma\text{-Al}_2\text{O}_3/\text{Si}(001)$, il a privilégié la MOCVD mais n'a pas réussi à retrouver la qualité obtenue sur Si(111), les couches étant polycristallines.

Malgré le grand désaccord de maille entre la phase $\gamma\text{-Al}_2\text{O}_3$ et le silicium ($\sim 46\%$ dans le cas d'une relation d'épitaxie cube-sur-cube), l'épitaxie semble possible grâce à l'existence de relations d'épitaxie favorables. Deux arrangements cristallographiques possibles de l'interface $\gamma\text{-Al}_2\text{O}_3(001)/\text{Si}(001)$ ont été suggérés par Ishida et al. Le premier, lorsque la maille d'alumine est tournée de 45° par rapport à celle du silicium, donne un désaccord de maille théorique de $+3,4\%$. Le second correspond à la superposition de 2 mailles de $\gamma\text{-Al}_2\text{O}_3(001)$ sur 3 mailles de Si, ce qui correspond à un désaccord théorique plus faible de $-2,9\%$. Clément Merckling [Merckl07] a démontré qu'il était possible d'épitaxier $\gamma\text{-Al}_2\text{O}_3$ sur Si(001) et cela avec le dernier arrangement cristallographique illustré figure IV.1.

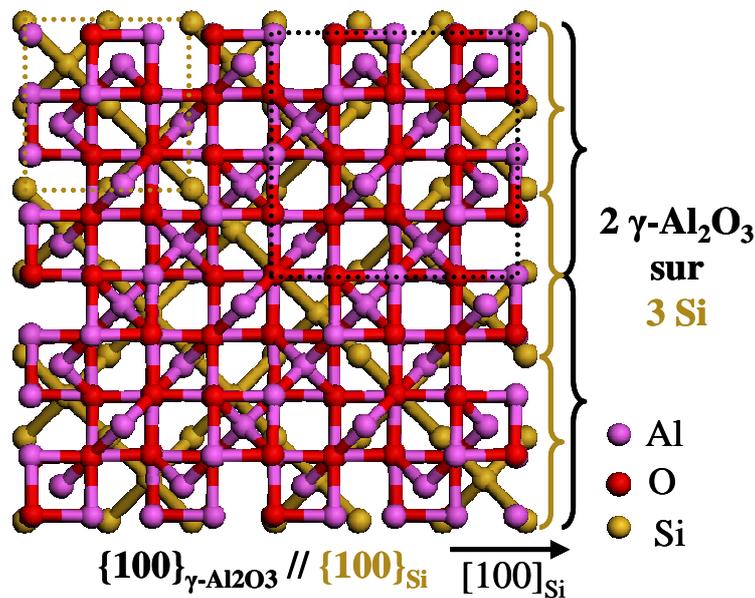


Figure IV.1 : Représentation schématique de la relation d'épitaxie existant lors de la croissance de $\gamma\text{-Al}_2\text{O}_3(001)$ sur Si(001).

L'alumine peut donc croître épitaxialement dans sa phase gamma, cube-sur-cube, sur Si(001). Sa maille est composée de quatre bi-couches de plans d'aluminium octaédriques et d'aluminium tétraédriques. Le paramètre de maille de cet oxyde est de $0,791\text{nm}$ [Pinto04].

IV.2.3) Propriétés physico-chimiques et électriques de films d'alumine déposés sur silicium : état de l'art

L'oxyde Al_2O_3 présente une bande interdite de 8,8eV ^[Robert00], une discontinuité de bandes de conduction avec le silicium égale à 2,8 eV et une permittivité diélectrique moyenne de 10 ^[Yeo02]. Ce diélectrique possède par conséquent une constante diélectrique relativement modeste mais toutefois bien supérieure à celle de SiO_2 . En outre, grâce aussi à sa bonne stabilité thermique et chimique, l' Al_2O_3 a un temps été envisagée et donc très étudiée pour une intégration dans les MOSFET en lieu et place de la silice ^[Guha01].

Cependant, malgré des essais prometteurs d'intégration dans des dispositifs FET ^[Buchan00], ^[Shahj02a], des problèmes de charges fixes négatives ^[Buckle05], ^[Lee02] entraînant des instabilités de tensions de seuil ^[Lee00c], de diffusion métallique et de faible mobilité ^[Guha02], ont conduit à ne pas retenir l'alumine comme diélectrique de grille high- κ pour remplacer SiO_2 . De plus, compte tenu de sa permittivité assez modeste, l' Al_2O_3 n'était pas un candidat idéal en vue d'une intégration possible sur plusieurs nœuds technologiques.

Afin d'améliorer les caractéristiques électriques de films d' Al_2O_3 , de nombreux recuits post-croissance ont été réalisés et reportés dans la littérature ^[Lin03]. Le plus souvent, les couches sont amorphes avec de la silice ou des silicates à l'interface oxyde / Si ^[Chang04], ^[Xu06]. La nature du matériau ayant une grande influence sur les conditions de recuit, il est alors très difficile de se faire une idée de stratégies de recuits standard à adopter pour des couches d'alumine cristalline, qui sont de plus des barrières plus efficaces que de l'alumine amorphe contre la diffusion d'oxygène ^[Nabata03].

Krug et al. ^[Krug00] ont étudié la formation d'une couche interfaciale pour un film d' Al_2O_3 amorphe déposé par ALD. Ils ont mis en évidence par "Narrow Nuclear Resonance Profiling" la migration des atomes d'O, d'Al et de Si à travers l'hétérostructure après un recuit RTA de 30s ou 60s sous oxygène (70 mbar) réalisé entre 600 et 800°C. Cet effet n'est pas observé pour un recuit similaire sous vide (5×10^{-7} mbar). En traçant le profil de l'oxygène ^{18}O introduit lors des recuits, ils concluent au rôle essentiel joué par l'oxygène de la phase gazeuse sur le mouvement des atomes et sur les réactions chimiques qui en découlent pendant les traitements post-dépôt.

Kundu et al. ont étudié les effets des conditions de recuit sur les propriétés d'un film d' Al_2O_3 amorphe ultra mince (0,6nm d'épaisseur), et notamment le rôle de la pression d'oxygène [Kundu02a], [Kundu02b]. Il y a croissance d'une couche interfaciale de silice entre Si et Al_2O_3 dès que $P_{\text{O}_2} \geq 5 \times 10^{-5}$ Torr.

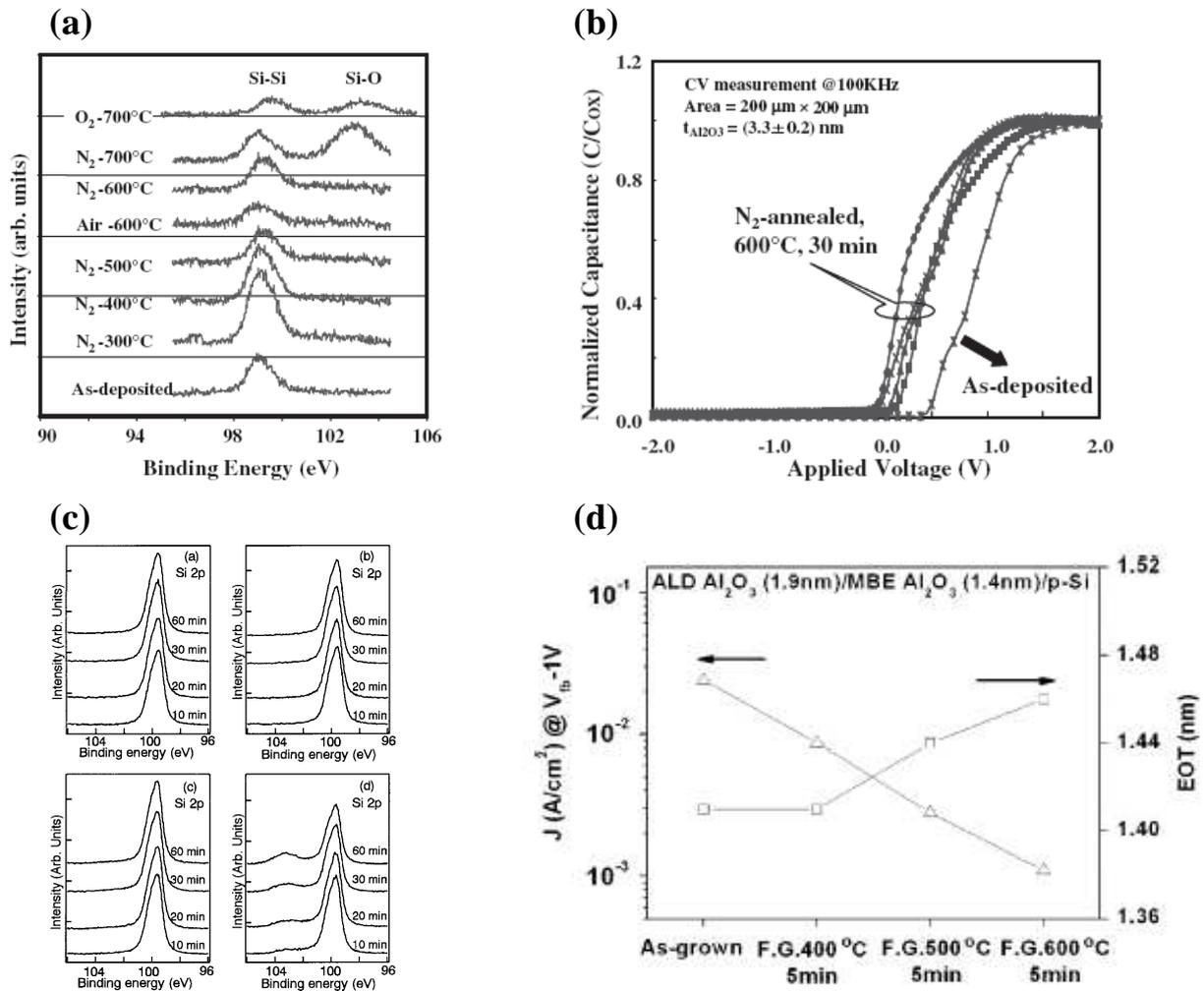


Figure IV.2 : (a) Spectres XPS des niveaux de cœur Si2p d'échantillons $\gamma\text{-Al}_2\text{O}_3/\text{Si}$ en fonction de divers recuits ex-situ post-croissance. Une couche interfaciale apparaît à 700°C [Shahja04]. (b) Caractéristiques C-V haute fréquence de films minces d'alumine cristallins déposés sur n-Si. Un shift de tension de bandes plates est observé après recuits [Shahja04]. (c) Spectres XPS Si2p de structures $a\text{-Al}_2\text{O}_3/\text{Si}(001)$ en fonction de la pression d'oxygène et du temps de recuit à 400°C (dans l'ordre: $P_{\text{O}_2} = 2 \times 10^{-6}$ Torr, 5×10^{-6} Torr, 2×10^{-5} Torr et 5×10^{-5} Torr) [Kundu02a]. (d) Evolution de l'EOT et de la densité de courants de fuite pour un échantillon $a\text{-Al}_2\text{O}_3/\text{Si}$ soumis à divers traitements post-dépôt sous forming gaz [Lee07a].

Eviter la formation d'une couche interfaciale entre l'alumine et le silicium est certes délicat mais maîtrisable à condition d'optimiser les conditions de dépôt et de recuit. Ainsi, Shao et al. [Shao03] ont obtenu un EOT de 0,82nm avec une couche de 2nm d' Al_2O_3 amorphe préparée par MOCVD à 600°C, et ayant subi un recuit RTA de 3 minutes sous ambiance d'oxygène à 650°C. Pour le groupe d'Ishida [Shahja04], un recuit à 600°C sous N_2 durant 30 minutes entraîne l'incorporation d'azote dans ses films minces d' Al_2O_3 cristallins, réduisant par la même occasion les densités de courants de fuite et de charges fixes. (voir Fig. IV.2)

Pour intégrer un oxyde de grille comme l'alumine dans un procédé standard CMOS, l'oxyde doit subir des traitements thermiques à des températures très élevées ($> 1000^\circ C$ pendant quelques secondes). Guha et al. [Guha02] ont montré grâce à des mesures SIMS que l'emploi de si fortes températures sur des couches d' Al_2O_3 déposées sur Si provoque une diffusion de l'aluminium dans le substrat. Une dégradation de la mobilité des électrons a également été observée en parallèle (Fig. IV.3).

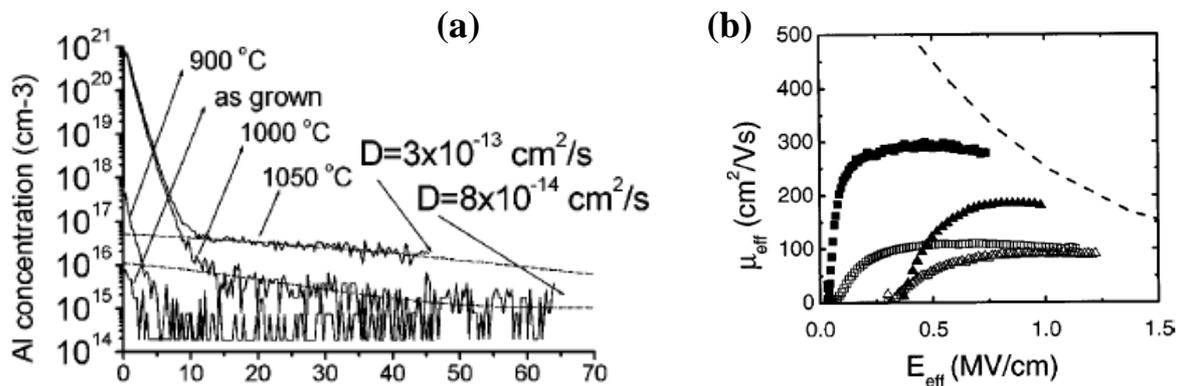


Figure IV.3 : (a) Profils de concentration d'Al dans le substrat de Si pour des échantillons Al_2O_3/Si recuits 30s aux températures indiquées sur la figure. (b) Dégradation de la mobilité des porteurs dans des dispositifs n-FET $Al/Al_2O_3/Si$ comparativement au cas du SiO_2 . [Guha02]

IV.2.4) Impact de l'introduction de la couche interfaciale d' Al_2O_3 sur les propriétés électriques : simulations TIV

En utilisant le simulateur TIV, les propriétés des systèmes LAO/Si et LAO/ Al_2O_3 /Si ont été comparés. En limitant l'épaisseur de la couche interfaciale d'alumine, il a été montré qu'il est théoriquement possible d'atteindre de faibles EOT sans observer d'augmentation significative du courant tunnel, comparativement à des films minces de LAO déposés

directement sur Si et ayant le même EOT. Ceci est illustré dans la figure IV.4. Sur cette figure sont comparées les densités de courants de fuite théoriques obtenues avec TIV, en fonction de la polarisation, pour différents stacks de grille possédant un EOT de 1nm. Les constantes diélectriques du LAO et de l' Al_2O_3 ont été respectivement prises égales à 20 et 10. Pour l'hétérostructure LAO/Si, l'épaisseur physique d'oxyde est de 5,13nm. Pour LAO/ Al_2O_3 /Si, les épaisseurs sont de 3,53nm pour le LAO et de 0,8nm pour l' Al_2O_3 interfaciale. Pour référence, la courbe J-V résultante d'une couche de 1nm de SiO_2 est également tracée. Comme attendu, et comparativement au SiO_2 , les densités de courant sont fortement diminuées pour les "stacks" LAO et Al_2O_3 , mais sont toutefois comparables entre elles pour ces deux systèmes high- κ (seulement une décade de différence). Ainsi, même si l'intercalation d'une barrière d' Al_2O_3 de 0,8nm mène à une réduction de l'épaisseur physique globale du stack de grille pour atteindre un même EOT, ceci n'a pas d'impact important sur les courants de fuite.

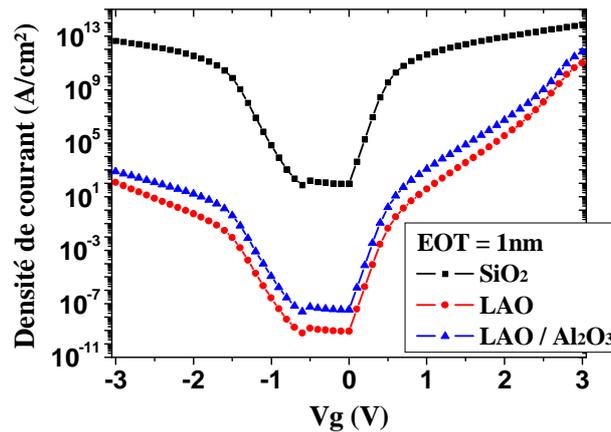


Figure IV.4 : Caractéristiques J-V simulées pour trois échantillons de 1nm d'EOT. Les paramètres utilisés sont : $\Phi_M = 4,5\text{eV}$; $\kappa_{\text{LAO}} = 20$, $m_{\text{LAO}}^* = 0,3$, $E_{g\text{LAO}} = 5,6\text{eV}$, $\Phi_{\text{LAO/Si}} = 1,8\text{eV}$; $\kappa_{\text{Al}_2\text{O}_3} = 10$, $m_{\text{Al}_2\text{O}_3}^* = 0,35$, $E_{g\text{Al}_2\text{O}_3} = 9\text{eV}$, $\Phi_{\text{Al}_2\text{O}_3/\text{Si}} = 2,8\text{eV}$; $\kappa_{\text{SiO}_2} = 3,9$, $m_{\text{SiO}_2}^* = 0,5$, $E_{g\text{SiO}_2} = 9,1\text{eV}$, $\Phi_{\text{SiO}_2/\text{Si}} = 3,1\text{eV}$. [Becer08a]

IV.3) Préparation de structures LaAlO_3 amorphe / Al_2O_3 épi / Si(001)

Une procédure permettant, d'une part, d'épitaxier sur silicium de fines couches d' Al_2O_3 sous une forme cubique pseudomorphique et, d'autre part, de reprendre la croissance de LaAlO_3 sur cette alumine, a été mise au point par C. Merckling [Merck07c]. Ces travaux ont été réalisés en collaboration avec G. Saint-Girons et G. Niu.

IV.3.1) Formation d'une couche d' Al_2O_3 pseudomorphique par MBE

Les films d'alumine ont été réalisés par évaporation, au canon à électrons, à partir d'une charge composée de monocristaux d' $\alpha\text{-Al}_2\text{O}_3$, sous un flux d'oxygène moléculaire. Après avoir été nettoyés chimiquement, introduits et désoxydés dans la chambre MBE comme décrit au chapitre II, les substrats Si(001) présentent une reconstruction RHEED 2×1 avec des lignes de Kikuchi indiquant une surface de départ idéale pour une épitaxie d'alumine de qualité.

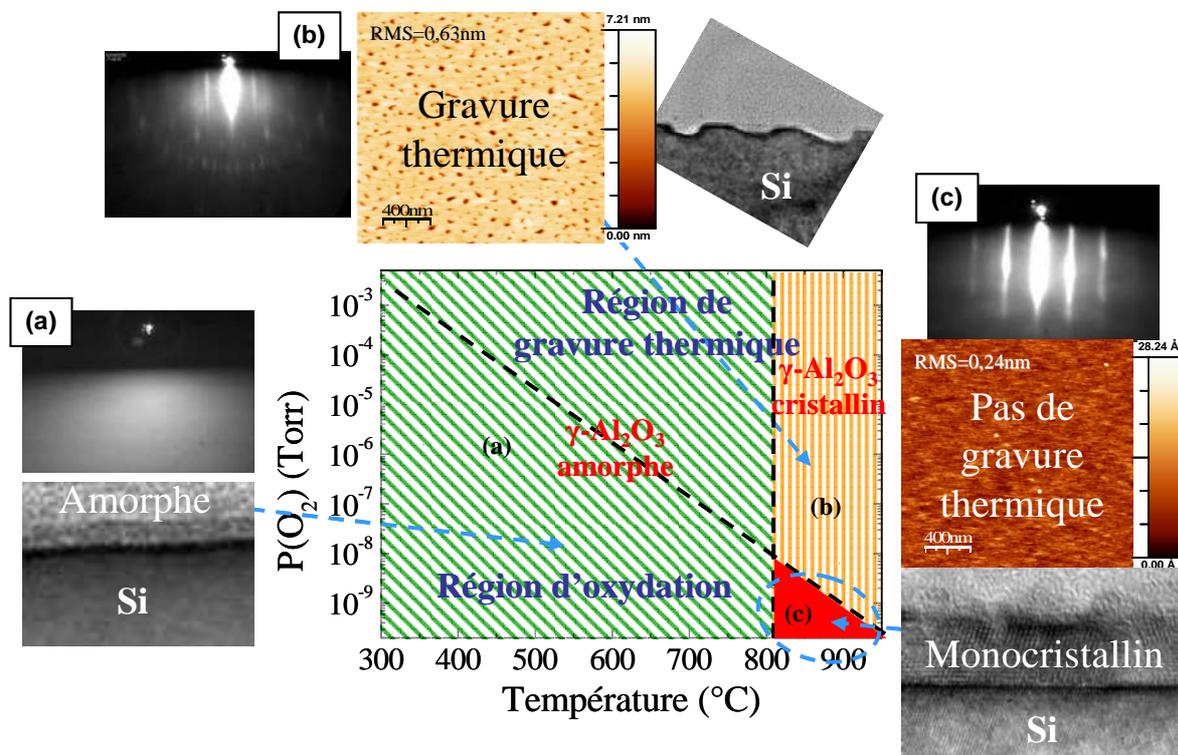


Figure IV.5 : Diagramme Pression d'oxygène - Température de croissance d' Al_2O_3 sur Si par MBE. (a) L' Al_2O_3 est amorphe. (b) L'alumine est cristalline mais la pression d'oxygène est trop forte et entraîne la gravure du substrat, de même qu'une détérioration de l'oxyde. (c) L' Al_2O_3 est de qualité monocristalline avec une interface diélectrique/Si abrupte, sans trous.

La figure IV.5 montre les différents comportements observés lors de la croissance de l' Al_2O_3 sur Si en fonction de la température et de la pression d'oxygène. Pour des températures inférieures à 800°C , l'alumine se présente sous forme amorphe (Fig. IV.5(a)). Il est en effet nécessaire de dépasser le cap des 800°C pour obtenir de l' Al_2O_3 cristallin. Par ailleurs, la pression d'oxygène existant lors de la croissance tient un rôle majeur. Lorsque

pseudomorphique, et cohérente au substrat, qui se relaxe brutalement en alumine (111) avec des plans de surface énergétiquement beaucoup plus stables (*en rouge* Fig. IV.6(b)).

IV.3.2) Reprise de LaAlO_3 sur $\gamma\text{-Al}_2\text{O}_3 / \text{Si}(001)$

L'idée est d'utiliser la première monocouche de $\gamma\text{-Al}_2\text{O}_3(001)$ épitaxiée cube-sur-cube sur $\text{Si}(001)$ comme "template", pour y déposer du LAO amorphe. Sous cette configuration, l' Al_2O_3 ne présente pas d'états dans le gap du Si [Boulen07] et peut ainsi constituer une barrière de protection efficace vis-à-vis de réactions interfaciales. L'approche consiste de fait à combiner un oxyde interfacial épitaxié cristallin, et stable vis-à-vis du Si, avec un oxyde high- κ amorphe déposé par-dessus. [Becer08b]

La figure ci-dessous illustre la méthode de croissance utilisée pour élaborer ces échantillons.

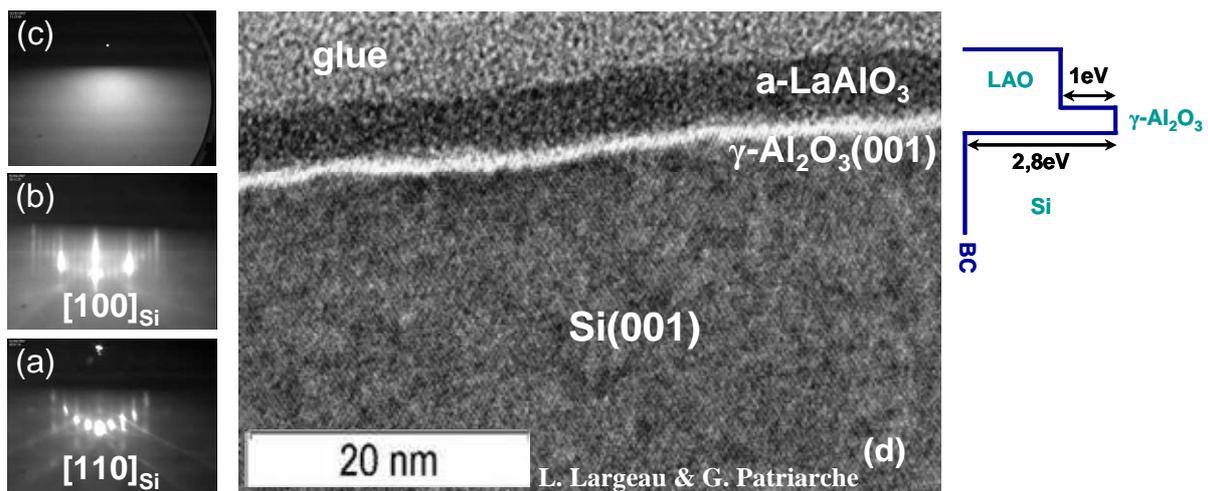


Figure IV.7 : Clichés RHEED observés lors de la croissance d'un échantillon a-LAO/ $\gamma\text{-Al}_2\text{O}_3/\text{Si}(001)$: (a) 2×1 du substrat de $\text{Si}(001)$, (b) $\times 5$ après épitaxie de l'alumine et (c) après dépôt du LAO amorphe. (d) Image TEM et diagramme de bandes de conduction.

Dans un premier temps, une fois la reconstruction RHEED 2×1 du $\text{Si}(001)$ visible et débarrassée du carbone après dépôt d'un buffer de Si (Fig. IV.7(a)), l'alumine est épitaxiée à 850°C jusqu'à apparition d'une reconstruction $\times 5$ intense (Fig. IV.7(b)), ce qui correspond à l'épitaxie d'une maille d' Al_2O_3 , soit $0,8\text{nm}$ d'épaisseur. Cette étape se fait sans apport extérieur supplémentaire d'oxygène. L'oxygène provient uniquement de la charge d'alumine évaporée au canon. En revanche, en fin de croissance, la pression d'oxygène moléculaire est

stabilisée autour de 10^{-6} - 10^{-7} Torr afin de bien oxyder l' Al_2O_3 et de stabiliser la reconstruction 1×5 . Enfin, le LAO est déposé à 400°C , sous forme amorphe (Fig. IV.7(c)), sous une pression d'oxygène partielle de 2×10^{-6} Torr tout au long du dépôt, contrairement au cas où le LAO est déposé directement sur Si. En effet, la présence d'une fine couche d'alumine à l'interface permet de déposer le LAO avec de l'oxygène dès le commencement de la croissance, car la surface de Si est protégée de l'oxydation par l' Al_2O_3 .

À la différence des travaux menés par le groupe de Yan ^[Yan04], le buffer d'alumine est ici cristallin. L'image TEM présentée figure IV.7(d) permet de voir que les interfaces entre les différentes couches sont abruptes. En outre, les analyses XPS (Fig. IV.8) confirment ce résultat : il n'y a pas de SiO_2 ou de silicates détectés à l'interface avec le substrat de silicium. Par ailleurs, les spectres de l'aluminium et du lanthane ne révèlent pas de sous-oxydes, ce qui prouve que les éléments métalliques sont bien oxydés.

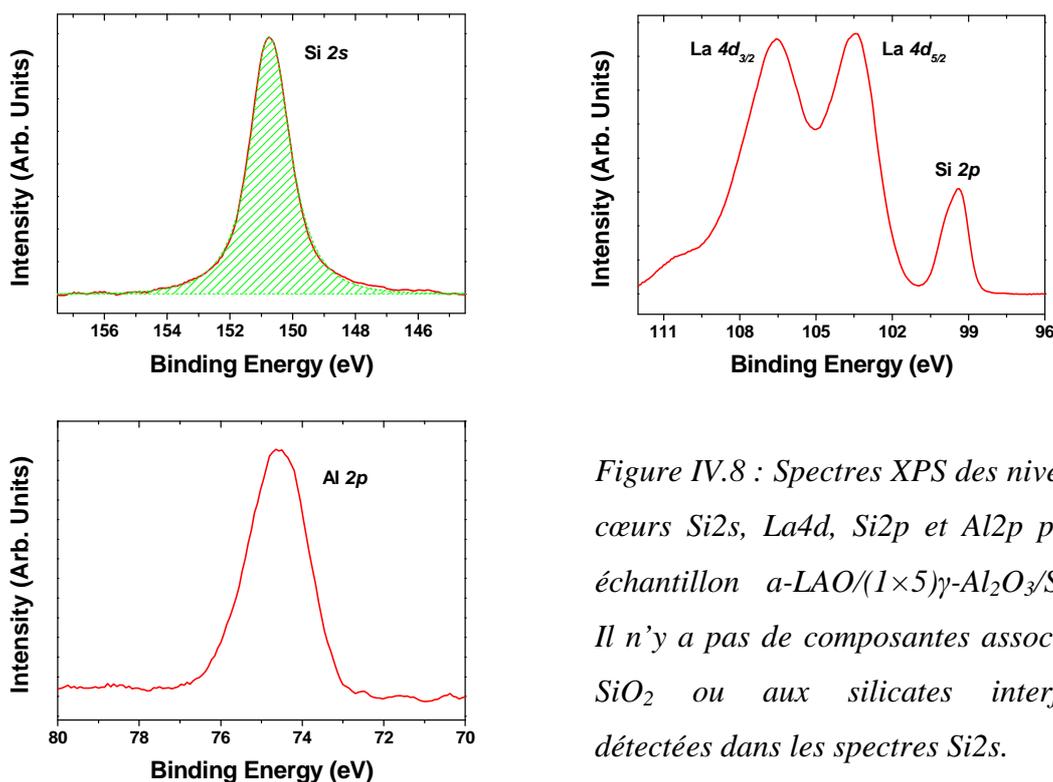


Figure IV.8 : Spectres XPS des niveaux de cœurs $\text{Si}2s$, $\text{La}4d$, $\text{Si}2p$ et $\text{Al}2p$ pour un échantillon $a\text{-LAO}/(1 \times 5)\gamma\text{-Al}_2\text{O}_3/\text{Si}(001)$. Il n'y a pas de composantes associées au SiO_2 ou aux silicates interfaciaux détectées dans les spectres $\text{Si}2s$.

Des essais de croissance de LAO ont été réalisés à 750°C (au lieu de 400°C comme fait habituellement) sur ce buffer de $0,8\text{nm}$ d' Al_2O_3 cristallin. La qualité des échantillons s'en trouve alors fortement dégradée. Tout d'abord, les mesures XPS révèlent la formation de silice et silicates à l'interface avec le substrat. L'AFM (Fig. IV.9) dévoile également une

surface très rugueuse, avec une multitude de grains, semblant indiquer un début de cristallisation du LAO. Electriquement, les couches d'oxyde ne jouent plus leur rôle de barrière isolante : les courbes C-V ne présentent pas de plateau d'accumulation et les fuites de courant sont très importantes.

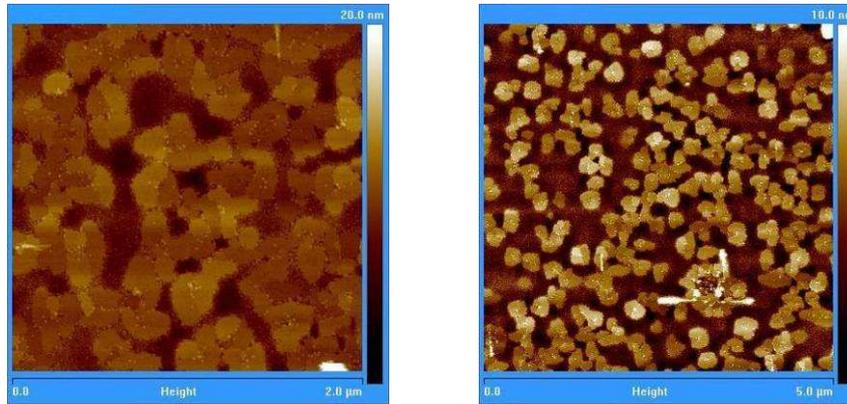


Figure IV.9 : Images AFM de LAO déposé à 750°C sur la 1×5 de l'alumine (001). Une trop forte température de dépôt du LAO détériore les échantillons.

IV.4) Stabilité thermique de structures $\text{LaAlO}_3 / \gamma\text{-Al}_2\text{O}_3 / \text{Si}(001)$

L'objet de ce paragraphe est d'étudier, par comparaison au chapitre III, l'effet du buffer cristallin d'alumine sur un possible gain en stabilité thermique de l'interface LAO/Si. Ainsi, le rôle de barrière à l'oxydation et aux réactions interfaciales joué par l'alumine sera évalué à travers des séries de recuits menés dans les fours tubulaire et RTA.

IV.4.1) Four tubulaire

Des recuits ont été réalisés sur des couches minces de LAO amorphes (de 3 à 6nm d'épaisseur) déposées sur un buffer de 0,8nm d'alumine épitaxié sur Si(001). Les analyses XPS, représentées figure IV.10, montrent que l'interface des échantillons tels que déposés est abrupte. Après recuit, cette dernière demeure inchangée, et ce quel que soit le gaz utilisé (oxygène, azote ou forming gaz), à condition que la température reste inférieure ou égale à 300°C . En effet, dès que la température est de 400°C , du SiO_x ou des silicates se forment à l'interface, comme le montre le recuit réalisé à 400°C sous atmosphère d'azote.

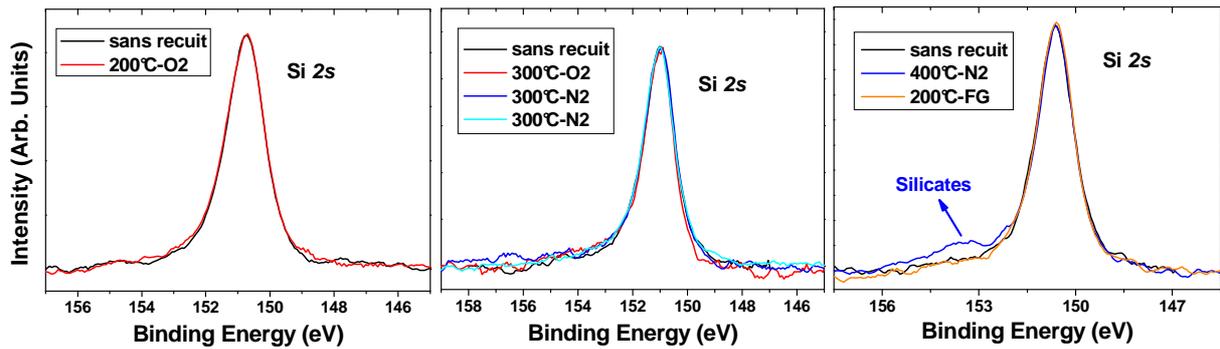


Figure IV.10 : Spectres XPS des niveaux de cœur Si2s de trois échantillons α -LAO/0,8nm- $Al_2O_3/Si(001)$ avant et après recuits (30 minutes) dans un four tubulaire. Les épaisseurs de LAO déposées sont (de droite à gauche) : 3,8nm, 6nm et 3nm.

IV.4.2) Four RTA

Une étude similaire a été réalisée dans un four RTA, permettant de réduire considérablement la durée des recuits. En effet, ces traitements sont très rapides : après une montée en température à raison de $100^\circ\text{C}/\text{min}$, la consigne de température crête est maintenue 1 seconde avant de subir un refroidissement brutal avec un balayage du bâti avec le gaz utilisé lors du recuit. Les résultats XPS sont illustrés figure IV.11. Avant recuit, l'interface de l'échantillon avec le substrat est vierge de SiO_2 ou de silicates, et reste abrupte jusqu'à une température de recuit de 400°C . À 500°C , l'interface commence très légèrement à se détériorer. Enfin, à 600°C et au-delà, la température devient trop élevée et entraîne la formation de SiO_2 et de silicates à l'interface avec le Si.

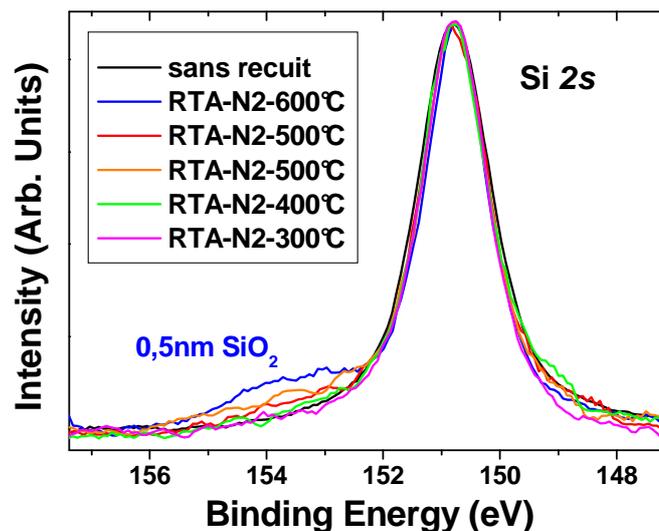


Figure IV.11 : Courbes XPS (Si2s) obtenues pour un échantillon α -LAO(2nm)/ $Al_2O_3(0,8nm)/Si(001)$, recuit 1s à différentes températures sous azote par RTA.

IV.4.3) Discussion

Par rapport au cas du LAO amorphe déposé directement sur Si(001) et précédemment rencontré au chapitre III, les résultats présentés dans les figures IV.10 et IV.11 révèlent que la présence d'une fine couche d'alumine cristalline retarde l'apparition de SiO_2 et de silicates à l'interface avec le Si. Comparativement au cas des échantillons a-LAO/Si(001), la stabilité thermique de l'interface est en effet améliorée (aussi bien pour les recuits dans un four tubulaire que dans un four de type RTA). Alors qu'elle se dégradait dès 300°C dans le four tubulaire et à partir de 400°C dans le four RTA, l'interface munie d'un buffer d'alumine supporte désormais aisément ces températures dans les mêmes conditions de traitement post-dépôt.

Deux échantillons avec des valeurs d'EOT comparables, avec et sans Al_2O_3 interfaciale, ont été recuits sous azote. La figure IV.12 compare les spectres XPS Si2s enregistrés avant et après recuit dans un four tubulaire. Le pic à $150,7\text{eV}$ est attribué aux niveaux de cœur Si2s du substrat de silicium. L'apparition de composantes autour de 154eV est associée à la formation de SiO_x ou de silicates à l'interface avec le silicium. Les échantillons tels que déposés exhibent une interface abrupte. Après un recuit à 300°C , l'interface entre l'alumine et Si reste abrupte, alors que des sous-oxydes ou des silicates apparaissent pour le système LAO/Si. Le rôle "protecteur" de la barrière de $\gamma\text{-Al}_2\text{O}_3(001)$ durant les traitements post-dépôt est ainsi mis en évidence, pour des températures allant jusqu'à 500°C sous azote par recuit RTA "spike".

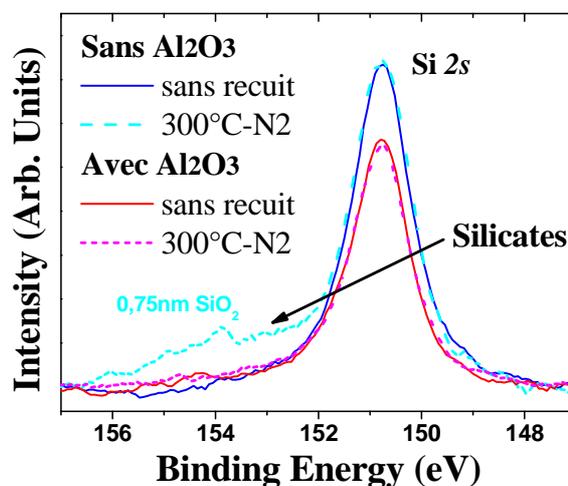


Figure IV.12 : Spectres XPS Si2s de deux échantillons a-LAO/Si(001) possédant le même EOT : l'un avec une fine couche interfaciale d' Al_2O_3 cristalline et l'autre sans.

La diffusion de l'oxygène en direction du Si, via les lacunes du LAO, est donc freinée par l'alumine cristalline interfaciale. L' Al_2O_3 a un impact bénéfique sur la stabilité thermique des échantillons : elle retarde l'apparition de silicates. ^[Becer08a]

IV.5) Etude de l'homogénéité des échantillons

IV.5.1) XPS

Un échantillon du type a-LAO/ γ - Al_2O_3 /Si(001) a été caractérisé par XPS, technique qui pourrait se révéler très utile en vue d'une mesure de l'épaisseur des couches déposées, afin d'analyser diverses zones de cet échantillon et de vérifier l'homogénéité du film de LAO.

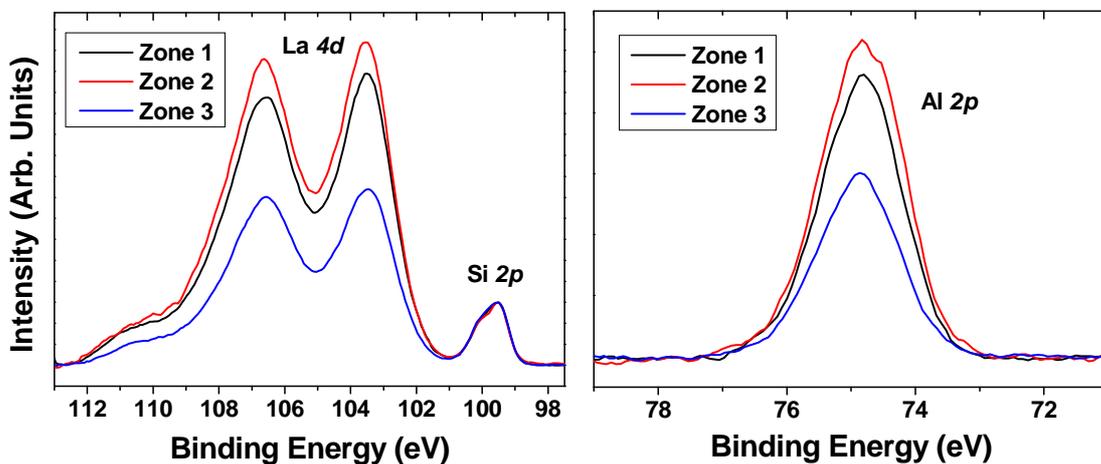


Figure IV.13 : Analyses XPS d'un échantillon a-LAO(6nm)/ γ - Al_2O_3 (0,8nm)/Si(001). Trois régions différentes ont été sondées sur ce même échantillon. Ces mesures ont été normalisées par rapport au pic Si2p et montrent de fortes inhomogénéités d'épaisseur.

Les courbes de la figure IV.13 ont été normalisées par rapport au pic des niveaux de cœur du Si2p. Les pics La4d et Al2p présentent alors de fortes disparités d'intensité. Ceci met en évidence un problème d'inhomogénéité des couches déposées : alors que toutes les courbes devraient être confondues, la différence d'intensité mesurée notamment entre les zones 2 et 3 (qui est par ailleurs du même ordre de grandeur pour le lanthane et l'aluminium) indique une rugosité de surface non négligeable. Le même comportement avait déjà été observé pour les hétérostructures $\text{LaAlO}_3 / \text{Si}(001)$.

IV.5.2) AFM

Le phénomène observé ci-dessus s'explique par une préparation de surface des substrats de Si non optimale au moment de la réalisation des échantillons (comme explicité aux paragraphes III.6.2 et III.6.3). Les observations AFM (Fig. IV.14) révèlent une surface très accidentée, avec une impression de mosaïque. La surface n'est pas plane et n'est pas recouverte uniformément par l'oxyde (ce qui n'est pas sans rappeler les travaux d'Okada sur la croissance de HfO_2 amorphe sur un buffer d'alumine cristalline sur Si et les images AFM correspondantes [Okada05]). De plus, des trous sont visibles en arrière plan et risquent de perturber le bon fonctionnement électrique des dispositifs mesurés.

Des études complémentaires sont actuellement en cours pour vérifier l'effet bénéfique des récents traitements de surface mis au point, afin de maîtriser la morphologie de surface et l'homogénéité des couches.

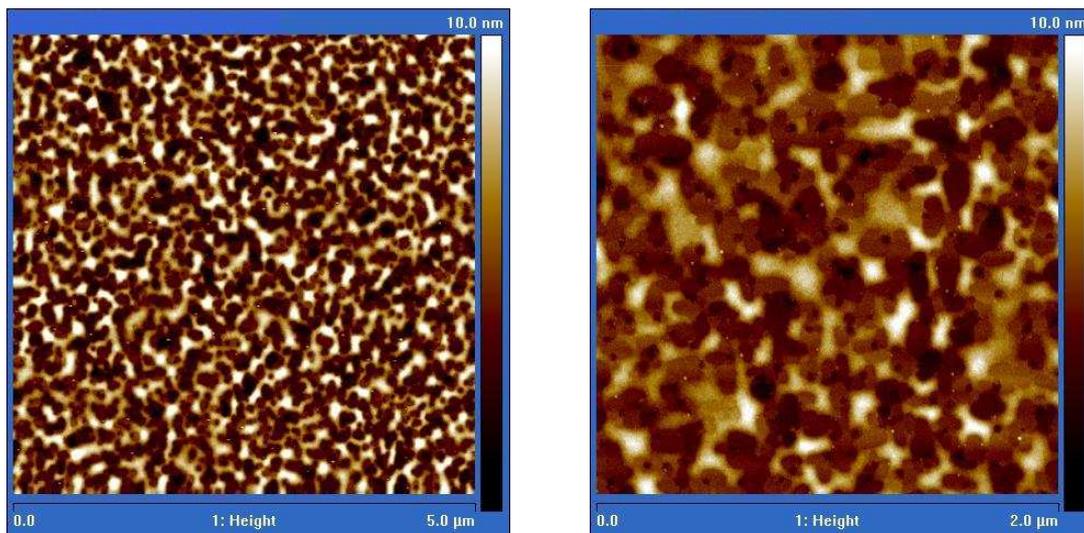


Figure IV.14 : Images AFM de la surface du système $a\text{-LAO}/\text{Al}_2\text{O}_3/\text{Si}(001)$. $\text{RMS} = 1,5\text{nm}$.

IV.6) Evaluation des propriétés électriques des hétérostructures $a\text{-LAO}/\text{Al}_2\text{O}_3/\text{Si}(001)$

IV.6.1) EOT et courants de fuite

En dépit de propriétés structurales non optimales (inhomogénéité des échantillons et rugosité de surface), de très bons résultats électriques ont été obtenus sur ces capacités MOS.

En effet, pour 6nm de LaAlO_3 amorphe déposé sur 0,8nm d' Al_2O_3 , la capacité mesurée en régime d'accumulation est de 210pF, ce qui donne un CET de 1,55nm, soit un EOT de 1,31nm après prise en compte des effets quantiques avec le simulateur TCV. Connaissant l'épaisseur physique de chacune des couches d'oxyde déposée et en considérant une constante diélectrique de 10 pour l'alumine interfaciale, il est alors possible de calculer la permittivité du LAO amorphe. Cette dernière est dans le cas présent de 23,4, ce qui est très proche de la valeur théorique de 25 du LAO massif.

La plus petite valeur d'EOT obtenue dans le cadre de cette thèse, avec le système $\text{LAO}/\text{Al}_2\text{O}_3/\text{Si}(001)$, est de 1,1nm. Le film de LAO amorphe mesurait alors 3,8nm d'épaisseur (Fig. IV.15). Considérant toujours que $\epsilon_{\text{Al}_2\text{O}_3} = 0,8\text{nm}$ et que $\kappa_{\text{Al}_2\text{O}_3} = 10$, la permittivité du LAO est ici de 18,8. À travers les différents échantillons étudiés, il est possible d'établir une constante diélectrique moyenne du LAO déposé sous forme amorphe sur Al_2O_3 cristalline. La permittivité moyenne ainsi extraite est $\kappa_{\text{LAO}} \approx 19$. Cette valeur est un peu plus faible que celle obtenue avec le système a-LAO/Si(001) sans alumine interfaciale, mais est cependant très proche compte tenu des imprécisions sur les mesures électriques et les épaisseurs TEM.

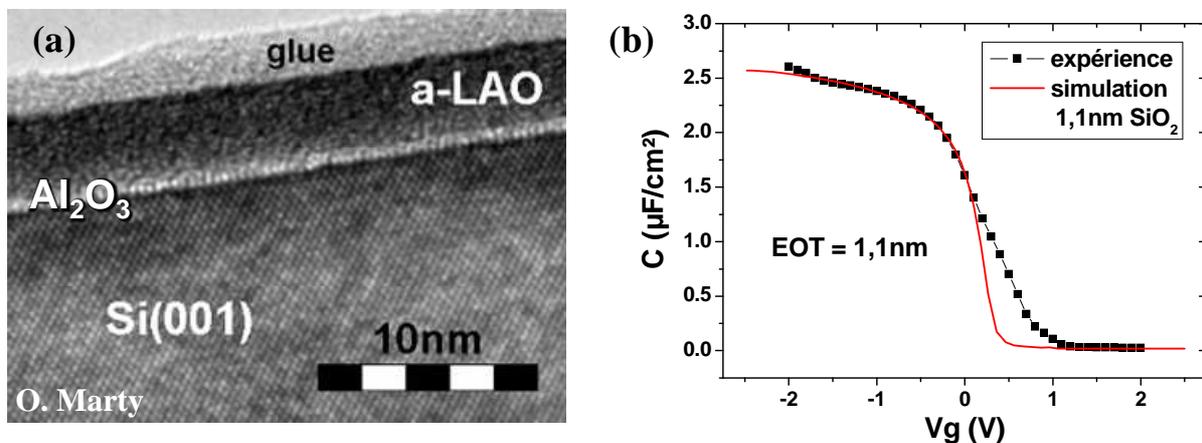


Figure IV.15 : (a) Image TEM d'un échantillon 3,8nm LAO / 0,8nm Al_2O_3 / Si(001).

(b) Courbe C-V correspondante. La simulation TCV indique un EOT de 1,1nm.

La différence entre la constante diélectrique du LAO amorphe et celle du LAO monocristallin massif tire son origine du volume molaire qui diffère selon la structure du matériau. D'après Devine^[Devine03], il est tout à fait logique que $\kappa_{\text{LAOamorphe}}$ soit légèrement inférieure à $\kappa_{\text{LAOcristallin}}$ du fait du rapport des densités ($\rho_{\text{amorphe}} < \rho_{\text{cristallin}}$, résultat d'une certaine porosité). D'après la formule^[Busani04] :

$$\frac{\kappa - 1}{\kappa + 2} = \left(\frac{4\pi}{3} \right) \frac{\alpha}{V_m} \quad [\text{Eq. IV.1}]$$

, où κ est la permittivité, α la polarisabilité et V_m le volume moléculaire, une légère augmentation du volume moléculaire, ou en d'autres termes une densité plus faible, mène à une réduction de la constante diélectrique.

En ce qui concerne les densités de courants de fuite mesurées, ces dernières sont en accord avec les recommandations de l'ITRS pour de telles valeurs d'EOT. De plus, les couples EOT- J_{fuites} se situent en très bonne position par rapport à l'état de l'art mondial des oxydes high- κ déposés sur silicium. Ce point sera développé dans la conclusion générale.

IV.6.2) Mesures en fréquence – Extractions de Dit

Les différences observées entre les courbes C-V expérimentales et les courbes simulées avec TCV (Fig. IV.15(b)), au niveau de la transition entre zones d'inversion et de déplétion, laissent présager une densité de défauts d'interface (Dit) non négligeable. Afin de déterminer précisément la densité d'états d'interface présente dans ces échantillons non recuits, des mesures C-V en fréquences ont été réalisées. Trois méthodes différentes ont été utilisées.

IV.6.2.1) Méthode de Castagné&Vapaille

Cette méthode a été proposée pour la première fois en 1971 ^[Castag71]. Elle permet d'obtenir rapidement une valeur de Dit à partir d'une courbe C-V mesurée à haute fréquence et d'une deuxième courbe enregistrée à basse fréquence : pas besoin de calcul théorique de C_{it} , ni de mesure du profil de dopant dans l'empilement.

Les capacités à haute fréquence C_{HF} et à basse fréquence C_{BF} d'une capacité MOS peuvent s'exprimer comme suit ^[Klausm89] :

$$C_{HF}^{-1} = C_{ox}^{-1} + C_D^{-1} \quad \text{et} \quad C_{BF}^{-1} = C_{ox}^{-1} + (C_D^{-1} + C_{it}^{-1}) \quad [\text{Eq. IV.2}]$$

, avec C_{ox} la capacité d'oxyde, C_D la capacité en régime de déplétion et C_{it} la capacité due aux défauts d'interface.

Il est alors possible d'éliminer C_D de ces deux équations et d'obtenir l'expression de C_{it}

$$\text{suivante [Eq. IV.3] : } C_{it} = q \times D_{it} = \left(\frac{1}{C_{BF}} - \frac{1}{C_{ox}} \right)^{-1} - \left(\frac{1}{C_{HF}} - \frac{1}{C_{ox}} \right)^{-1} \quad [q = 1,6 \times 10^{-19} \text{ C}]$$

La figure IV.16 montre des mesures capacitives obtenues en mode série en fonction de la polarisation. La première remarque à faire est la très faible dépendance de la capacité en régime d'accumulation (C_{ox}) selon la fréquence de mesure. Ceci prouve que les courants de fuite à travers ce stack de grille (4,5×10⁻⁴ A/cm² à -1,65V = -(|V_{FB}| + 1)) sont suffisamment faibles pour être sûr que la conductance parallèle du dispositif sous test a une influence négligeable sur la capacité mesurée en accumulation. Ainsi, la valeur de capacité obtenue est vraiment représentative de la capacité des diélectriques et permet une détermination fiable de l'EOT.

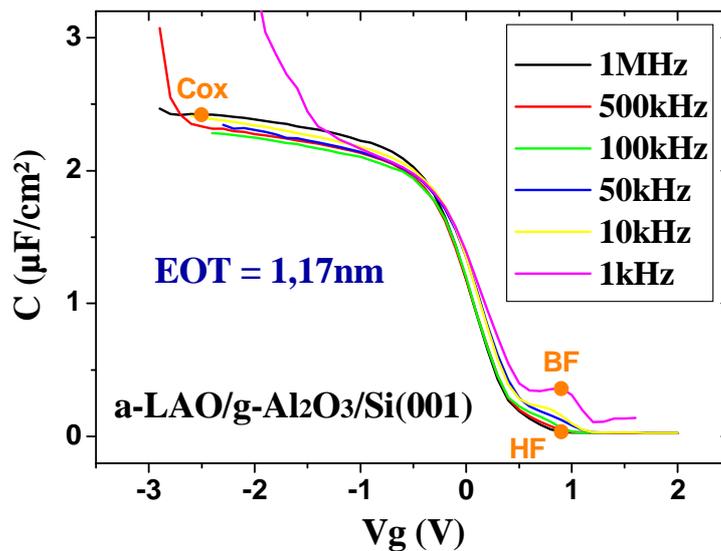


Figure IV.16 : Mesures C-V en fréquences, en mode Cms-Rms, de 1kHz à 1MHz, sur un échantillon Au/Ni/a-LAO/ γ -Al₂O₃/p-Si(001) n'ayant subi aucun traitement post-dépôt.

En début de régime d'inversion, pour une tension de grille donnée (V_g = +0,9V pour la figure IV.16), la capacité mesurée augmente graduellement lorsque la fréquence de mesure diminue. Ce phénomène est attribué à la capacité C_{it} associée à la réponse des états d'interface. En appliquant la méthode de Castagné&Vapaille, explicitée ci-dessus, une valeur de D_{it} peut alors être déterminée. Dans le cas présent, pour cet échantillon tel que déposé, la formule donne : D_{it} = 2,4×10⁺¹² eV⁻¹·cm⁻².

IV.6.2.2) Méthode de la conductance

Des mesures capacitives en fréquences ont également été réalisées en mode d'acquisition parallèle Cmp-Gmp (Fig. IV.17(a)), afin de permettre l'extraction de Dit par la méthode dite de la conductance ^[Nicoll82]. Proposée en 1967 par Nicollian et Goetzberger, cette technique est généralement considérée comme étant la plus sensible pour évaluer les Dit.

Les défauts d'interface sont ici détectés via la variation du taux d'occupation des sites suite à l'application d'un petit signal alternatif dans une fenêtre fréquentielle spécifique. Les porteurs sont capturés et/ou émis, modifiant le taux d'occupation des niveaux énergétiques correspondant aux défauts d'interface. Ceci entraîne une perte d'énergie observable à toutes fréquences, mises à part les très basses (pour lesquelles les défauts d'interface répondent immédiatement) et les très élevées (pour lesquelles les défauts d'interface ne répondent pas). L'extraction des données se fait à partir de mesures de la conductance en mode parallèle (Gmp) en fonction de la tension de grille et de la fréquence de mesure. La conductance, alors représentative du mécanisme de perte dû à la capture et/ou à l'émission de porteurs par les défauts d'interface, est une mesure de la densité de défauts d'interface Dit.

En première approximation, en négligeant les courants de fuite et la résistance série, la densité de défauts d'interface s'obtient à l'aide des formules suivantes ^[Rozier07] :

$$D_{it} = \frac{2,5}{q} \left(\frac{G_p}{\omega} \right)_{\max} \quad [\text{Eq. IV.4}]$$

, et :

$$\frac{G_p}{\omega} = \frac{\omega \cdot G_{mp} \cdot C_{ox}^2}{G_{mp}^2 + \omega^2 (C_{ox} - C_{mp})^2} \quad [\text{Eq. IV.5}]$$

$(G_p/\omega)_{\max}$ représente le maximum du tracé $(G_p/\omega) = f(\omega)$ pour une tension choisie, ω la pulsation de mesure ($\omega = 2\pi f$) et C_{ox} la capacité d'oxyde en accumulation, calculée ici par la méthode des deux fréquences ^[Yang99] pour plus de précision.

La figure IV.17(b) illustre les courbes $(G_p/\omega) = f(\omega)$ obtenues à partir des données représentées figure IV.17(a). À partir de ces tracés, il est alors possible d'extraire une densité de défauts d'interface pour une polarisation donnée. Certes, ces courbes ne présentent pas de maxima $(G_p/\omega)_{\max}$ extrêmement marqués, mais cela est dû aux diverses approximations réalisées et notamment à la non prise en compte de la résistance série ^[Li00]. Une valeur plus précise de Dit passe par un traitement plus raffiné des mesures.

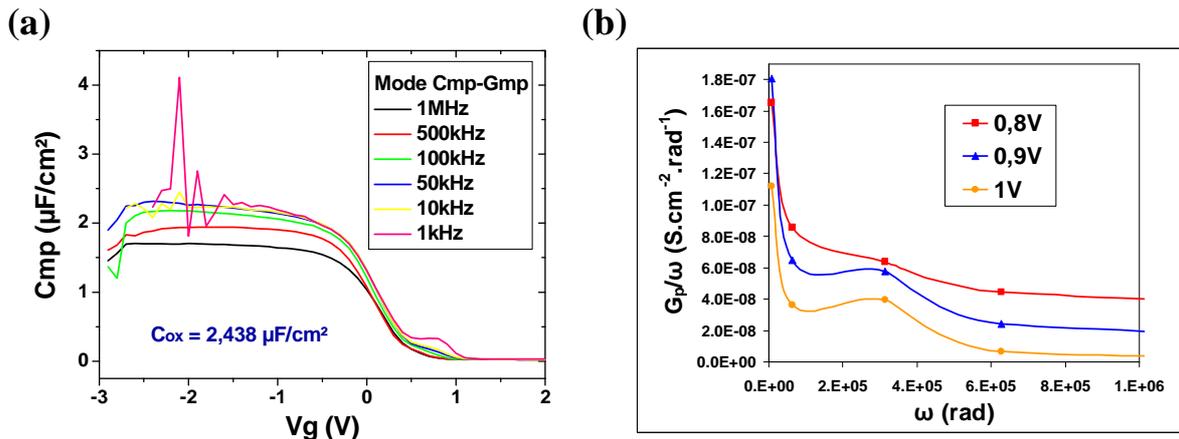


Figure IV.17 : (a) Courbes capacitives en fréquences, obtenues en mode parallèle C_{mp} - G_{mp} , de 1kHz à 1MHz, sur un échantillon $\text{Au}/\text{Ni}/\text{a-LAO}/\gamma\text{-Al}_2\text{O}_3/\text{p-Si}(001)$.

(b) Tracés $(G_p/\omega) = f(\omega)$ établis à partir des courbes représentées en (a) pour 3 polarisations.

Toutefois, une valeur de D_{it} peut être tirée de cette étude. Ainsi, pour une tension de grille de +0,9V, le calcul fournit une valeur de D_{it} de $9 \times 10^{11} \text{ eV}^{-1}\cdot\text{cm}^{-2}$, ce qui est proche de la quantité de D_{it} précédemment déduite avec la méthode de Castagné&Vapaille.

IV.6.2.3) TCV

La troisième technique utilisée pour déterminer la densité de défauts d'interface d'un échantillon consiste à comparer une simulation TCV, dans laquelle il est possible d'introduire des D_{it} , avec une mesure expérimentale basse fréquence. En essayant de faire coïncider ces deux courbes, le simulateur TCV fournit directement une valeur de D_{it} . Si la méthode de la conductance est réputée la plus fiable, l'usage de TCV permet de voir immédiatement (sans calcul) la distribution des défauts d'interface dans le semi-conducteur.

Un essai a été réalisé figure IV.18. La distribution énergétique des défauts d'interface dans le gap du silicium, permettant de faire concorder la simulation avec la courbe expérimentale, est une distribution gaussienne (centre pic = -0,1eV ; sigma = 0,2eV ; amplitude = $1,2 \times 10^{12}$). Les défauts sont ici des défauts de type accepteur, placés dans le substrat de Si (dopage Si = 10^{16} cm^{-3}).

Pour ce même échantillon $\text{Au}/\text{Ni}/\text{a-LAO}/\gamma\text{-Al}_2\text{O}_3/\text{p-Si}(001)$ de 1,17nm d'EOT, la densité de défauts d'interface obtenues avec TCV est ainsi de $2,4 \times 10^{12} \text{ eV}^{-1}\cdot\text{cm}^{-2}$.

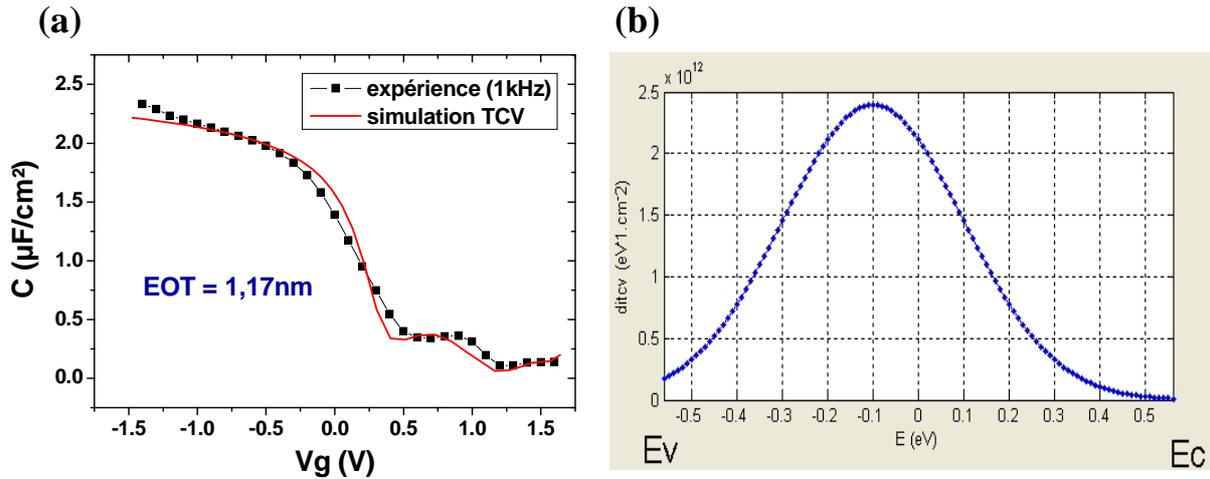


Figure IV.18 : (a) Courbe C-V expérimentale (à 1kHz) et simulation TCV équivalente avec introduction de Dit. (b) Distribution utilisée pour les Dit de la simulation TCV.

IV.6.2.4) Conclusion

Les différentes extractions de densité de défauts d'interface, réalisées au travers des trois méthodes précédemment décrites, permettent d'établir une valeur moyenne de Dit. Pour ces échantillons composés de LAO amorphe et d'alumine interfaciale déposés sur silicium, un Dit moyen proche de $2 \times 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ a été obtenu. Dans la littérature, la quantité de Dit présents à l'interface oxydes high- κ /Si se situe dans la gamme 10^{11} - $10^{13} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ après recuits [Laha07]. Cette valeur moyennée de Dit est donc relativement faible, d'autant plus qu'il ne faut pas oublier que ces échantillons n'ont subi aucun traitement post-dépôt.

IV.6.3) Présence de charges – Tension de bandes plates

Si Yan [Yan04] et Okada rapportent une constante diélectrique du high- κ déposé sur un buffer d'alumine plus forte que dans le cas où l'alumine est absente (ce qui n'a pas été observé dans le cadre de cette thèse pour le système LAO/ Al_2O_3), ils ont en revanche constaté que l' Al_2O_3 interfaciale introduisait beaucoup de charges fixes négatives [Okada05] (Fig. IV.19). Par conséquent, afin d'évaluer la quantité de charges présente dans les échantillons a-LAO/ γ - Al_2O_3 /Si(001), la tension de bandes plates V_{FB} a été extraite à partir de mesures C-V.

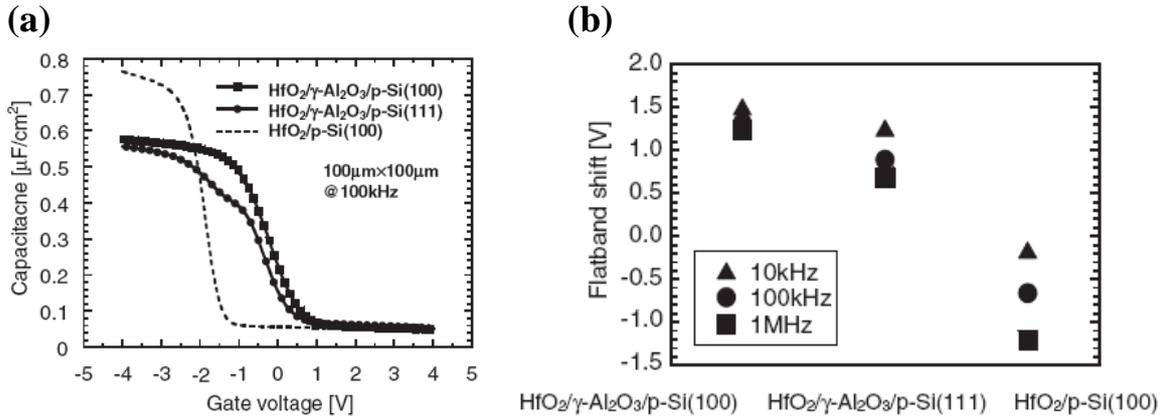


Figure IV.19 : Influence de l'introduction d'un buffer d'alumine cristalline à l'interface HfO_2/Si . [Okada05] (a) Courbes C-V et (b) tensions de bandes plates mesurées à plusieurs fréquences. Des charges négatives apparaissent suite à la présence d' Al_2O_3 .

En effet, une fois V_{FB} et C_{ox} connues, il est alors permis de déterminer la quantité de charges Q_{ox} présentes dans un échantillon à l'aide de la formule : $V_{FB} = \phi_{ms} - \frac{Q_{ox}}{C_{ox}}$. [Eq. IV.6]

Les tensions de bandes plates extraites à partir des mesures capacitives haute fréquence se situent en règle générale dans l'intervalle 0,2V–0,6V (Fig. IV.20), loin du V_{FB} théorique de -0,5V du système Au/Ni/LAO/ Al_2O_3/Si .

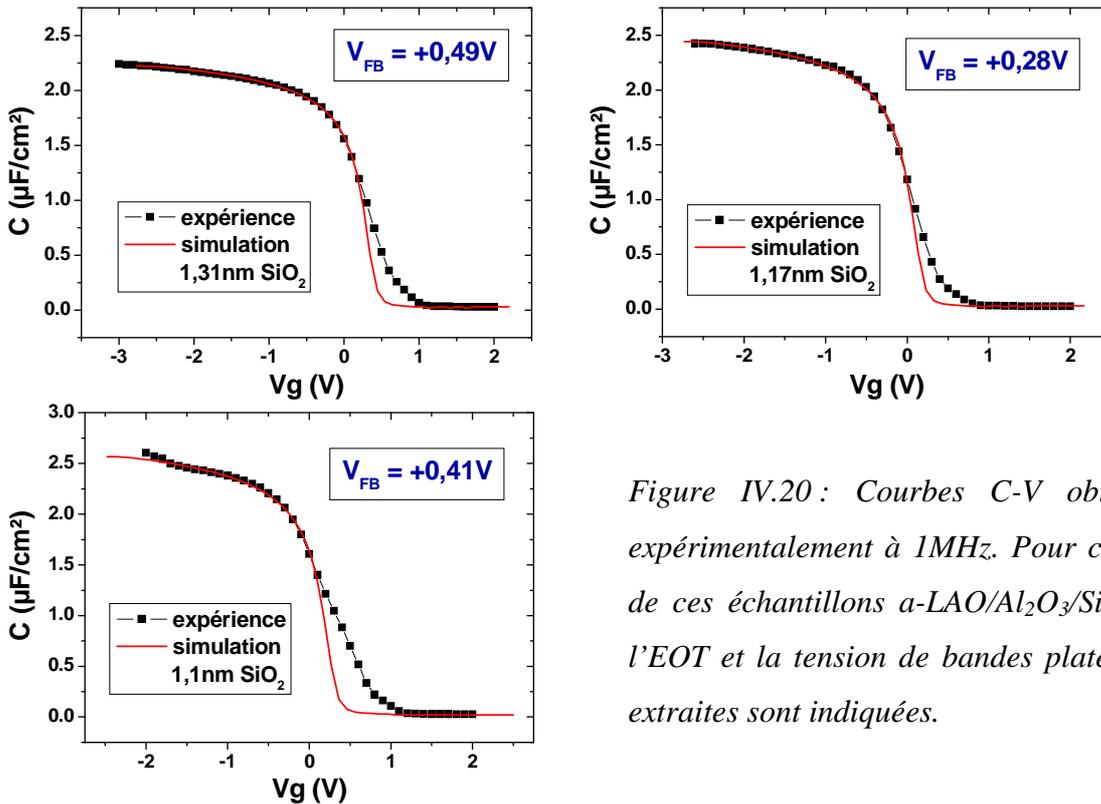


Figure IV.20 : Courbes C-V obtenues expérimentalement à 1MHz. Pour chacun de ces échantillons $a-LAO/Al_2O_3/Si(001)$, l'EOT et la tension de bandes plates V_{FB} extraites sont indiquées.

Le tableau ci-dessous regroupe les quantités de charges déduites à l'aide du logiciel TCv, à partir des mesures de la figure IV.20.

EOT (nm)	V_{FB} (V)	Q_{ox} [Eq. IV.6] (C/m^2)	Q_{ox} TCv (C/m^2)	Q_{ox} TCv (charges/cm ²)
1,31	+ 0,49	-0,022	-0,024	$1,5 \times 10^{13}$
1,17	+ 0,28	-0,019	-0,0205	$1,28 \times 10^{13}$
1,1	+ 0,41	-0,023	-0,026	$1,62 \times 10^{13}$

En moyenne, la quantité de charges négatives présentes dans ces couches est de l'ordre de $-0,0225 C/m^2$ (soit $1,4 \times 10^{13}$ charges/cm²). Ceci représente une forte densité de charges ; charges qui perturbent le bon fonctionnement des dispositifs MOS en provoquant entre autres des phénomènes d'instabilités tels des hystérésis et des modifications brutales de tensions de seuil. De plus, une partie de ces charges est mobile et provoque des problèmes de fiabilité et des variations de tensions de bandes plates au fil des mesures.

Par ailleurs, outre le fait que l' Al_2O_3 soit réputée pour introduire des charges négatives en grande quantité, la probabilité d'avoir des charges (notamment des charges d'interface) est plus importante lorsque des couches distinctes d'oxydes sont déposées les unes sur les autres. Contrairement au système a-LAO/Si étudié au chapitre III, il y a maintenant deux interfaces en jeu dans ces structures : $\gamma-Al_2O_3/Si$ et a-LAO/ $\gamma-Al_2O_3$ (Fig. IV.21).

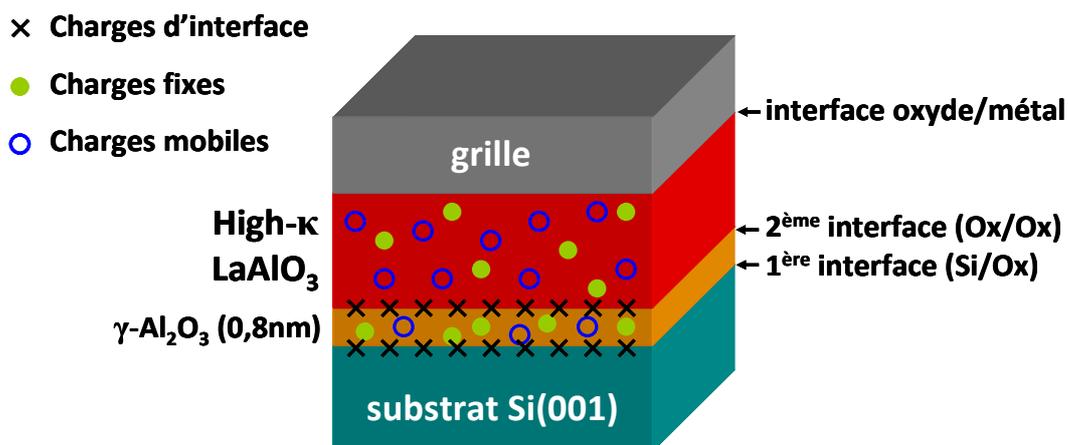


Figure IV.21 : Schéma illustrant les diverses charges et leurs possibles localisations dans un stack de grille comportant deux couches d'oxydes différentes.

IV.6.4) Effets de recuits sur les propriétés électriques

Afin de minimiser les densités de charges et d'états d'interface, différents traitements post-dépôt ont été réalisés en vue d'améliorer les propriétés électriques des dispositifs, tout en évitant la formation de SiO_2 ou de silicates interfaciaux afin de conserver un EOT le plus faible possible.

Les résultats les plus intéressants ont été obtenus pour des recuits basses températures dans un four tubulaire, sous atmosphère d'azote ou de forming gaz. L'influence de ces traitements est mise en avant figure IV.22. Un traitement à 200°C (30 minutes en atmosphère forming gaz) réduit la quantité de charges négatives, faisant passer V_{FB} de $0,49\text{V}$ à $0,18\text{V}$. La densité de défauts d'interface est quant à elle réduite d'un facteur deux, tandis que l'EOT reste quasi-inaffecté, démontrant que l'interface reste abrupte après un tel recuit (comme prédit par les analyses XPS).

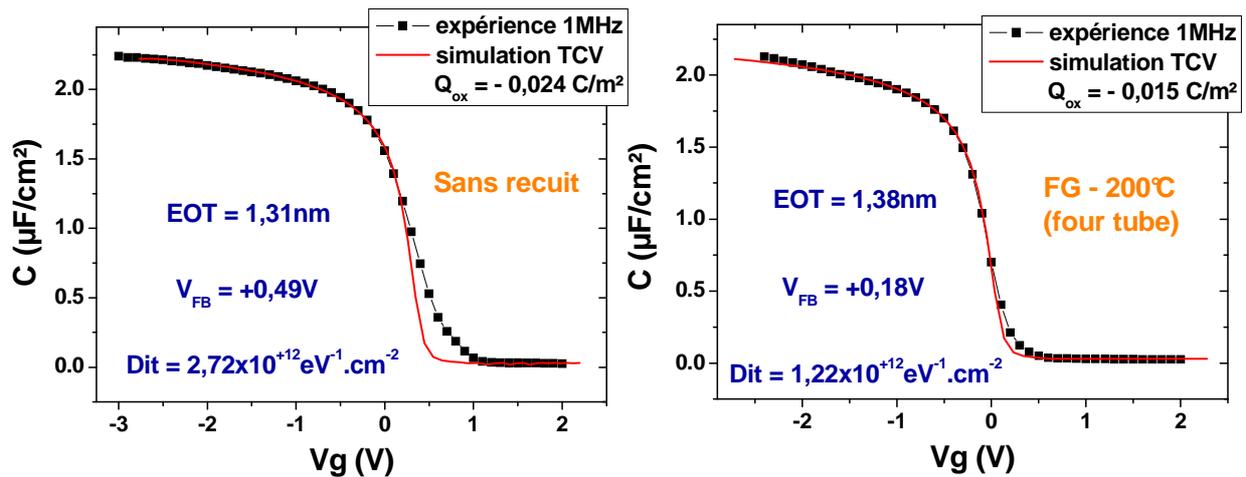


Figure IV.22 : Comparaison des caractéristiques C - V expérimentales et simulées de capacités MOS $\text{Au}/\text{Ni}/\text{LAO}/\text{Al}_2\text{O}_3/\text{Si}(001)$, avant et après recuit à 200°C , 30 minutes, sous forming gaz dans un four tubulaire. Les échantillons ont été recuits avant métallisation.

Néanmoins, malgré la faible température utilisée et pour une raison inconnue, les échantillons ainsi recuits présentent parfois des fuites de courant plus importantes que les échantillons non recuits, rendant alors les mesures capacitives en fonction de la fréquence très difficiles. En revanche, ce phénomène n'est pas observé en substituant l'azote par de l'oxygène lors d'un recuit similaire. Banni pour les recuits du système α - LAO/Si , car favorisant rapidement une re-croissance interfaciale, l' O_2 permet ici d'améliorer les propriétés électriques des capacités en maintenant un faible niveau de courants de fuite (Fig. IV.23). Le

buffer d'alumine joue parfaitement son rôle de barrière de diffusion, à condition que la température de recuit ne soit pas trop élevée.

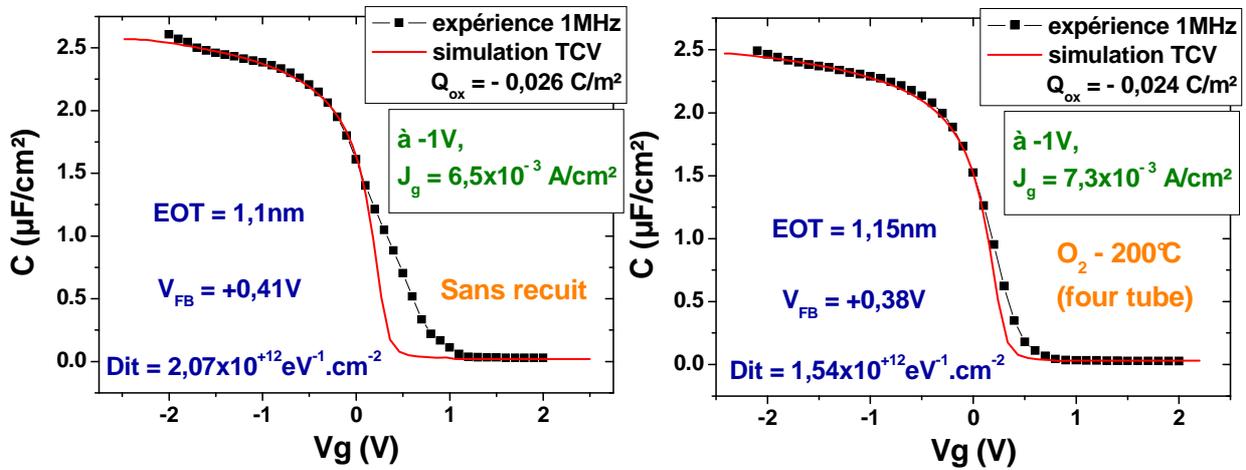


Figure IV.23 : Courbes capacité-tension avant et après recuit dans un four tubulaire, 30 minutes, à 200°C, sous O_2 . V_{FB} , Q_{ox} et Dit décroissent, alors que J_g reste stable.

Un recuit RTA de type spike (1 seconde) à 600°C permet, au même titre que les recuits cités ci-dessus, d'améliorer les performances électriques des dispositifs testés (Fig. IV.24(a)) : V_{FB} devient très proche du V_{FB} théorique de -0,5V, la quantité de charges Q_{ox} indiquée par TCV est faible et la densité de défauts d'interface est réduite. Cependant, ceci est lié à la formation d'une couche interfaciale avec le substrat de Si comme le prouve l'augmentation d'EOT de 1,17nm à 1,51nm et les analyses XPS : les défauts électriques sont "gommés" au détriment de la valeur d'EOT.

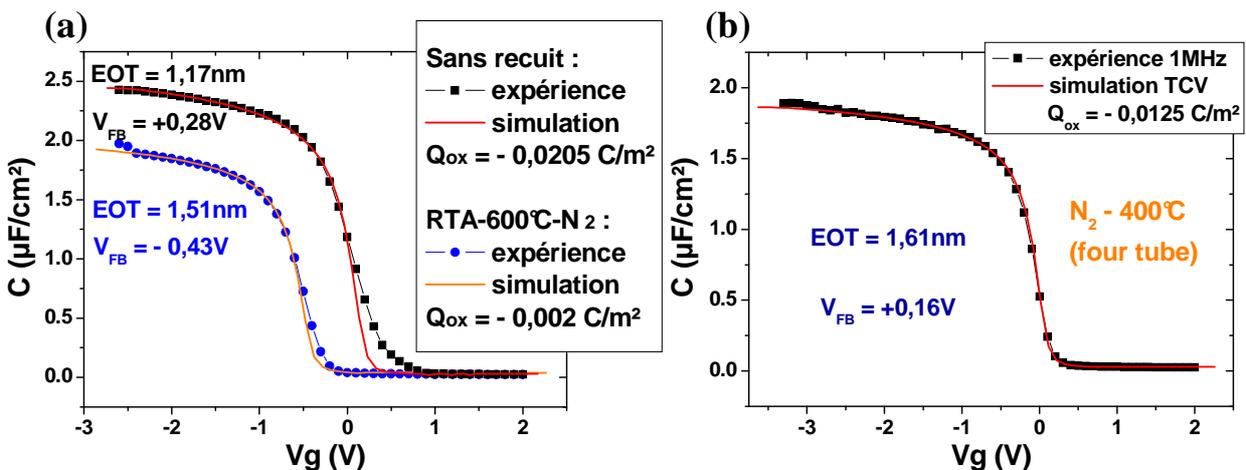


Figure IV.24 : (a) Comparaison des courbes C-V expérimentales et simulées d'un échantillon non recuit et recuit à 600°C par RTA. (b) Même échantillon recuit à 400°C sous azote.

Toutefois, si la caractéristique C-V est nettement améliorée par ce recuit RTA, il s'ensuit une légère augmentation de la densité de courants de fuite ($J_g = 2,3 \times 10^{-2}$ A/cm² à -1V, contre $J_g = 1,2 \times 10^{-4}$ A/cm² à -1V pour l'échantillon non recuit) et ce malgré la présence d'une couche interfaciale avec le silicium. Ceci peut s'expliquer par une densification de la couche d'oxyde. En effet, recuit dans un four tubulaire à plus basse température (400°C), toujours sous azote, l'échantillon présente des courants de fuite inférieurs de plusieurs décades ($J_g = 4,5 \times 10^{-6}$ A/cm² à -1V) et un EOT de 1,61nm qui prouve là aussi la présence de SiO₂ et silicates interfaciaux (Fig. IV.24(b)).

En conclusion de cette étude sur les traitements post-dépôt dans le système de matériaux a-LAO/ γ -Al₂O₃/Si(001), il est impératif de choisir des températures de recuits basses, afin de favoriser la conservation de très faibles valeurs d'EOT. Un recuit oxydant semble être dans le cas présent le meilleur compromis entre guérison des défauts électriques et obtention de faibles densités de courants de fuite.

IV.7) Conclusion et limitations de ce système

L'insertion d'une monocouche de γ -Al₂O₃(001) épitaxiée sur Si(001) améliore sensiblement la stabilité thermique du stack de grille vis-à-vis du substrat. Si les résultats électriques obtenus sont encourageants, avec notamment l'observation de courants de fuite plus faibles et en conséquence de courbes capacitives à basses fréquences non observées dans le cas du LaAlO₃ déposé directement sur Si, les échantillons sont caractérisés par l'apparition de charges négatives. Les problèmes récurrents des high- κ ont alors été rencontrés : présence de charges fixes et mobiles, hystérésis (chargement du diélectrique), instabilités de V_{FB} et détérioration des courbes C-V lors de l'accumulation des mesures sur un même dispositif et difficultés de reproductibilité.

Par ailleurs, si la stabilité de l'interface avec le silicium est accrue suite à la présence du buffer d'alumine cristallin, ce dernier ne permet toutefois pas d'atteindre, avec les actuels moyens expérimentaux, les 1050°C nécessaires à l'activation des dopants dans un procédé classique de fabrication CMOS. L'EOT s'en trouverait fortement augmenté. Là encore, il faudrait donc peut être s'orienter vers une technologie d'intégration de type «gate-last» [Endres07], à l'image des derniers processeurs mis sur le marché par Intel.

Comme pour la filière LAO/Si, il resterait cependant à explorer des approches expérimentales mieux adaptées pour réellement évaluer s'il est possible ou non d'obtenir des interfaces $\text{Al}_2\text{O}_3/\text{Si}$ abruptes après traitements à haute température.

De plus, les systèmes bi-couches ne sont pas des candidats idéaux compte tenu de la faible marge de scaling qu'ils offrent. La difficulté d'obtenir de très faibles valeurs d'EOT n'est que renforcée. La figure IV.25 met à avant, au travers de calculs théoriques, l'importance de maîtriser parfaitement l'épaisseur et les interfaces des oxydes déposés afin d'atteindre un EOT de 0,5nm. L'épaisseur du film d'alumine ne pouvant pas être inférieure à la monocouche ($\approx 0,8\text{nm}$), le dépôt du LAO doit pleinement être contrôlé pour permettre des épaisseur de l'ordre de 1nm.

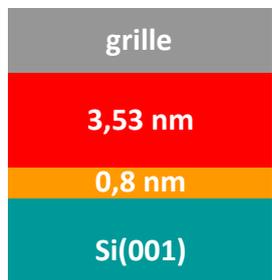
EOT théorique = 1 nm		EOT théorique = 0,5 nm	
a-LAO ($\kappa = 20$)	a-LAO ($\kappa = 20$) / Al_2O_3 ($\kappa = 10$)	a-LAO ($\kappa = 20$)	a-LAO ($\kappa = 20$) / Al_2O_3 ($\kappa = 10$)
			

Figure IV.25 : Tableau illustrant les épaisseurs de LAO amorphe et d' Al_2O_3 nécessaires à l'obtention d'EOT de 1nm et de 0,5nm.

CHAPITRE V : Diodes Tunnel Résonantes Épitaxiées sur Silicium Compatibles CMOS

<i>CHAPITRE V : Diodes Tunnel Résonantes Épitaxiées sur Silicium Compatibles CMOS</i>	125
V.1) Introduction	127
V.2) Les diodes tunnel résonantes (RTD)	127
V.2.1) Historique	127
V.2.2) Principe de fonctionnement d'une RTD	128
V.2.3) Intérêts et applications des RTD	130
V.2.3.1) Caractéristiques d'une RTD	130
V.2.3.2) Domaines applicatifs	130
V.3) Etat de l'art des différentes filières matériaux	132
V.3.1) Filières à base de semi-conducteurs III-V	133
V.3.2) Filière silicium à base de SiGe	134
V.3.2.1) RTD intrabandes Si / Si _{1-x} Ge _x	134
V.3.2.2) RTD interbandes : RITD	135
V.3.3) Filières exploratoires : matériaux à grand gap intégrés sur Si	137
V.3.3.1) Le système Si / SiO ₂	137
V.3.3.2) À base de fluorures épitaxiés	139
V.3.3.3) Les oxydes épitaxiés	141
V.4) Conception et simulation de RTD Al₂O₃/Si et Gd₂O₃/Si	141
V.4.1) Méthode de calcul, programme et hypothèses utilisés	141
V.4.2) Impact des différents paramètres	145
V.4.2.1) Rôle de l'épaisseur des barrières tunnel : cas d'Al ₂ O ₃ /Si/Al ₂ O ₃	147
V.4.2.2) Influence de l'épaisseur du puits quantique : cas d'Al ₂ O ₃ /Si	149
V.4.3) Simulations de RTD	150
V.5) Essais de croissance	153
V.5.1) Difficultés rencontrées	153
V.5.2) Le système Al ₂ O ₃ / Si	154
V.5.2.1) La technique de passivation de surface d'Ishida	154
V.5.2.2) Croissance et caractérisation sur Si(111)	156
V.5.2.3) Essais sur Si(001)	158
V.5.3) Le système Gd ₂ O ₃ / Si	160
V.5.3.1) La technique d'encapsulation d'Osten	160
V.5.3.2) Croissance par MBE d'hétérostructures Gd ₂ O ₃ / Si(111)	162
V.5.3.3) Observations TEM d'une RTD Gd ₂ O ₃ /Si/Gd ₂ O ₃	163
V.5.3.4) Caractérisation électrique d'une RTD Gd ₂ O ₃ /Si/Gd ₂ O ₃ /Si(111)	164
V.6) Discussion, conclusion	166

V.1) Introduction

Outre leur intégration dans des hétérostructures CMOS, les oxydes high- κ peuvent également trouver une utilité comme barrières tunnel dans des dispositifs diodes tunnel résonantes, possibles alternatives à la voie "More Moore". En effet, les RTD ont longtemps été considérées comme des composants alternatifs au CMOS ou comme des composants capables d'améliorer les performances du CMOS en combinant ces dernières aux MOSFET. Cependant, il n'a pas été possible dans le passé de réaliser des RTD $\text{SiO}_2 / \text{Si} / \text{SiO}_2$ à cause du caractère amorphe de la silice. Avec les high- κ épitaxiés, il est dorénavant imaginable de concevoir des structures oxyde / Si / oxyde.

Sur la base du savoir-faire acquis à l'INL sur les oxydes épitaxiés, un objectif de cette thèse a été de voir s'il était possible de réaliser des hétérostructures RTD high- κ / Si / high- κ , et si oui de les évaluer électriquement.

V.2) Les diodes tunnel résonantes (RTD)

V.2.1) Historique

Le pionnier en la matière se nomme Leo Esaki. C'est lui qui introduit le concept de diodes tunnel résonantes. En 1957, il observa expérimentalement le phénomène de résistance différentielle négative (NDR) sur une jonction p-n en germanium ^[Esaki57]. L'idée d'utiliser la résistance tunnel dans une structure à double barrière date de 1963 ^[Davis63]. Mais ce n'est qu'en 1974, peu de temps après l'apparition de la MBE, que fût réalisée, en matériaux III-V, la première diode tunnel résonante (RTD) ^[Chang74]. L'ensemble de ses travaux sur l'effet tunnel valut à Esaki un prix Nobel en 1973.

L'histoire de ce composant électronique est étroitement liée aux évolutions technologiques dans le domaine de la croissance cristalline de couches minces et l'obtention d'interfaces abruptes. En effet, la qualité structurale est un point crucial pour le bon fonctionnement des RTD. Ainsi, les premiers dispositifs véritablement performants sont apparus au cours des années 80 ^[Sollne83]. Cela a entraîné des recherches intensives dans le domaine, tant au niveau des applications que des simulations théoriques.

V.2.2) Principe de fonctionnement d'une RTD

Constituée d'empilements successifs de matériaux à large bande interdite et faible bande interdite, une RTD est une structure qui tire partie du comportement ondulatoire des électrons. Cela se traduit par une quantification de l'énergie dans un puits cristallin semi-conducteur inséré entre deux barrières tunnel de matériaux à grande bande interdite. Les niveaux discrets correspondants peuvent alors être accessibles aux électrons situés dans des zones dites émetteur et collecteur qui jouent le rôle de réservoirs de porteurs. En associant l'effet tunnel à ce phénomène de discrétisation de l'énergie, une caractéristique courant-tension très intéressante est ainsi obtenue. La figure V.1 décrit schématiquement le fonctionnement d'un tel dispositif. Lorsqu'aucune tension n'est appliquée, le niveau de Fermi de l'émetteur étant en-dessous d'un niveau énergétique du puits, le courant ne peut traverser la structure. La probabilité tunnel est trop faible (a). En polarisant le collecteur positivement, les niveaux d'énergie s'abaissent et deviennent accessibles au continuum d'électrons de l'émetteur (b). Lorsqu'un niveau d'énergie du puits quantique se trouve aligné avec les électrons disponibles dans l'émetteur, un courant est établi par résonance tunnel. Une valeur maximale de courant I_{pic} est atteinte. Si la tension continue à être augmentée, le niveau d'énergie ayant précédemment servi à créer le courant tunnel va se positionner au niveau de la bande interdite du matériau constitutif de l'émetteur, conduisant dès lors à une chute brutale du courant. L'injection d'électrons est rendue quasi-impossible et le courant minimum mesuré est appelé $I_{vallée}$ (c). En accentuant davantage la polarisation, deux cas peuvent être rencontrés : un autre niveau d'énergie devient accessible aux porteurs (d) ou bien le courant thermoïonique s'établit du fait qu'une des barrières tunnel ne joue plus son rôle (e). Il en résulte une caractéristique I-V avec des pics de courant correspondant au passage des différents niveaux d'énergie du puits quantique devant les électrons contenus dans l'émetteur ; chaque pic donnant lieu à une zone de résistance différentielle négative.

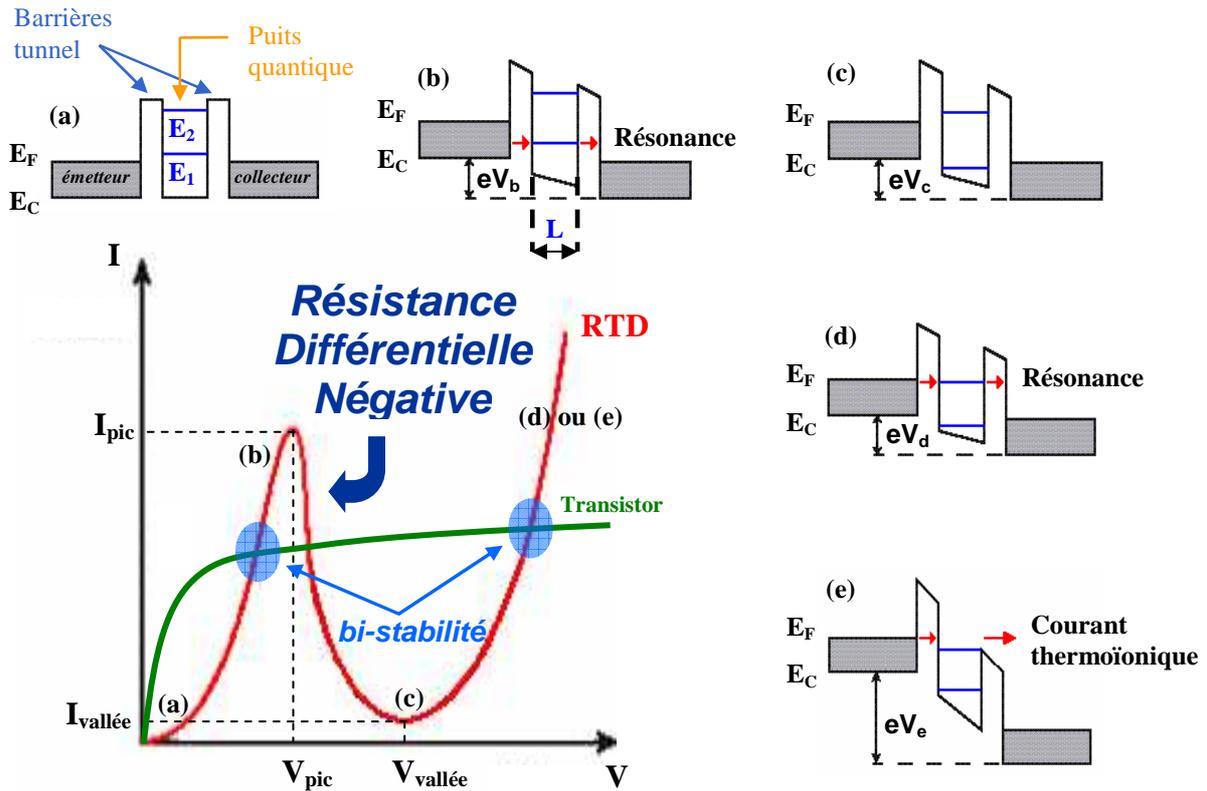


Figure V.1 : Principe de fonctionnement d'une structure RTD à double barrière tunnel et caractéristique I-V correspondante. Mise en évidence des phénomènes de résistance différentielle négative et de bi-stabilité.

En superposant les caractéristiques courant-tension d'une RTD et d'un transistor (ou bien encore en associant deux RTD en série), deux points de fonctionnement stables apparaissent : c'est le phénomène de bi-stabilité, très utile pour réaliser des cellules mémoires.

L'aspect ouvert de ces structures fait que les électrons n'occupent les états quantiques que pendant un temps fini. Ce sont des niveaux d'énergie quasi-liés.

Pour un puits de largeur L , la position des niveaux d'énergie est donnée approximativement par :

$$E_n = -U_0 + \frac{\hbar^2}{2m^*} \left(\frac{n\pi}{L} \right)^2 \quad [\text{Eq. V.1}]$$

, où \hbar est la constante réduite de Planck, m^* la masse réduite du porteur dans le puits, U_0 la profondeur du puits (par rapport à l'origine des potentiels zéro) et L sa largeur. L'énergie des sous-niveaux est donc inversement proportionnelle au carré de la largeur du puits.

Pour se placer en condition de résonance (Fig. V.1(d)) et faire passer les électrons de l'émetteur au collecteur, la polarisation V doit être telle que : $eV_n = 2E_n$ [Esaki74]. [Eq. V.2]

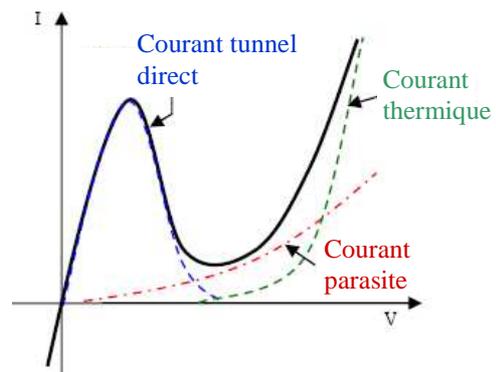
V.2.3) Intérêts et applications des RTD

V.2.3.1) Caractéristiques d'une RTD

Les RTD font partie des rares dispositifs quantiques capables de fonctionner à température ambiante [Shewch85], condition indispensable à leur intégration dans des circuits électriques. Aux vues des applications visées, une RTD doit posséder les caractéristiques suivantes :

- une tension V_{pic} faible afin d'avoir une consommation minimum.
- une forte densité de courant J_{pic} .
- un rapport courant de pic I_{pic} / courant de vallée $I_{vallée}$ (= PVCR) élevé.

Le courant de vallée tire son origine de plusieurs facteurs. Tout d'abord la température qui, de par son influence sur l'énergie des porteurs et des niveaux dans le puits, va favoriser le passage du courant malgré des conditions de non-résonance : il y a un phénomène d'activation thermique de l'effet tunnel. Par ailleurs, dans les



zones adjacentes aux barrières, des déformations du potentiel sont provoquées par l'accumulation de porteurs en amont de la structure et par la désertion en aval. Enfin, le dernier paramètre entraînant une augmentation de $I_{vallée}$ est le courant tunnel parasite ("scattering" élastique ou inélastique) assisté par des défauts cristallins dans le puits et aux interfaces de l'hétérostructure, par des phonons [Chevoi89] ou par des impuretés. Une excellente qualité structurale est par conséquent gage d'un faible courant parasite et donc d'une bonne qualité électrique.

V.2.3.2) Domaines applicatifs

De nombreuses applications ont été proposées et démontrées avec des RTD. En effet, de par ses propriétés de résistance différentielle négative, de commutation ultra-rapide entre le

pic et la vallée (temps de basculement très brefs, de l'ordre de la pico seconde), et de bi-stabilité, l'utilisation de RTD s'avère intéressante aussi bien dans les domaines analogiques que numériques. Au niveau des applications analogiques, la détection, le mélange, la multiplication, les oscillateurs ou encore les circuits déclencheurs dits "trigger" peuvent être cités. Côté applications numériques, la paire bi-stable, l'utilisation en mémoire, les convertisseurs analogique-numérique et la logique à base de RTD sont autant d'applications réalisables. ^[Dupuis99]

Par rapport aux diodes Esaki, que l'on pourrait qualifier de diode tunnel non-résonante (jonction p⁺/n⁺), les RTD présentent l'avantage d'être constituées de matériaux beaucoup moins dopés. Ainsi, la couche de déplétion entre la seconde barrière et le collecteur peut être plus grande, rendant la capacité plus faible. Ceci permet ainsi la réalisation d'oscillateurs fonctionnant à très hautes fréquences. La puissance maximum disponible est donnée par l'équation suivante ^[Weisbu91], qui montre l'importance des courants de pic et de vallée :

$$P_{\max} = \frac{1}{8} (I_{\text{pic}} - I_{\text{vallée}}) (V_{\text{vallée}} - V_{\text{pic}}) \quad [\text{Eq. V.3}]$$

Dans ce chapitre, toutes les applications des RTD ne seront pas détaillées. Pour de plus amples informations, le lecteur pourra se référer à ces deux liens ^{[Dupuis99], [Chudob95]} ainsi qu'à la liste de références non-exhaustive qui y sont citées. Seule l'association RTD-transistors à effet de champ sera discutée dans la suite de ce travail.

En effet, les dispositifs à effet tunnel résonant peuvent être envisagés comme un complément aux transistors MOS dans les circuits intégrés. L'association des RTD et des MOSFET est potentiellement très intéressante. Elle permettrait d'allonger la durée de vie des usines de semi-conducteurs existantes en atteignant les performances escomptées pour les nœuds technologiques suivants. Dans cette logique de "More than Moore", des diodes tunnel intégrables sur silicium pourraient également fournir suffisamment de densité de courant pour permettre aux composants de radiofréquence, utilisés pour les télécommunications, d'être appliqués directement sur du silicium. De plus, toutes les opérations arithmétiques et logiques effectuées aujourd'hui pourraient être réalisées avec des circuits plus simples qui utiliseraient des RTD, lesquelles réduiraient le nombre de composants pour une fonction équivalente (Fig. V.2). Si elles pouvaient être intégrées et réalisées de façon compatible avec les technologies CMOS, ces diodes pourraient apporter un avantage durable.

L'exemple le plus connu de cette association RTD-MOSFET est le "MONostable-BIstable transition Logic Element" (MOBILE). Cette configuration résulte de l'association en série, en polarités opposées, de deux RTD, créant ainsi deux points d'opération stables dont il est possible de passer rapidement de l'un à l'autre. Comme illustré figure V.3, ces RTD sont connectées à un transistor qui contrôle le tout. Cette architecture forme alors une brique extrêmement utile au développement de circuits ^[Maezaw98], notamment en vue d'applications logiques ^[Mathew99] et de cellules mémoires ^[Vander98].

Circuit	Transistor-transistor logique	Logique CMOS	Logique émetteur couplé	Résistance différentielle négative (RTD)
Bistable XOR	33	16	11	4
Bistable Majority	36	18	29	5
Muller C-element	45	8	44	4
9-state memory	24	24	24	5
NOR2+flipflop	14	12	33	4
NAND2+flipflop	14	12	33	4

Figure V.2 : Comparaison du nombre de composants nécessaires pour réaliser une fonction logique pour diverses technologies. ^[Mazumd98]

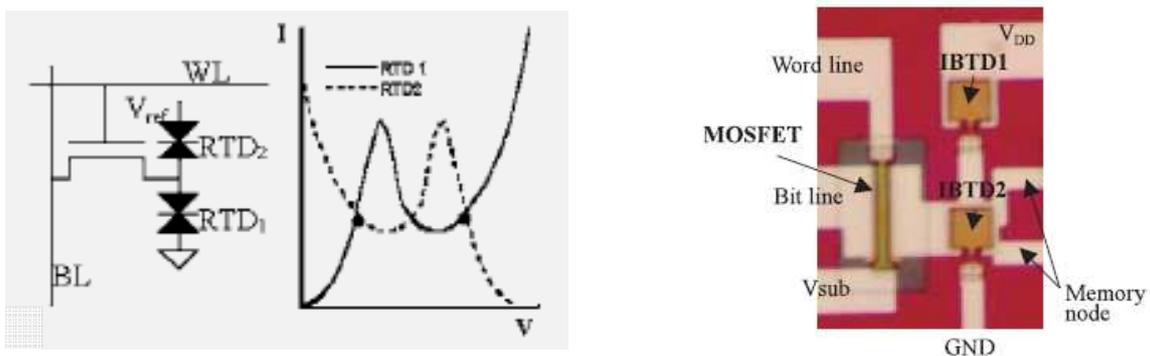


Figure V.3 : Cellule mémoire à base de deux RTD montées en bi-stable et réalisation technologique observée au microscope optique. ^[Morimo00]

V.3) Etat de l'art des différentes filières matériaux

Il y a une grande diversité de configurations possibles (double/multi barrières-puits, type planaire/verticale, à électrons/à trous, intrabandes/interbandes) pour réaliser des

dispositifs tunnel résonants. D'autre part, différents systèmes de matériaux ont aussi été évalués et pour certains exploités. En fait, trois types de filières sont distinguables : deux sont relativement matures (filières III-V et SiGe) et la troisième est encore très exploratoire. Cette dernière filière consiste à évaluer les potentialités de matériaux (SiO₂, fluorures, oxydes épitaxiés, ...) intégrés sur silicium.

Après un bref descriptif des RTD III-V, ce manuscrit se focalisera sur les diodes tunnel résonantes basées sur substrats Si (dans le but d'une bonne compatibilité avec la technologie CMOS) et dont le transport de l'information électrique est assuré par des électrons.

V.3.1) Filières à base de semi-conducteurs III-V

Le développement et l'évaluation des RTD a essentiellement été lié à la maîtrise fine de l'épitaxie d'hétérostructures III-V. La faible masse effective des semi-conducteurs III-V entraîne une diminution du nombre de niveaux quantiques disponibles dans le puits par rapport à un puits en silicium de même largeur, et donc une meilleure séparation de ces états énergétiques. Les hauteurs de barrière sont relativement faibles (typiquement de l'ordre de quelques centaines de meV) mais permettent néanmoins l'obtention de très bonnes propriétés électriques. Ceci explique leur intégration dans certaines lignes industrielles.

Parmi les différents empilements les plus utilisés, AlGaAs/GaAs/AlGaAs, AlAs/GaAs/AlAs, AlAs/InGaAs/AlAs, InAlAs/InGaAs/InAlAs, ou encore AlSb/InAs/AlSb peuvent être cités ^[Sun98]. Ils ont permis, entre autres, de fabriquer des oscillateurs très hautes fréquences, pouvant atteindre 712 GHz à température ambiante ^[Brown91], ainsi que des démonstrateurs de circuits électroniques alliant RTD en matériaux III-V à un procédé de fabrication CMOS ^[Bergma99]. Néanmoins, une limitation intrinsèque réside dans le contrôle des épaisseurs déposées. Les caractéristiques électriques y étant extrêmement sensibles, les dispersions en épaisseurs, même minimales, sont à proscrire, ce qui est difficilement réalisable sur des wafers de grande taille. Une autre limitation des RTD en III-V est leur intégration difficile sur Si. Malgré des tentatives réussies de reports par collages ^[Evers96], ^[Bergma99], ces techniques ne sont pas adaptées aux moyens de fabrication CMOS actuels. Il est donc nécessaire de trouver des matériaux plus facilement intégrables dans les circuits intégrés en silicium et d'éviter tout procédé délicat de collage ou de report moléculaire.

V.3.2) Filière silicium à base de SiGe

En parallèle aux travaux menés avec les III-V, la technologie RTD SiGe est devenue mature au fil des années. Elle a en fait bénéficié des énormes travaux faits pour développer au niveau industriel les matériaux SiGe pour les composants bipolaires. Il a par ailleurs été démontré qu'il était possible d'intégrer des RTD SiGe dans la technologie CMOS.

V.3.2.1) RTD intrabandes Si / Si_{1-x}Ge_x

Le germanium ayant un désaccord de maille de 4,2% avec le silicium, il est possible de jouer sur l'association de ces deux matériaux pour réaliser les structures de bandes souhaitées. Par exemple, un puits quantique peut ainsi être obtenu en épitaxiant une couche de Si contrainte entre deux barrières de Si_{1-x}Ge_x relaxées (Fig. V.4). La réalisation de ce type de dispositif sur substrat Si(001) passe, dans un premier temps, par la croissance d'une épaisse couche buffer de Si_{1-x}Ge_x (x augmentant graduellement avec l'épaisseur déposée) jusqu'à l'obtention d'une couche totalement relaxée sans dislocation, possédant la proportion de Ge souhaitée.

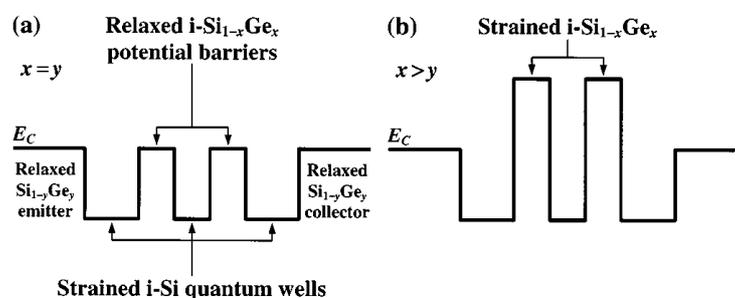


Figure V.4 : Diagrammes de bandes de conduction d'une RTD Si/Si_{1-x}Ge_x avec (a) aucune contrainte ($x = y$) et (b) avec des barrières Si_{1-x}Ge_x contraintes ($x > y$) sur un substrat relaxé de Si_{1-y}Ge_y. (Les effets électrostatiques sont ici négligés.) ^[See01]

Un groupe très actif sur le sujet a été celui de D.J. Paul à l'Université de Cambridge au Royaume-Uni ^[Paul02]. La figure V.5 illustre le dispositif final visé et montre les courbes J-V mesurées. À température ambiante, un PVCR de 2,43 et une forte densité de courant J_{pic} de 282 kA/cm² à $V_{pic} \approx 1,8V$ sont obtenus.

Pour des renseignements plus précis sur les filières SiGe, le lecteur pourra se référer à l'article de D.J. Paul dans lequel est fait un point sur la croissance et les propriétés des hétérostructures Si/SiGe. ^[Paul04]

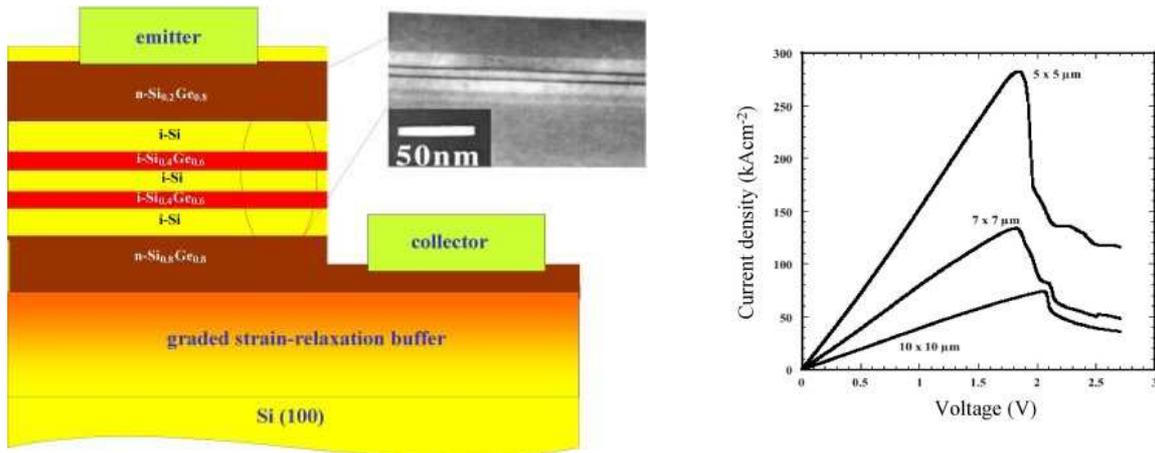


Figure V.5 : Structure RTD Si/SiGe visée. Caractéristique courant-tension mesurée à 298°K pour des RTD de trois tailles différentes. En insert, cliché TEM correspondant à de telles structures. ^[Paul02]

Les inconvénients majeurs de cette approche sont les faibles offsets de bandes rencontrés (de l'ordre de quelques centaines de meV), la diffusion du Ge à hautes températures et l'obligation de réaliser un "buffer" épais de SiGe relaxé (long et coûteux à faire). Notons tout de même les travaux du groupe de Suda ^[Maekaw07], qui propose une technique plus rapide pour réaliser le buffer SiGe et enterrer les dislocations avant l'épitaxie des couches actives.

V.3.2.2) RTD interbandes : RITD

Il est impossible d'évoquer les RTD SiGe sans mentionner les travaux du groupe du professeur Berger aux Etats-Unis. Cependant, les dispositifs étudiés ici ne sont pas des RTD au sens présenté jusqu'à présent. Ce sont des diodes tunnel résonantes interbandes (RITD) dans lesquelles la conduction se fait par passage des porteurs de bande de conduction à bande de valence, et non plus de bande de conduction à bande de conduction (ou alors de bande de valence à bande de valence pour les RTD à trous). Ces diodes sont bipolaires : les électrons

passent d'un puits quantique de type n^+ à un puits quantique de type p^+ alors que les trous font le chemin opposé.

Berger s'est en fait inspiré des travaux précurseurs de Sweeny et Ju [Sweeny88]. Ses RITD reposent sur une méthode de modulation de dopage : création de "delta-doping planes". Le rôle de ces fines couches très dopées est de créer des puits quantiques et par conséquent des états confinés dans les bandes de conduction et de valence. Entre ces deux plans de dopage (le plus souvent composés de Bore, de Phosphore ou encore d'antimoine Sb dont la diffusion est plus difficile à contrôler), une jonction tunnel est insérée. Elle est formée d'une couche de Si et d'une couche de SiGe. Ces couches servent aussi à empêcher l'interaction des dopants au bore et au phosphore de charge inverse. D'ailleurs, la couche dopée au bore est entourée par deux couches de SiGe, ces dernières bloquant la diffusion du bore dans la structure notamment lors des recuits post-dépôt [Jin03a]. La figure V.6 illustre la structure de ces RITD. Ces RITD sont en quelque sorte des diodes tunnel hybrides, combinant les caractéristiques des diodes Esaki et des diodes tunnel résonantes.

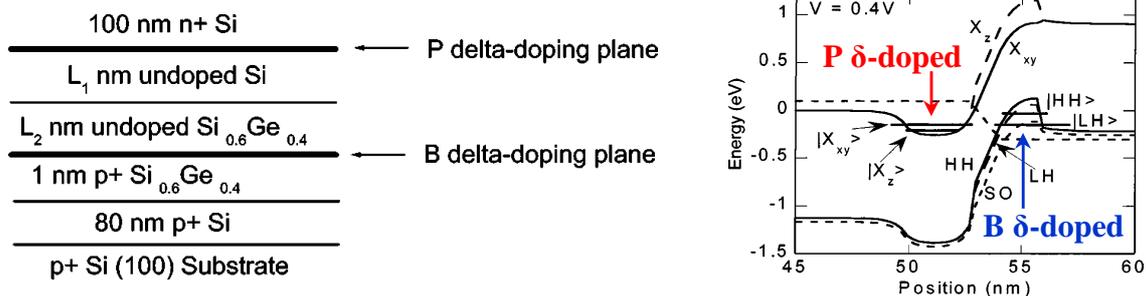


Figure V.6 : Détail des différentes couches constitutives d'une RITD Si/SiGe et diagramme de bandes associé sous une polarisation de 0,4V. Les électrons traversent par effet tunnel les fines couches de Si et de $Si_{0,8}Ge_{0,2}$ pour passer de la bande de conduction du n^+ -Si vers la bande de valence du p^+ -Si. Les trous suivent le chemin opposé. [Jin03b]

La fabrication de ces dispositifs se fait par MBE à basses températures, d'où la nécessité d'effectuer ensuite des recuits post-dépôt à 700-800°C pour activer les dopants et observer ainsi une NDR. Cependant, la diffusion des dopants doit être minimisée. Malgré ce risque, ces RITD offrent d'excellents taux de reproductibilité et de fiabilité. [Thomps99], [Rommel99]

La probabilité de survenance de l'effet tunnel entre deux points dépend de la distance séparant ces deux points. En établissant cette distance entre quelques nanomètres ou 10 à 12 nanomètres (épaisseurs L_1 et L_2 sur la figure V.6), une grande variation de densité de courant dans ces dispositifs peut être obtenue. Cela offre la possibilité de moduler la densité de

courant J_{pic} souhaitée pour les différentes applications en vue en jouant sur les épaisseurs et les dopages utilisés.

Les travaux de Duschl et Eberl ^[Eberl01] s'inscrivent dans la même perspective. Les RITD fournissent de bonnes caractéristiques électriques qui sont résumées dans la figure V.7 avec de très fortes densités de courant atteignables (218 kA/cm^2 ^[Chung06]) et des PVCR corrects s'élevant à des valeurs voisines de 6.

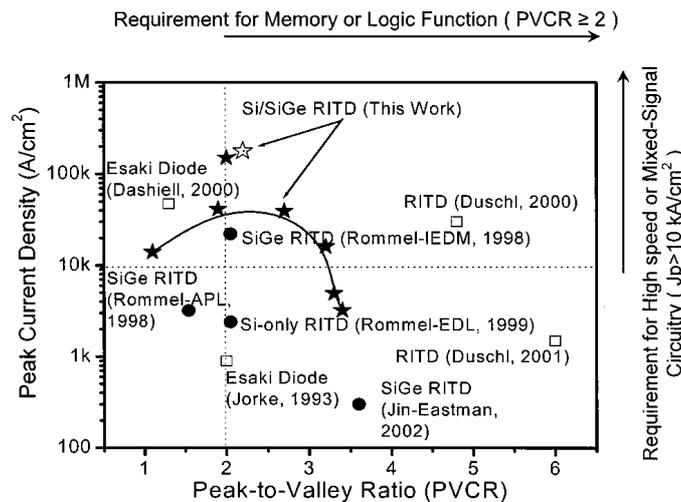


Figure V.7 : J_{pic} tracées en fonction du PVCR pour des RITD Si/SiGe et Si étudiées par différents groupes. $J_{pic\ max} = 151 \text{ kA/cm}^2$, $PVCR_{max} \approx 6$. ^[Jin03b]

Il est important de mentionner que des démonstrations de circuits entièrement compatibles CMOS ont été faites avec ces composés. ^{[Sudirg03], [Chung03]}

V.3.3) Filières exploratoires : matériaux à grand gap intégrés sur Si

V.3.3.1) Le système Si / SiO₂

L'industrie microélectronique ayant reposé sur l'utilisation du silicium et compte tenu de la bonne connaissance du comportement du Si et de son oxyde natif la silice (synonyme de rugosité d'interface faible), le couple Si/SiO₂ semblait le candidat rêvé pour une intégration facilitée de RTD dans un procédé de fabrication CMOS. Mais la silice est un matériau amorphe. De ce fait, en imaginant une première barrière tunnel en SiO₂, il est impossible de faire croître par-dessus un puits quantique monocristallin de Si. Le désordre induit par la silice est un obstacle. D'où l'obligation d'avoir recours à des subterfuges.

Tsybeskov ^[Tsybes00] a obtenu des îlots de Si par cristallisation d'une fine couche amorphe de Si entre deux barrières tunnel de silice. La courbe I-V montre un effet de résonance tunnel mais ces résultats sont peu concluants pour des applications industrielles. Par ailleurs, ce type de réalisation entre plutôt dans la catégorie boîtes quantiques de silicium dans une matrice amorphe, pour des applications mémoires. La technique de recristallisation ne semble pas adaptée à la résolution de ce problème car le résultat sera une couche polycristalline de silicium, avec des joints de grains favorisant les fuites de courant. Le moindre désordre dans la couche de Si affectera la qualité de la résistance différentielle négative. ^[Lake98]

Par un procédé original de gravure humide anisotrope suivi d'une oxydation thermique (Fig. V.8), Yuki et al. ^[Yuki95] ont réalisé des RTD Si cristallin/SiO₂. Le cliché TEM présenté figure V.9 illustre la structure obtenue. Malheureusement, les résultats électriques ne sont pas ceux escomptés. Même à T = 3,3°K, aucune NDR n'apparaît, sans doute la faute à une largeur de puits trop grande (43nm) et à une baisse inexplicquée de la hauteur de barrière entre Si et SiO₂ (3,1eV → 0,3eV). Toujours avec une technique similaire, les travaux du groupe de Namatsu ^[Namats97] peuvent également être cités, mais sans davantage de réussite, malgré la réalisation de puits quantiques en Si beaucoup plus fins.

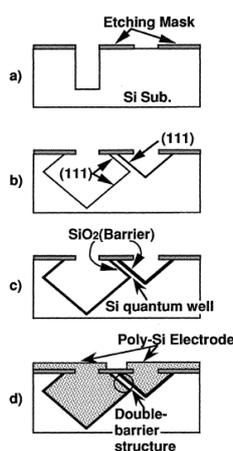


Figure V.8 : Procédé de fabrication d'une RTD Si/SiO₂ par gravure humide et oxydation thermique.

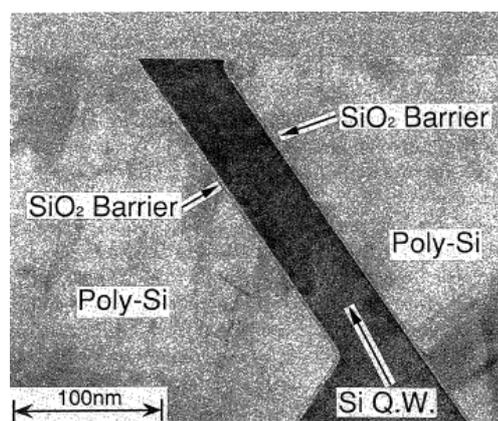


Figure V.9 : Image TEM de la structure double barrières obtenue.

$$L_{\text{puits}} = 43\text{nm} ; L_{\text{barrières}} = 2,3\text{nm}$$

L'apparition de substrats Si sur isolant fin (SOI, SIMOX) a rendu possible la réalisation d'une couche de Si monocristallin entre deux barrières de SiO₂ amorphe. Les RTD sont élaborées par amincissement du Si puis oxydation, ou par des techniques de collage [Lee07b]. Toutefois, le résultat est là encore peu probant : à 15°K, PVCR de 1,3 avec une densité de courant J_{pic} de $1,6 \times 10^{-6}$ A/cm² observée pour une polarisation de 0,17V. Mais ces performances se perdent totalement à température ambiante, la faute à des épaisseurs et à un procédé d'élaboration non optimisés, ainsi qu'à des interfaces de mauvaise qualité.

V.3.3.2) À base de fluorures épitaxiés

Avec son paramètre de maille proche de celui du silicium (+ 0,6%) et son bon offset de bandes de conduction (~ 2,3eV), le fluorure de calcium CaF₂ se positionne comme un candidat potentiel. Cependant, il présente deux inconvénients : la difficulté de l'épitaxier sur Si(001), ainsi que des problèmes de stabilité chimique à l'air.

En effet, des études [Qi02] ont montré que le CaF₂ subit une réaction d'hydrolyse à hautes températures ($830 \pm 10^\circ\text{C}$). De plus, ce matériau ionique est très sensible aux solvants polaires et à l'humidité ambiante. Mais le problème majeur reste que ce matériau ne se prête pas à l'épitaxie sur Si(001). L'orientation (111) du silicium est beaucoup plus souhaitable. Le problème de la croissance de CaF₂ sur Si(001) est la formation d'îlots (croissance tridimensionnelle) due à la formation de facettes (111) qui résulte de la différence d'énergies de surface entre les plans (100) et (111) du CaF₂, les plans (111) ayant une énergie de surface trois fois inférieure à celle des plans (100) [Guirle02]. Il est donc impossible d'avoir des couches bidimensionnelles monocristallines à longue distance de CaF₂ sur Si(001) [Pasqua01]. Par ailleurs, les conditions de croissance doivent être choisies avec soin, sous risque de voir apparaître très rapidement une forte rugosité, de même que des trous ("pinholes") dans des couches n'ayant pourtant que quelques nanomètres d'épaisseur. Par ce même jeu des énergies de surface, la croissance de Si sur CaF₂ est elle aussi un challenge. [Guirle02]

Les travaux les plus aboutis sont à mettre au crédit des groupes de Hofmann [Wang05] et Asada [Watana00]. Ils ont mesuré des NDR sur des structures épitaxiées sur Si(111) (Fig. V.10). Cependant, comme le montre la figure V.11, cela ne fonctionne qu'à basses températures du fait de nombreux défauts présents dans les dispositifs.

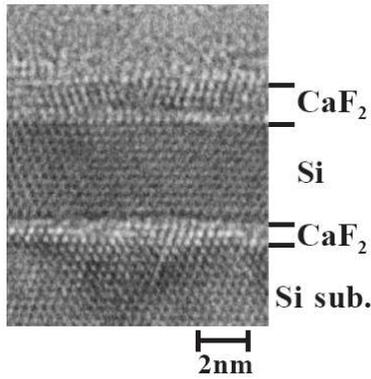


Figure V.10 : Coupe transversale TEM d'une RTD 1,5nm CaF_2 / 3,4nm Si / 1nm CaF_2 sur substrat Si(111). [Watana00]

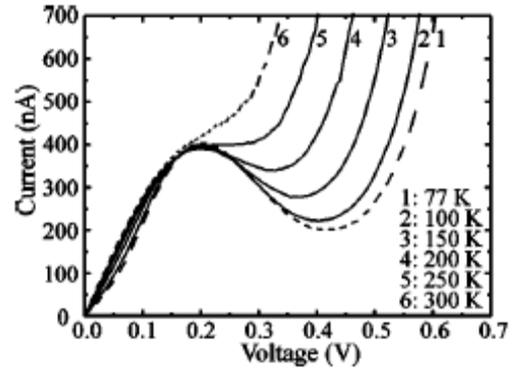


Figure V.11 : Caractéristiques I-V mesurées entre 77 et 300°K exhibant une NDR à 0,2V avec un PVCR de 2,2 à 77°K. [Wang05]

Néanmoins, Kanazawa et al. [Kanaz07a] ont réussi la croissance de RTD $\text{CaF}_2/\text{CdF}_2$ sur Si(001) par le biais d'une technique de nano-patterning (Fig. V.12) permettant une croissance localisée afin de minimiser la surface de contact, et donc d'éviter la génération de défauts, entre le Si et le CaF_2 . Malgré le fait que la croissance soit réalisée à faibles températures et que le dépôt de la première barrière de CaF_2 s'accompagne d'une transition de surface des plans (100) vers les plans plus stables (111) [Kanaz07b], ces dispositifs RTD ne sont pas amorphes et exhibent des caractéristiques électriques d'ensemble remarquables.

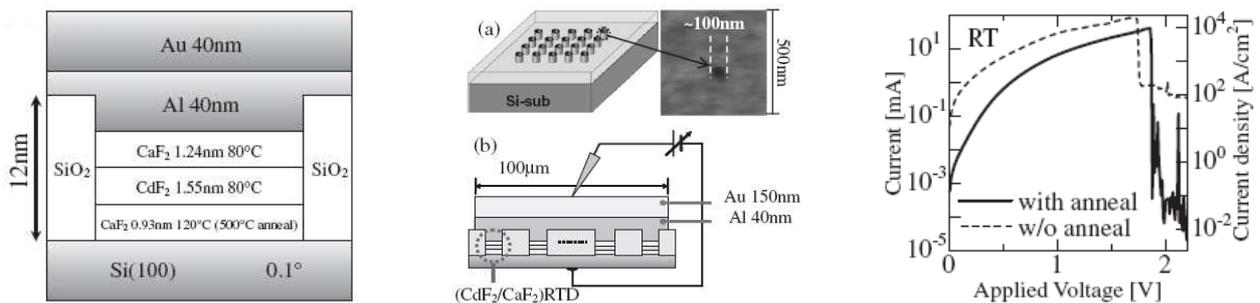


Figure V.12 : Réseaux de nano-trous dans une matrice de $\text{SiO}_2/\text{Si}(001)$ dans lesquels est réalisée la croissance des RTD. Une électrode de mesure contient 40000 RTD $\text{CaF}_2/\text{CdF}_2$. À température ambiante, PVCR $\sim 10^6$, $J_{pic} = 12,5 \text{ kA/cm}^2$, $J_{vallée} = 4 \text{ mA/cm}^2$. [Kanaz07a]

V.3.3.3) Les oxydes épitaxiés

L'intégration de RTD dans un procédé de fabrication compatible avec la technologie CMOS se révèle des plus ardues. La voie "oxydes épitaxiés" sur silicium pourrait être potentiellement une alternative intéressante à la voie SiGe, notamment à cause des grands gaps et des grands "offsets" de bandes des oxydes high- κ vis-à-vis du silicium.

Jusqu'à présent deux résultats marquants ont été obtenus : le premier par l'équipe du professeur Ishida ^[Shahj02b] au Japon et le second par le groupe d'Osten ^[Fisse06a] à l'Université d'Hanovre. Ishida a utilisé l'alumine (Al_2O_3) pour élaborer les barrières tunnel de ses RTD alors qu'Osten a employé l'oxyde de gadolinium (Gd_2O_3). Dans les deux cas, le puits quantique est en Si monocristallin et le substrat est du Si(111).

Ishida a ainsi travaillé sur des RTD du type $\text{Al} / \gamma\text{-Al}_2\text{O}_3 / \text{Si} / \gamma\text{-Al}_2\text{O}_3 / \text{n-Si}(111)$, à double et triple barrières tunnel. Osten a quant à lui étudié des RTD $\text{Pt} / \text{Gd}_2\text{O}_3 / \text{Si} / \text{Gd}_2\text{O}_3 / \text{Si}(111)$. Les résultats obtenus par ces deux groupes seront présentés et discutés plus en détails aux paragraphes V.5 et V.6.

V.4) Conception et simulation de RTD $\text{Al}_2\text{O}_3/\text{Si}$ et $\text{Gd}_2\text{O}_3/\text{Si}$

Sur la base du savoir-faire existant à l'INL, il a été décidé d'explorer les systèmes $\text{Al}_2\text{O}_3/\text{Si}$ et $\text{Gd}_2\text{O}_3/\text{Si}$. Dans un premier temps, des simulations ont été réalisées afin de déterminer les configurations les plus optimales. Les effets de différents paramètres (épaisseurs des couches, dopage, ...) ont été simulés pour aboutir aux meilleures caractéristiques électriques I-V.

V.4.1) Méthode de calcul, programme et hypothèses utilisés

Le programme utilisé est le simulateur QUANTIX ; simulateur qui a été développé par Alain Poncet et son équipe (INL-site INSA) ^[Poncet02] pour réaliser des simulations multi-dimensionnelles d'effets quantiques. QUANTIX autorise l'empilement de différents matériaux. Après avoir défini une structure (maillage, matériaux utilisés et constantes physiques associées, épaisseurs des couches, dopages, température, polarisations appliquées au dispositif), le programme calcule le courant tunnel traversant la structure. Dans le cas des

RTD, le flux est conservatif et aucun type de courant autre que le transport par effet tunnel n'est considéré. QUANTIX calcule la probabilité de passage des électrons à travers l'hétérostructure, pour une gamme d'énergie donnée, par résolution auto-cohérente des équations de Schrödinger et de Poisson. La résolution se fait à l'aide de la méthode des matrices de transfert. Finalement, le courant est évalué par intégration de la transparence tunnel.

Toutes les hétérostructures simulées dans cette thèse se décomposent de la façon suivante : une couche centrale en matériau semi-conducteur constituant le puits quantique de la RTD, une barrière tunnel en oxyde de part et d'autre de ce puits, et deux zones semi-conductrices fortement dopées encadrant le tout et formant des réservoirs d'électrons. Seul un processus de conduction unipolaire entre les bandes de conduction de ces contacts via la bande de conduction du puits quantique est mis en jeu.

Une approche mono-bande est donc utilisée. Elle est basée sur la résolution de l'équation de Schrödinger à une dimension indépendante du temps qui s'écrit, en utilisant l'approximation de la masse effective, de la manière suivante :

$$\frac{-\hbar^2}{2} \frac{\partial}{\partial z} \left(\frac{1}{m_e^*(z)} \frac{\partial}{\partial z} \psi(z) \right) + V(z) \psi(z) = E_z \psi(z) \quad [\text{Eq. V.4}]$$

, où $\psi(z)$ est la fonction d'onde de l'électron choisi, $m_e^*(z)$ sa masse effective dans le milieu considéré en fonction de la direction z , $E(z)$ l'énergie de l'électron pour laquelle le calcul de la transmission tunnel est effectué, et $V(z)$ l'énergie potentielle. Pour rappel, la probabilité de présence d'un électron est définie par $|\psi(z)|^2$.

La prise en compte des effets de réaction de charge d'espace passe par la résolution de l'équation de Poisson, qui s'écrit de manière générale pour un potentiel $V(z)$:

$$\frac{\partial}{\partial z} \left(\kappa(z) \frac{\partial}{\partial z} V(z) \right) = -q(N_D^+(z) - n(z)) \quad [\text{Eq. V.5}]$$

, avec $\kappa(z)$ représentant la permittivité du matériau, N_D^+ la concentration de donneurs ionisés, et n désignant la concentration d'électrons libres. De cette façon les réactions de charge d'espace et les courbures de bandes associées sont prises en compte. La résolution de l'équation de Poisson se fait par itérations de Newton-Raphson avec pour condition limite celle de Neumann, à savoir un champ électrique nul dans le volume des électrodes.

Le formalisme de type matrices de transfert réside dans l'établissement de relations matricielles reliant les coefficients complexes des ondes incidentes, réfléchies et transmises de chaque zone. Une onde plane arrivant sur une structure $\psi_{\text{incident}} = A \exp(ik_{\text{incident}}z)$ donne naissance à une onde réfléchi $\psi_{\text{réfléchi}} = B \exp(-ik_{\text{incident}}z)$ et à une onde transmise $\psi_{\text{transmis}} = C \exp(ik_{\text{transmis}}z)$. D'un point de vue numérique, le potentiel est discrétisé en marches d'escalier (Fig. V.13). Par conséquent, suivant les zones considérées, la fonction d'onde peut s'exprimer par la superposition d'ondes planes. Dans ces conditions, la fonction d'onde s'écrit dans chaque intervalle de manière matricielle comme ceci :

$$\begin{pmatrix} \psi_{i+1} \\ \psi_i \end{pmatrix} = [M_i] \cdot \begin{pmatrix} \psi_i \\ \psi_{i-1} \end{pmatrix} \quad [\text{Eq. V.6}]$$

Le raccordement à chaque pas de discrétisation est assuré par les conditions de continuité de la fonction d'onde et de sa dérivée première pondérée par sa masse. Cela permet de définir les différentes matrices de transfert et par la même occasion la matrice globale pour la structure entière, qui résulte du produit de ces différentes matrices élémentaires.

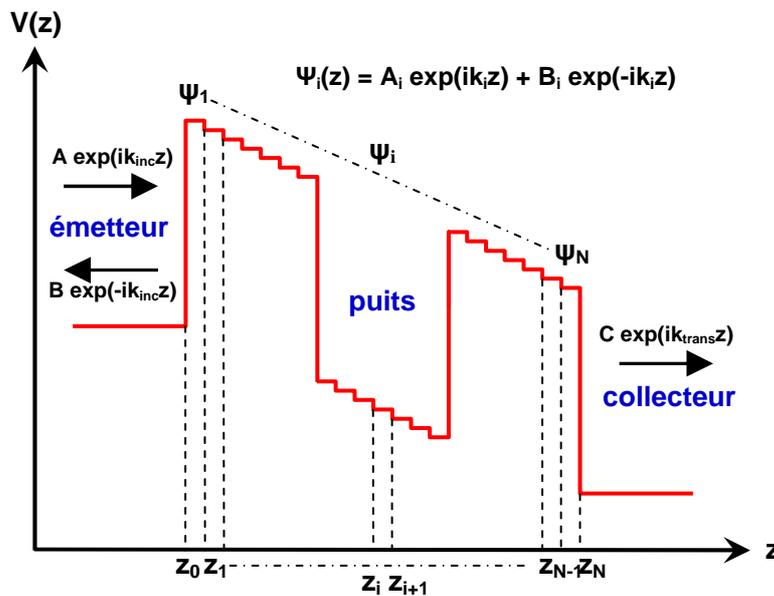


Figure V.13 : Discretisation d'une structure RTD double barrières pour l'utilisation de la méthode des matrices de transfert et la résolution de l'équation de Schrödinger.

Une fois le calcul de la matrice globale effectué, un choix judicieux des coefficients A, B et C aux extrémités de la structure, notamment en supposant l'absence de réflexion en sortie, permet de déterminer la fonction d'onde dans les zones d'émetteur et de collecteur. La probabilité de transmission s'exprime par le rapport entre les modules au carré de l'onde

transmise au collecteur C et de l'onde incidente à l'émetteur A, pondéré par le rapport des vitesses des fonctions d'onde incidente et transmise :

$$T = \left| \frac{C}{A} \right|^2 \frac{k_c m^*(z_e)}{k_e m^*(z_c)} = \left| \frac{C}{A} \right|^2 \frac{v_{transmis}}{v_{incident}} \quad [\text{Eq. V.7}]$$

, où k_e et k_c expriment respectivement les vecteurs d'onde dans le sens du transport pour les zones d'émetteur et de collecteur, $m^*(z_e)$ et $m^*(z_c)$ étant les masses effectives dans ces mêmes zones.

Il est à noter qu'il existe deux contributions principales au courant tunnel traversant une RTD : une provenant des états localisés dans la couche d'accumulation des porteurs située au voisinage de la première barrière tunnel du côté émetteur (effet de confinement et donc apparition de niveaux d'énergie discrets dans ce puits quasi-triangulaire) et une seconde venant du bulk (substrat Si dopé). Le courant total est alors la somme de ces deux contributions. La résolution des équations de Schrödinger et de Poisson permet le calcul de la probabilité de transmission tunnel et par la suite du courant tunnel par intégration de la transparence.

Dans le modèle utilisé, seul le courant tunnel cohérent est considéré. Le modèle ne gère pas du tout les phénomènes de "scattering" (transport incohérent). Les approximations suivantes ont été adoptées :

- seul le transport dans la direction perpendiculaire aux barrières tunnel est considéré. Le problème est réduit à une dimension.
- seuls les électrons sont pris en compte, pas les trous.
- les interfaces de l'hétérostructure sont abruptes, pas de rugosité.
- le calcul de la transmission se fait en résolvant l'équation de Schrödinger avec l'approximation de la masse effective. La masse effective sera considérée comme la masse effective de la bande de conduction du matériau massif correspondant.

Pour des informations plus complètes sur les simulations numériques des RTD, le lecteur est invité à consulter l'ouvrage suivant : ^[Mizuta95].

V.4.2) Impact des différents paramètres

Toutes les structures modélisées avec QUANTIX ont été des RTD symétriques du type n^+ -Si/oxyde/Si/oxyde/ n^+ -Si. La figure V.14 regroupe les principaux paramètres utiles aux simulations.

<i>Paramètres</i>	<i>Valeurs choisies</i>
Température	300°K
Polarisation positive appliquée à la structure	de 0V à quelques Volts
<hr/>	
Emetteur et collecteur en Si(111) dopé	
épaisseur de l'émetteur	10nm
épaisseur du collecteur	10nm
dopage (de type n)	$5 \times 10^{20} \text{ cm}^{-3}$
gap	1,12eV
permittivité relative	11,9
masse effective moyenne	0,417
maillage	de 0,2nm à 0,1nm
<hr/>	
Puits quantique en Si(111) intrinsèque	
épaisseur	<i>VARIABLE</i>
gap	1,12eV
permittivité relative	11,9
masse effective moyenne	0,417
densité volumique d'électrons	$1,5 \times 10^{10} \text{ e}^- \cdot \text{cm}^{-3}$
maillage	(comme du Si intrinsèque) 0,1nm
<hr/>	
Barrières tunnel en oxyde	
épaisseur	<i>VARIABLE</i>
gap Al_2O_3	8,8eV
permittivité relative de l' Al_2O_3	10
masse effective de l' Al_2O_3	0,35
offset de bandes de conduction de l' Al_2O_3 (/Si)	2,8eV
<hr/>	
gap Gd_2O_3	5,3eV
permittivité relative du Gd_2O_3	14
masse effective du Gd_2O_3	0,29
offset de bandes de conduction du Gd_2O_3 (/Si)	1,8eV
maillage	0,05nm

Figure V.14 : Liste des principaux paramètres utilisés dans les simulations QUANTIX.

[Robert00], [Yeo02], [Gailla05]

Pour les structures simulées par la suite, deux oxydes ont principalement été étudiés : Al_2O_3 et Gd_2O_3 . Comme cela a été montré dans la littérature [Shahj02b], [Fisse06a] et à l'INL, ces oxydes présentent une meilleure qualité structurale sur Si(111) que sur Si(001), à cause de relations d'épitaxie plus favorables. Les simulations ont donc été réalisées pour des hétérostructures élaborées sur Si(111). Ainsi, les paramètres tels que le nombre de vallées distinctes et leur multiplicité, de même que les masses effectives, ont été choisis de manière à se rapprocher au mieux du transport électronique dans Si(111).

Le silicium est un semi-conducteur à gap indirect. Le minimum de sa bande de conduction est situé dans la direction [001]. La maille étant cubique, il existe 6 directions équivalentes à la direction [001] : les directions [100], $[\bar{1}00]$, [010], $[0\bar{1}0]$, [001] et $[00\bar{1}]$. La structure de bandes est "multi-vallées". Cela pose quelques difficultés pour représenter fidèlement les propriétés du matériau. La variation de l'énergie $E(k)$ en fonction du vecteur d'onde n'est pas isotrope, elle est plus lente suivant un des axes équivalents que dans le plan perpendiculaire à cet axe. Par conséquent, les surfaces d'isoénergie au voisinage des minima sont des ellipsoïdes de révolution autour des axes équivalents. Pour Si, un électron peut avoir deux masses :

- une masse effective longitudinale m_L^* qui est celle pour les électrons se déplaçant suivant l'axe de révolution de l'ellipsoïde.
- une masse effective transversale m_T^* pour les électrons se déplaçant perpendiculairement à cet axe.

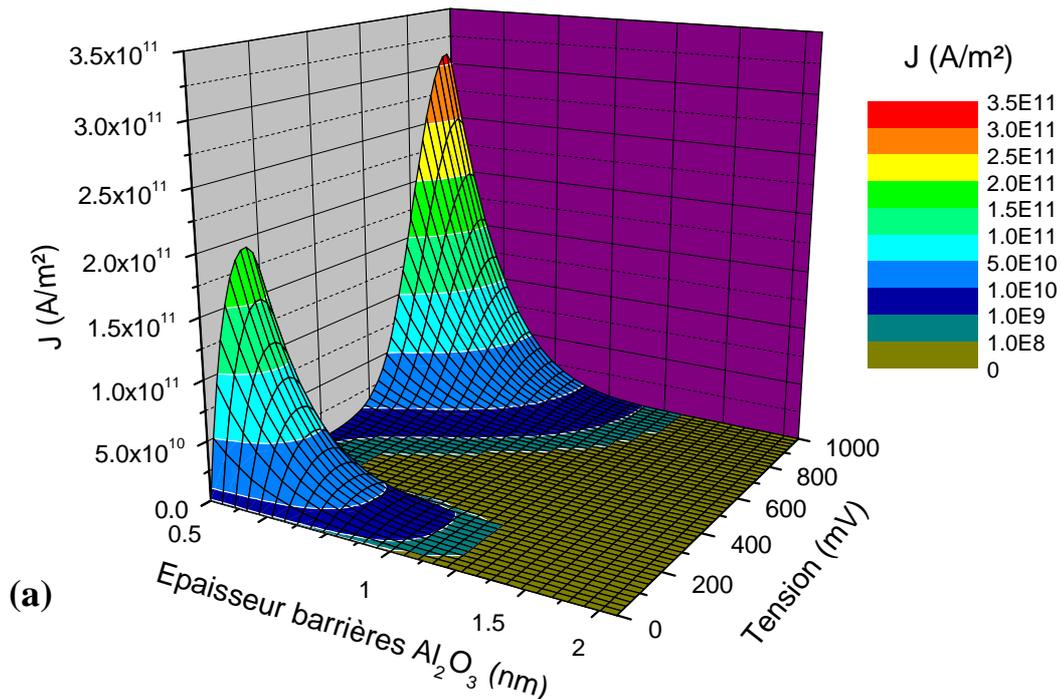
Les valeurs suivantes ont été utilisées, $m_T^* = 0,19$ [Sze81] et $m_L^* = 0,916$ [Mogles86]. Pour simplifier le problème et simuler le plus fidèlement le transport des électrons à travers les plans compacts (111) du Si, une masse moyenne effective a été choisie. Elle est prise égale à : $m_{Si}^* = \sqrt{(m_L^* \times m_T^*)}$, soit $m_{Si}^* = 0,417$. Six vallées, avec cette valeur de masse effective pour les électrons, ont été déclarées dans le programme. En outre, aucune charge fixe n'est considérée dans les structures et le puits quantique en Si contient une densité volumique électronique fixée, identique à celle du silicium intrinsèque.

La masse effective des électrons dans les barrières tunnel joue également un rôle : une faible masse améliorera la NDR de même que la densité de courant. [Moffat93]

V.4.2.1) Rôle de l'épaisseur des barrières tunnel : cas d' $\text{Al}_2\text{O}_3/\text{Si}/\text{Al}_2\text{O}_3$

Une première série de simulations a permis d'étudier l'effet de l'épaisseur des barrières d'oxyde (Al_2O_3) sur le comportement électrique d'une RTD. Les deux barrières étant identiques, l'influence de la largeur a été étudiée pour des valeurs allant de 0,5nm à 2nm. Ces valeurs ne doivent pas être trop grandes pour ne pas trop réduire la transmission par effet tunnel.

La figure V.15 illustre les résultats obtenus pour un puits en Si de 3nm. La densité de courant J_{pic} traversant la structure est représentée en fonction de l'épaisseur des barrières et de la tension appliquée au dispositif. Un lien de dépendance exponentielle existe entre la densité de courant et l'épaisseur des barrières. Plus les films d'oxyde sont importants et plus J_{pic} diminue du fait de la décroissance de la probabilité pour un électron de franchir les barrières par effet tunnel. De plus, la gamme énergétique pour laquelle un électron pourra traverser la barrière se réduit avec l'épaississement des barrières (Fig. V.16). Dans le but d'avoir une forte densité de courant, il est alors intéressant d'épitaxier de très fines couches d'oxyde. En contrepartie, le moindre défaut dans la structure cristalline de l'oxyde constituera un chemin de fuite pour les électrons et perturbera le bon fonctionnement de la RTD, ces défauts étant autant de sites actifs pour les phénomènes de "scattering".



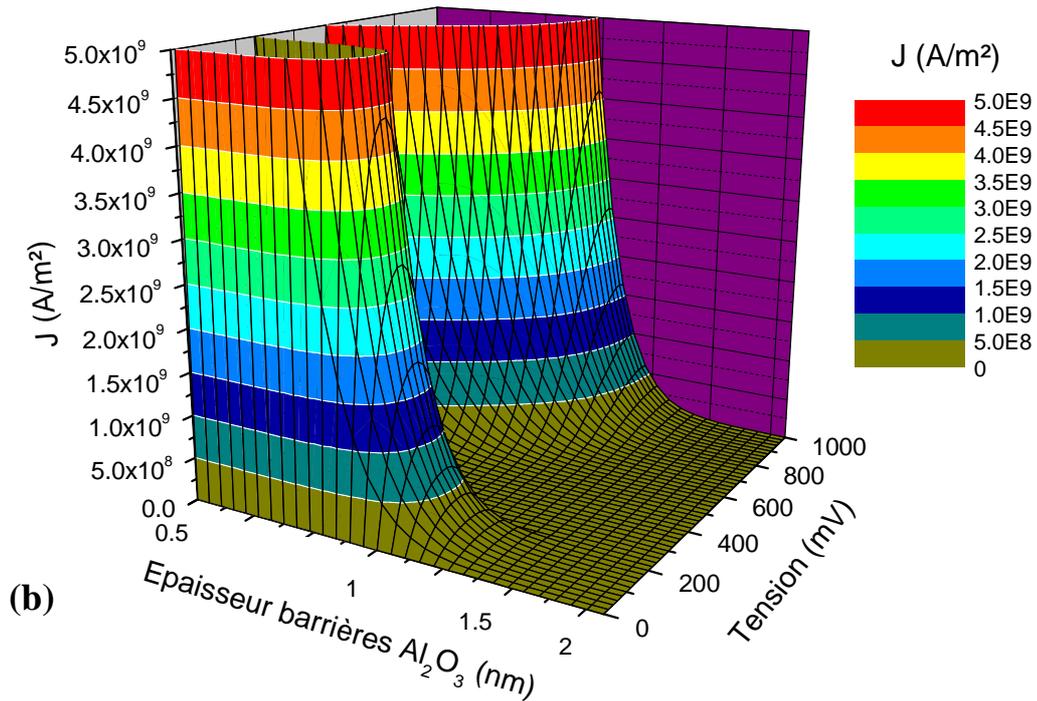


Figure V.15 : Représentation de simulations menées sur des RTD $\text{Al}_2\text{O}_3/\text{Si}$. L'épaisseur du puits est fixée à 3nm alors que celle des barrières en Al_2O_3 varie de $0,5$ à 2nm . J_{pic} est tracée en fonction de l'épaisseur des barrières et de la polarisation appliquée.

(a) Représentation pleine échelle. (b) Zoom sur des densités de courant plus faibles.

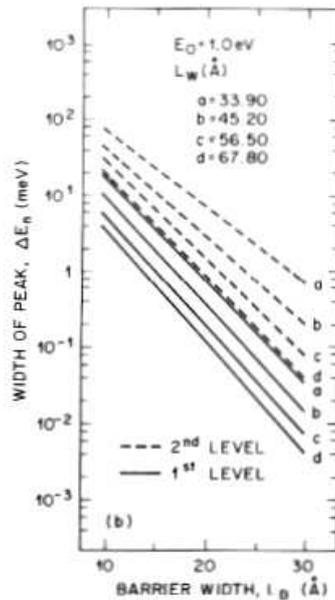


Figure V.16 : Variations de la largeur des niveaux d'énergie ΔE_n dans le puits quantique d'une RTD en fonction des épaisseurs des barrières tunnel L_B et du puits L_W . [Sze90]

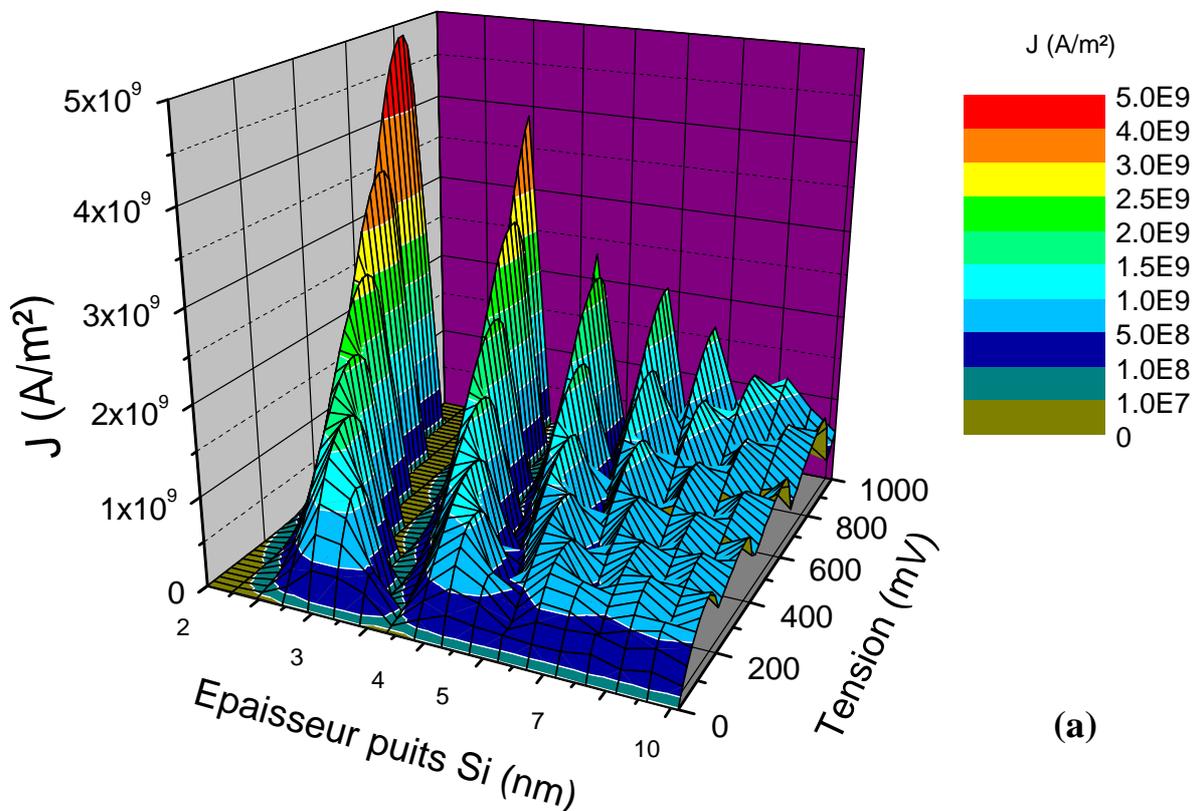
Les niveaux sont de plus en plus fins (ΔE_n diminue) lorsque L_B ou L_W augmentent.

Dans le cas illustré figure V.15, les densités de courant délivrées par cette RTD peuvent atteindre des valeurs très élevées : pour des barrières de 0,5nm d'épaisseur, J_{pic} s'approche des 2×10^{11} A/m² à 150mV et devient supérieur à 3×10^{11} A/m² pour une polarisation de 940mV.

En fait, deux pics de courant se dégagent. Ils sont situés dans les intervalles de polarisations suivants : 40 à 240mV et de 740 à plus de 1000mV, le pic de courant apparaissant à basse tension étant le plus intéressant en vue de la minimisation de la consommation énergétique du dispositif.

V.4.2.2) Influence de l'épaisseur du puits quantique : cas d'Al₂O₃/Si

L'épaisseur du puits quantique va faire varier la position des différents niveaux d'énergie accessibles aux électrons de l'émetteur. Autrement dit, les polarisations auxquelles les divers pics de courant de la RTD vont apparaître dépendent de l'épaisseur du puits semi-conducteur.



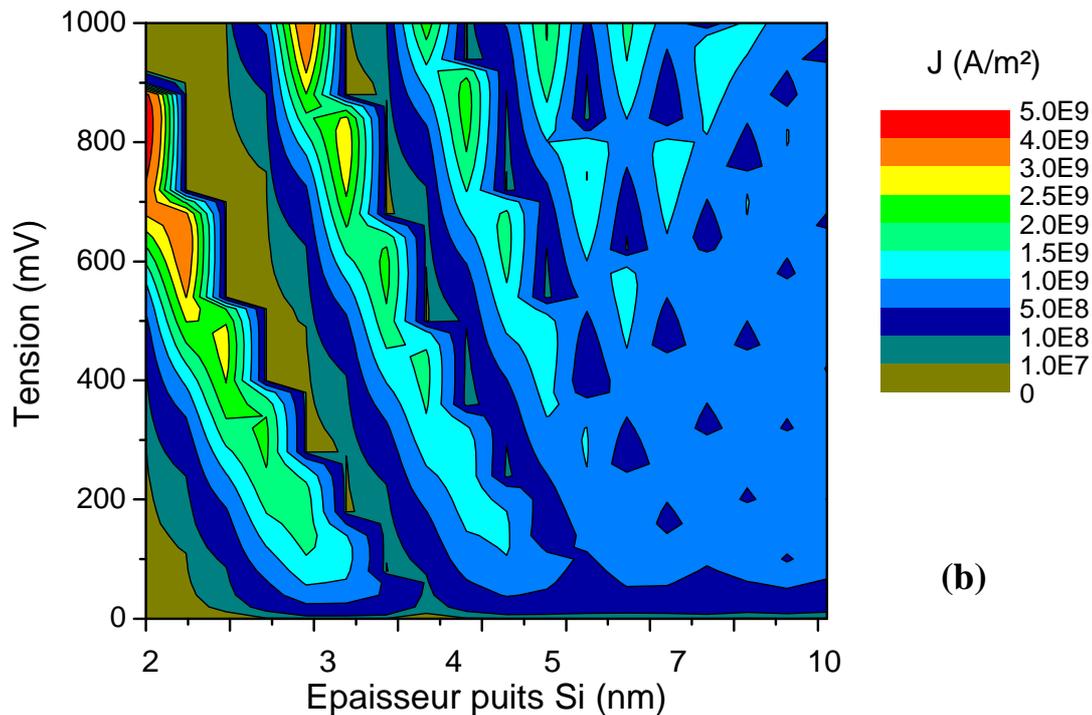


Figure V.17 : Simulations de la densité de courant traversant une RTD Al_2O_3/Si en fonction de l'épaisseur de son puits quantique et de la tension appliquée. Les barrières ont une épaisseur de 1nm chacune. (a) Représentation en trois dimensions. (b) Vue de dessus.

L'épaisseur de chacune des barrières est cette fois-ci fixée à 1nm. La figure V.17 montre alors le résultat d'une série de simulations où l'épaisseur du puits quantique de Si varie de 2 à 10nm. La figure V.17(b) permet de localiser plus facilement les pics de courant en fonction de la polarisation appliquée au dispositif et de l'épaisseur du puits.

Une autre tendance observable est une diminution de la densité de courant avec l'augmentation de l'épaisseur du puits. Ceci résulte du fait que les niveaux d'énergie du puits s'amincissent lorsque l'épaisseur du puits augmente (Fig. V.16). Ce phénomène entraîne une chute de la densité de courant du fait que J_{pic} est proportionnelle à ΔE_n , car plus un niveau d'énergie est large et plus le flux d'électrons qui y transitent par effet tunnel sera important.

V.4.3) Simulations de RTD

Les caractéristiques électriques optimales de RTD qui seraient intégrées dans des circuits CMOS ont été discutées par plusieurs groupes ^{[Brown88], [Sun98]}. Ainsi, les caractéristiques électriques nécessaires à une intégration des RTD dans des circuits logiques ultra-rapides ou des dispositifs hautes fréquences sont :

- $PVCR \geq 5$. (il faut un PVCR assez élevé pour éviter au maximum tout phénomène de bruit qui perturberait le bon fonctionnement du circuit, sans être toutefois trop grand pour ne pas ralentir le circuit)
- $J_{pic} \geq 10^7 - 10^8 \text{ A/m}^2$ pour atteindre les hautes fréquences.
- U_{pic} faible pour réduire la consommation du dispositif.
- fonctionnement à température ambiante.

En se référant aux simulations de la figure V.15 pour le système alumine/silicium (puits quantique de 3nm) et en se plaçant à une polarisation de 150mV, l'épaisseur critique d'une barrière d'alumine à ne pas dépasser pour atteindre une densité de courant supérieure à 10^8 A/m^2 , comme préconisée ci-dessus, est de 1,3nm. Accentuer cette contrainte sur J_{pic} jusqu'à 10^9 A/m^2 amène cette épaisseur critique de barrières tunnel à 1,05nm. Ainsi, en simulant une RTD avec des barrières en Al_2O_3 de 1nm d'épaisseur et un puits quantique en Si de 3nm de largeur (Fig. V.18), un pic de courant apparaît à 160mV, avec J_{pic} égal à $1,64 \times 10^9 \text{ A/m}^2$. Selon cette simulation, le PVCR est ici proche de 2060.

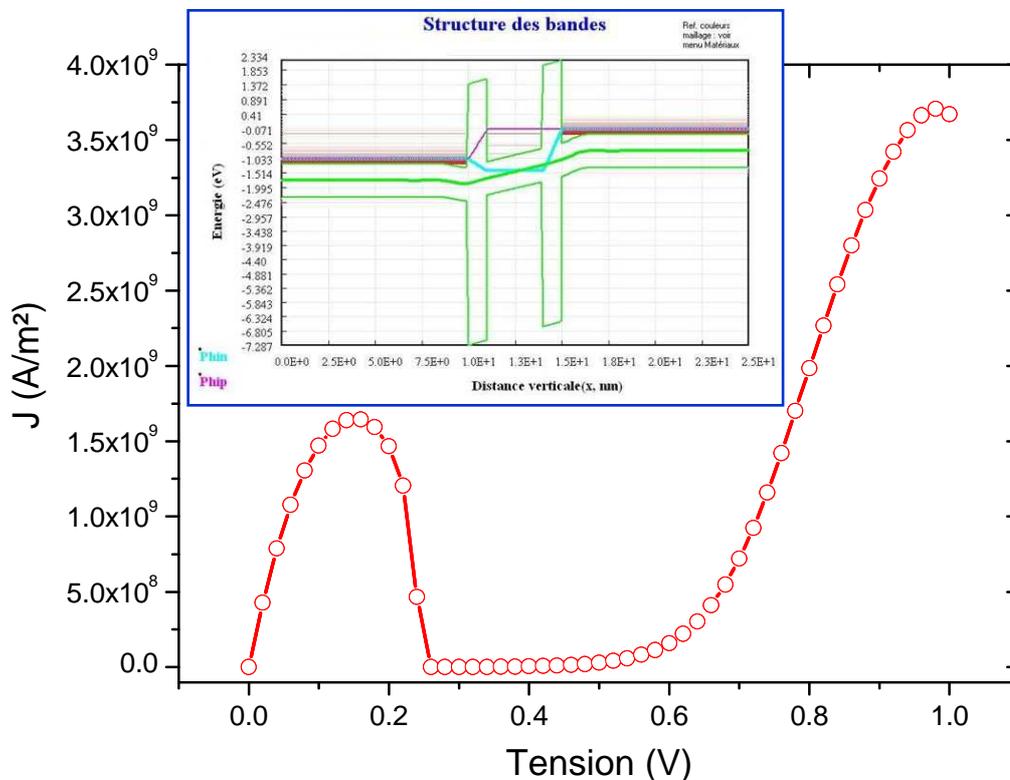


Figure V.18 : Simulation d'une RTD 1nm Al_2O_3 / 3nm Si / 1nm Al_2O_3 . En insert, la structure de bandes associée.

Cependant, cette énorme valeur de PVCR est surestimée et ne correspond pas à ce que serait la réalité. En effet, comme mentionné dans un paragraphe précédent, seul le transport électronique cohérent est pris en compte dans les simulations. Or, le transport incohérent entraîne une diminution légère du courant de pic et une forte augmentation du courant de vallée. Par conséquent, les simulations donnent une sous-estimation du courant de vallée et donc une surestimation de la valeur du PVCR. Le simple fait d'apporter par exemple une rugosité à l'interface barrière tunnel / puits réduit considérablement la valeur du PVCR [Sandu01]. D'autre part, une forte J_{pic} ne signifie pas nécessairement un fort PVCR. [Moffat93]

En menant un raisonnement similaire avec le système Gd_2O_3/Si , c'est-à-dire en remplaçant les barrières tunnel en Al_2O_3 par du Gd_2O_3 , les exigences souhaitées pour l'intégration de telles RTD dans des circuits conduisent aux épaisseurs simulées figure V.19. Une polarisation de 160mV permettrait alors d'établir un courant tunnel résonant avec une densité de courant de $5,1 \times 10^8$ A/m² et un PVCR de 285, de même qu'une deuxième NDR ($J_{pic} \approx 1,7 \times 10^9$ A/m²) pour une tension appliquée de 870mV.

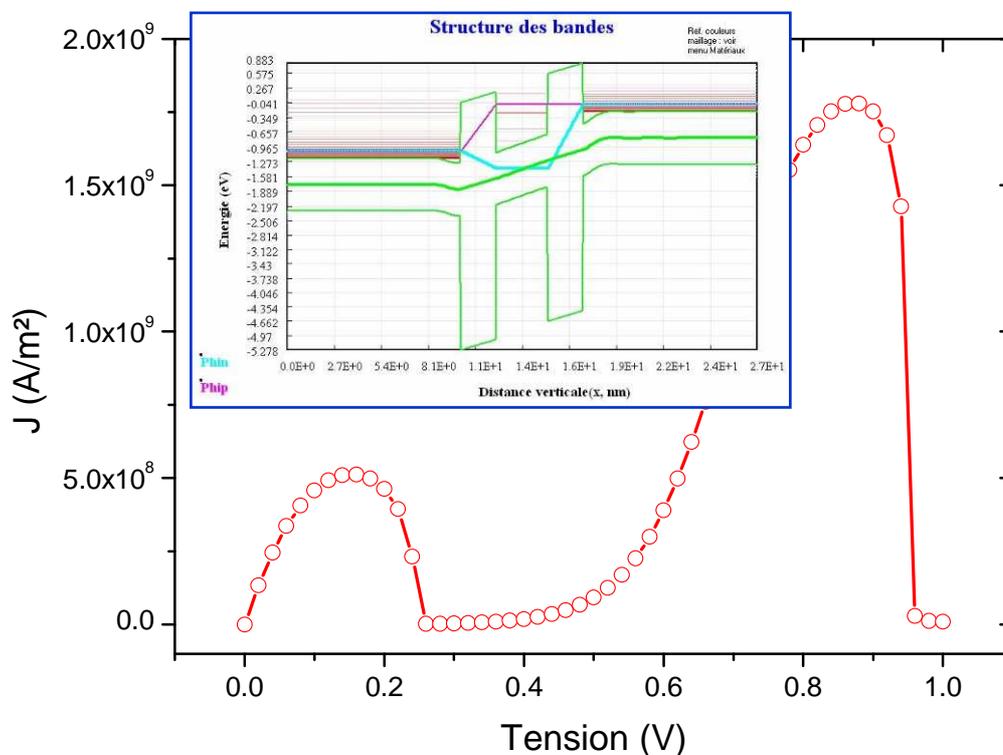


Figure V.19 : Simulation QUANTIX d'une RTD 2nm Gd_2O_3 / 3nm Si / 2nm Gd_2O_3 . La structure de bandes correspondante est représentée en insert.

D'après l'ensemble des simulations réalisées, des diodes tunnel résonantes avec un puits cristallin en Si de 3nm d'épaisseur inséré entre deux barrières tunnel d'Al₂O₃ de 1nm, ou de Gd₂O₃ de 2nm, sont susceptibles de fournir des caractéristiques électriques nécessaires pour leur intégration dans des circuits innovants. L'utilisation de Gd₂O₃ au lieu d'Al₂O₃ permet d'épitaxier, pour l'obtention d'une densité de courant comparable, des barrières plus épaisses du fait d'un offset de bandes de conduction vis-à-vis du Si beaucoup plus faible que dans le cas de Al₂O₃/Si. [Sze81]

V.5) Essais de croissance

Ces travaux ont été effectués à l'INL en collaboration avec les épitaxieurs C. Merckling, G. Delhaye et G. Saint-Girons.

V.5.1) Difficultés rencontrées

La nécessité première est d'avoir un puits monocristallin 2D ayant des interfaces abruptes avec les barrières tunnel. Peu importe que les barrières soient amorphes ou non. Seul le caractère monocristallin de la première barrière est important car il permet l'épitaxie du semi-conducteur par-dessus, la deuxième barrière pouvant être amorphe ou monocristalline. Comme mentionné dans les paragraphes précédents, la qualité structurale des couches d'oxyde et de semi-conducteurs va conditionner fortement l'obtention de bons résultats électriques.

Pour des raisons d'ordre énergétique, si un matériau A mouille un matériau B, le matériau B ne mouillera pas le matériau A et formera des îlots lors de la croissance. Ainsi, la formule ci-dessous permet, en fonction des énergies de surface et d'interface, de prévoir le mode de croissance selon lequel un matériau croîtra sur un autre :

$$\Delta\gamma = \gamma_C + \gamma_{Int} - \gamma_S \quad [\text{Eq. V.8}]$$

, γ_C est l'énergie de surface de la couche déposée, γ_{Int} l'énergie de l'interface entre les deux matériaux et γ_S l'énergie de surface de la couche substrat.

Si $\Delta\gamma \leq 0$, la croissance sera bidimensionnelle et se fera couche par couche (Fig. V.20(a)). Dans le cas où $\Delta\gamma > 0$, le mouillage est très mauvais et la croissance est tridimensionnelle

(Fig. V.20(b)). Enfin, il existe un troisième cas intermédiaire : la croissance 2D-3D Stranski-Krastanov. Au début de ce type de croissance, $\Delta\gamma$ est inférieur ou égal à zéro d'où une croissance 2D jusqu'au moment où l'épaisseur déposée dépasse une certaine épaisseur dite critique. $\Delta\gamma$ devient dès lors positif et la croissance se poursuit tri-dimensionnellement (Fig. V.20(c)).

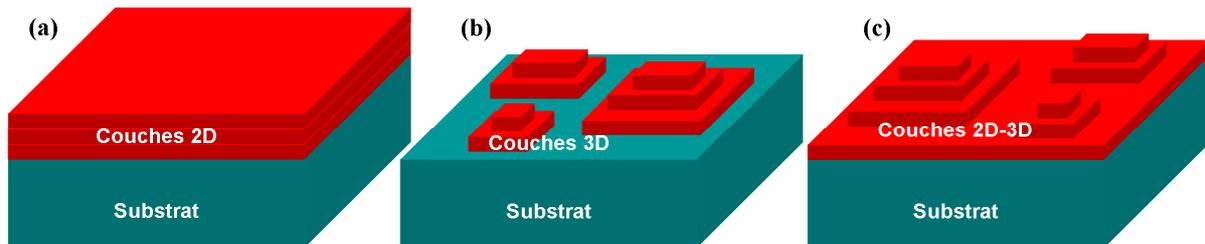


Figure V.20 : Les différents modes de croissance possibles lorsqu'un film mince est déposé sur un autre matériau. (a) Croissance 2D de type Frank-Van der Merwe, (b) Croissance 3D dite Volmer-Weber, (c) Croissance avec transition 2D-3D de type Stranski-Krastanov.

L'énergie de surface des oxydes est souvent inférieure à celle du silicium ^[Nolan05], ^[Stekol02], ce qui est le cas pour Al_2O_3 et Gd_2O_3 . Il faut donc avoir recours à des ruses de fabrication telle par exemple l'utilisation d'un surfactant pour réduire l'énergie de surface du silicium avant recristallisation. ^[Wang05]

Pour surmonter la difficulté de croissance 3D du silicium sur un oxyde, les groupes d'Osten et d'Ishida ont développé des procédés respectivement adaptés aux cas de Gd_2O_3 et d' Al_2O_3 . Ces deux approches ont inspiré la réalisation des hétérostructures élaborées dans cette thèse. Tous les échantillons ont été préparés à l'INL au canon à électrons par évaporation de charges composées de monocristaux dans un réacteur d'épitaxie Riber 2300.

V.5.2) Le système $\text{Al}_2\text{O}_3 / \text{Si}$

V.5.2.1) La technique de passivation de surface d'Ishida

Le système $\text{Al}_2\text{O}_3/\text{Si}(111)$ ne se prêtant guère mieux que le système $\text{Gd}_2\text{O}_3/\text{Si}$ à la reprise de Si 2D cristallin sur oxyde, le groupe du professeur Ishida a développé une méthode favorisant l'épitaxie de Si de bonne qualité cristalline sur l'alumine ^[Ishida00]. Le principe mis au point consiste à déposer à température ambiante une fine couche d'aluminium (inférieure à 2,5nm) à la surface de la première barrière tunnel en Al_2O_3 , puis de recuire le tout à 880°C

afin de désorber l'Al excédentaire et de ne laisser à la surface qu'une monocouche d'Al. Ishida rapporte alors une croissance bidimensionnelle du Si à 800°C sur l'Al₂O₃ ainsi traitée (Fig. V.21(a)).

Cette stratégie, qui repose sur un pré-dépôt d'une monocouche d'Al avant l'épitaxie du Si, modifie en fait la nature chimique de la surface de la couche d'Al₂O₃. Ce traitement de surface tend à modifier la planéité de l'alumine à l'échelle atomique. En outre, les atomes de surface sont désormais majoritairement des atomes d'Al liés à l'oxygène de la couche sous-jacente d'Al₂O₃. Ainsi, les atomes de Si arrivant sur l'échantillon se combineraient avec ces atomes d'Al plutôt qu'avec ceux d'oxygène (Fig. V.21(b)-(c)). L'énergie de liaison Si-Al (54 kcal/mol) étant inférieure à celle de la liaison Si-O (190 kcal/mol), les adatoms de Si auraient dès lors une meilleure mobilité sur la surface et cela conduirait à une croissance par avancée de marches et à la formation d'un film de Si bidimensionnel. Sans utilisation de ce procédé d'amélioration de la migration de surface des adatoms de Si, la couche forme des îlots.

En se basant sur ce procédé de fabrication, les premières RTD Al₂O₃/Si/Al₂O₃/Si(111) ont été réalisées en 2002 [Shahj02b].

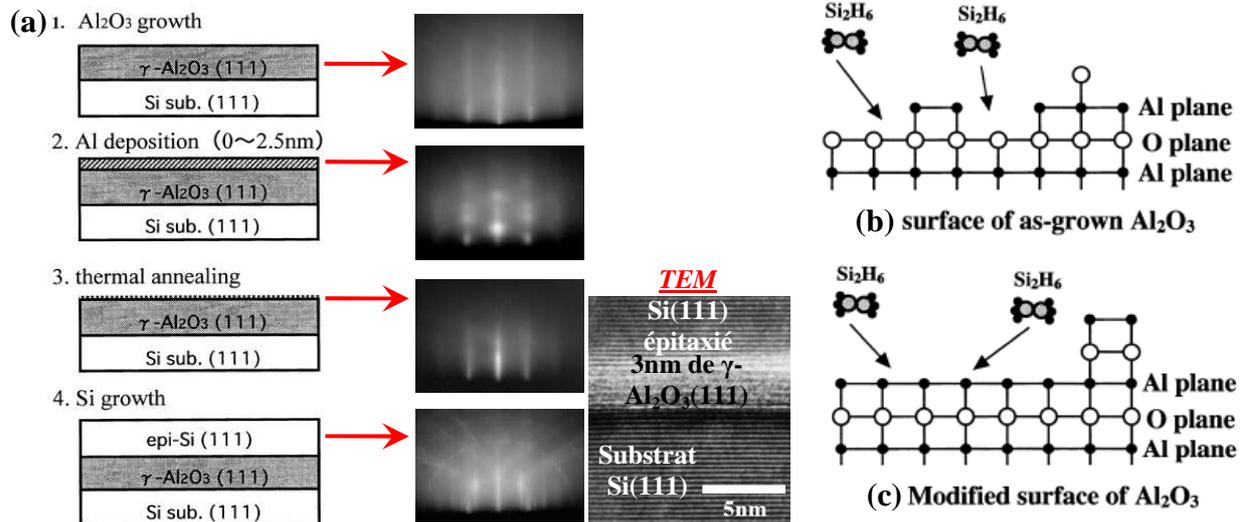


Figure V.21 : (a) Méthode de croissance par MBE d'une couche 2D de Si(111) sur de l'Al₂O₃ à l'aide d'un film d'aluminium (procédé Ishida).

(b)-(c) Modèles associés à ce traitement de surface. [Ishida00]

V.5.2.2) Croissance et caractérisation sur Si(111)

En s'inspirant des travaux d'Ishida, des tentatives de réalisation de RTD ont été faites avec le système $\text{Al}_2\text{O}_3 / \text{Si}(111)$.

Après avoir été désoxydés chimiquement (dégraissage à l'éthanol, $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2(2:1)$, HF 4% et pour finir NH_4F), les substrats Si(111) sont introduits dans le bâti d'épitaxie pour y subir une désoxydation à 800°C sous ultravide. Un buffer de Si est ensuite déposé. Le RHEED permet d'observer une reconstruction 7×7 synonyme d'une surface de Si propre. La température est par la suite amenée à 850°C pour effectuer l'épitaxie de la première barrière tunnel d' Al_2O_3 , toujours au canon à électrons. Une fois les deux minutes de croissance dépassées, cette dernière se poursuit avec ajout d'oxygène moléculaire ($\text{P}_{\text{O}_2} \sim 2\times 10^{-6}$ Torr) et cela jusqu'à l'obtention de l'épaisseur souhaitée qui se situe ici proche de 1,5nm. Le RHEED indique une épitaxie de qualité comme le prouve les raies intenses de diffraction sur la figure V.22. 1,2nm d'aluminium sont alors déposés à 200°C . La température est ensuite augmentée jusqu'à 900°C pendant quelques minutes afin de désorber de l'échantillon l'Al excédentaire et de ne laisser qu'une monocouche d'Al à la surface de l' Al_2O_3 . Au RHEED, cette étape s'accompagne d'une apparition de légères surintensités sur les raies. Les premières monocouches de Si sont épitaxiées en gardant une température de 900°C afin de favoriser la diffusion des adatoms de Si sur la surface et d'avoir une croissance 2D. Enfin, la température est abaissée à 600°C pour terminer le dépôt de cette couche de Si.

La même expérience a été réalisée en omettant l'étape de passivation de surface de l' Al_2O_3 par l'aluminium (Fig. V.22).

Avec l'utilisation d'Al, la surface finale de Si présente une reconstruction 7×7 synonyme d'une épitaxie de qualité. Sans l'emploi d'Al, le RHEED montre rapidement l'apparition de macles et de surintensités qui ne cessent de s'amplifier au fil de la croissance, preuves d'une croissance tridimensionnelle du Si. Ces observations sont corroborées par les images AFM présentées figure V.23. La qualité du silicium est moindre sans utilisation de l'aluminium lors de la croissance. La rugosité moyenne de surface (RMS) s'en trouve quasiment multipliée par trois.

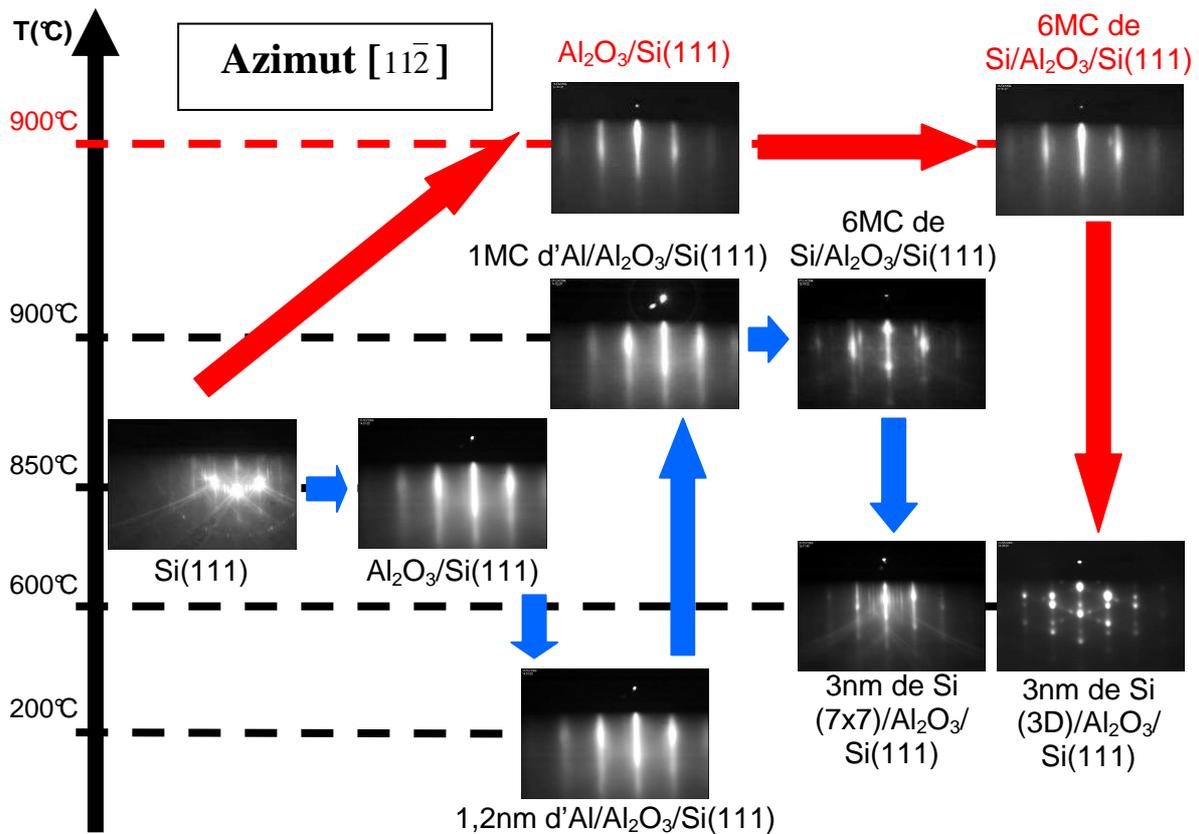


Figure V.22 : Clichés RHEED obtenus aux différentes étapes de la croissance d'une structure $3\text{nm Si} / 2\text{nm Al}_2\text{O}_3 / \text{Si}(111)$, avec et sans passivation de surface de l' Al_2O_3 par l' Al .

Cependant, il est à noter que la couche de Si présentant une reconstruction 7×7 au RHEED n'est pas plate à l'échelle atomique comme le montre la figure V.23(a). En effet, les marches atomiques ne sont pas visibles et la surface présente tout de même une certaine rugosité, signe qu'il est nécessaire d'améliorer encore la qualité structurale de ce puits de Si. Ce résultat est en accord avec l'étude microstructurale menée par Khatun^[Khatun06]. Ce dernier a observé par ellipsométrie que la couche de Si épitaxiée sur l' Al_2O_3 était en fait constituée d'un mélange de Si amorphe et de Si cristallin. La couche n'est donc pas homogène et est formée de grains de nature cristalline différente. Par ailleurs, plus la vitesse de dépôt est grande et plus la proportion de Si amorphe est élevée du fait d'une croissance colonnaire tridimensionnelle qui réduit la cristallinité du film.

Devant cette qualité structurale médiocre, des hétérostructures RTD complètes n'ont pas été réalisées. Des études complémentaires (vitesse de dépôt du Si plus faible et optimisation des températures de croissance) doivent être menées afin d'améliorer ceci de façon reproductible.

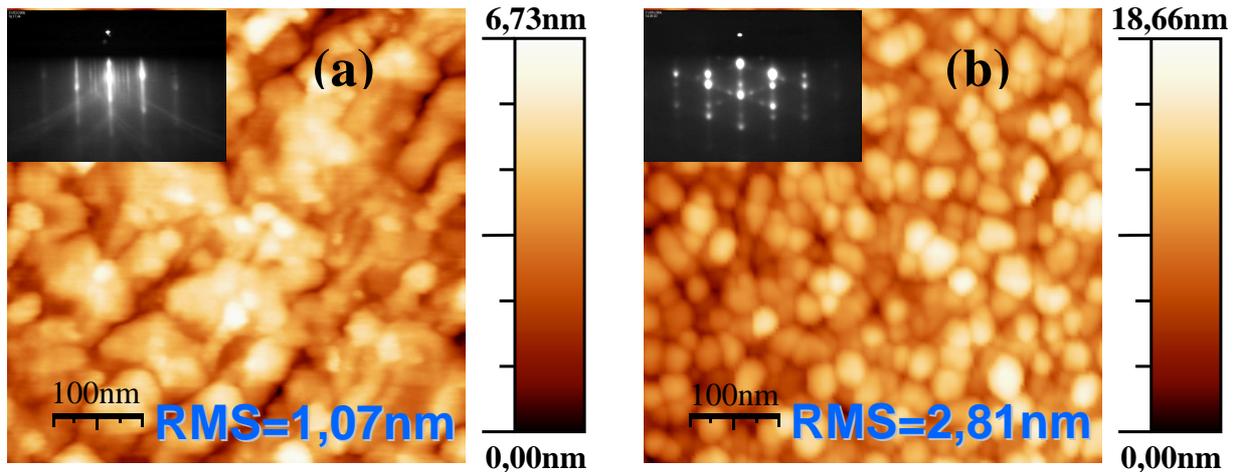


Figure V.23 : Images AFM de la surface d'une couche de Si épitaxiée sur Al_2O_3 . (a) Avec de l'Al à l'interface. (b) Sans Al interfacial. (En inserts les clichés RHEED correspondants.)

L'état de surface rugueux observé figure V.23(a), et ce malgré la présence d'une reconstruction 7×7 au RHEED, doit peut être son origine à un recouvrement non homogène de la première barrière d'alumine par le surfactant Al avant la croissance du silicium. Ceci explique le fait que le silicium croît bidimensionnellement sur des petites zones mais non de manière homogène sur toute la surface.

V.5.2.3) Essais sur Si(001)

L'idée est ici de reproduire cette technique de croissance sur un substrat Si(001) standard de la microélectronique actuelle. En effet, puisqu'il est possible d'épitaxier une fine couche d' Al_2O_3 pseudomorphique sur Si(001) ^[Merckl06], il est ensuite envisageable de faire croître une couche 2D de Si sur cette fine barrière isolante en utilisant la méthode mise au point par Ishida.

La figure V.24 illustre le déroulement de la croissance. Le substrat utilisé est du Si(001) dopé n^+ (dopage 10^{19} cm^{-3}) préalablement nettoyé chimiquement avec un traitement HF suivi de NH_4F . Une fois introduit dans le réacteur MBE, le substrat est désoxydé à haute température avant d'y déposer un buffer de Si pour enterrer le carbone résiduel de la surface. Une reconstruction par 2 est alors visible au RHEED selon la direction [110]. La première barrière d' Al_2O_3 est épitaxiée à 850°C . Une reconstruction 1×5 apparaît rapidement au cours de la croissance. Lorsque la 1×5 commence à perdre de son intensité, la croissance est

stoppée, ce qui correspond à une épaisseur d' Al_2O_3 déposée d'environ 1-1,5nm. Puis la température est abaissée pour déposer l'Al. Afin de ne laisser qu'une monocouche d'Al surfacique, la température est ramenée à 870°C. Bien qu'estompée, la reconstruction 1×5 est encore légèrement visible. Ensuite, un puits quantique de 3nm de Si est épitaxié. Le RHEED indique une belle surface de Si reconstruite 2×1 . Reste alors à déposer la deuxième barrière d' Al_2O_3 à 850°C pour obtenir une structure RTD complète. La fin de croissance pour chaque barrière d' Al_2O_3 s'accompagne d'un faible ajout d'oxygène sous une pression partielle de 10^{-7} Torr.

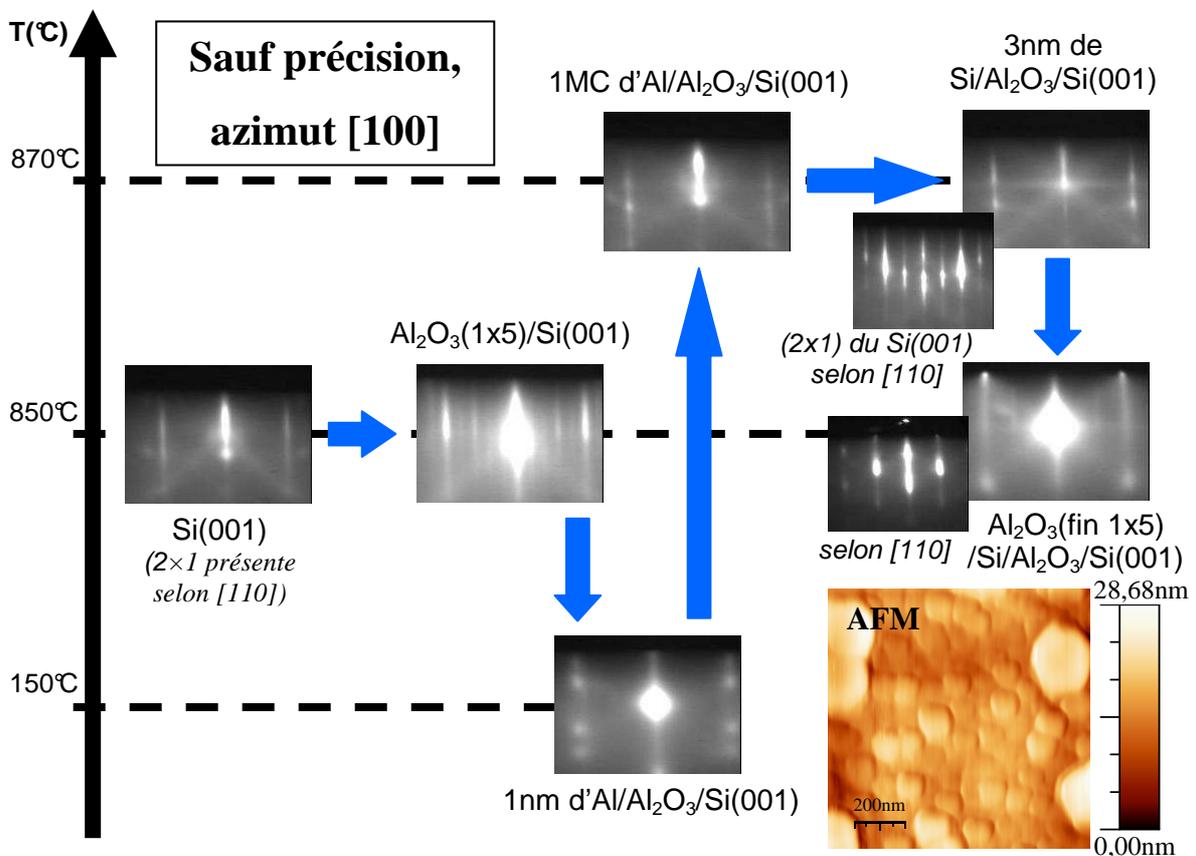


Figure V.24 : Suivi RHEED de la croissance d'une RTD $\text{Al}_2\text{O}_3/\text{Si}/\text{Al}_2\text{O}_3/\text{Si}(001)$ en utilisant la technique d'Ishida. Une image AFM de la structure finale est représentée en bas à droite.

Au sens du RHEED, ce type de croissance semble être un succès malgré la présence de surintensités sur le cliché RHEED final. Pourtant, l'AFM (Fig. V.24) confirme cette rugosité de surface et met en doute la bonne qualité structurale de ces RTD. Aussi, dans le but d'approfondir ce résultat, des analyses TEM en coupes transversales ont été pratiquées. Les images obtenues sont assez surprenantes. En effet, l'échantillon final n'est constitué que

d'une fine couche d' Al_2O_3 cristalline estimée à 1,5nm d'épaisseur sur le substrat de Si(001). Ce n'est donc pas une structure RTD, mais plutôt une capacité MOS avec une simple barrière isolante. Les caractérisations électriques menées sur ces échantillons ne montrent aucune NDR.

Sous l'effet de la température élevée (850-870°C) et des conditions d'ultravide, il est probable que, lors du dépôt du puits de Si, du SiO volatile (l'énergie des liaisons Si-O [795 kJ/mol] est supérieure à celle des liaisons Al-O, Al-Al, Si-Si et Si-Al ^[Webele08]) se forme entraînant la désorption du Si et de la couche d'alumine préalablement déposée. Il a en effet été démontré que la désorption de SiO_x pouvait avoir lieu dès 490°C ^[Ioanno04]. À ce moment de la croissance, ceci expliquerait le retour d'une reconstruction RHEED 2×1 provenant du substrat Si(001). De plus, l' $\text{Al}_2\text{O}_3(001)$ reconstruite 1×5 sur Si(001) n'est pas un modèle de stabilité au niveau énergétique. En effet, cette monocouche d'alumine est notamment connue pour transiter brutalement vers les plans (111) de l' Al_2O_3 lorsque l'épaisseur critique ($\sim 0,8\text{nm}$) est dépassée ^[Merck107], en raison de considérations d'ordre énergétique.

La forte température d'épitaxie du Si peut par conséquent être mise en cause. Néanmoins, des essais de croissance du puits de Si ont été réalisés à plus basses températures (600°C). Mais le dépôt de la deuxième barrière tunnel en alumine devant s'effectuer à plus de 800°C sous peine d'être amorphe, le résultat final reste identique.

Comparativement au système $\text{Al}_2\text{O}_3(111)/\text{Si}(111)$, le système $\text{Al}_2\text{O}_3(001)/\text{Si}(001)$ est nettement moins stable et ne permet donc pas la réalisation de dispositifs RTD fonctionnels.

V.5.3) Le système $\text{Gd}_2\text{O}_3 / \text{Si}$

V.5.3.1) La technique d'encapsulation d'Osten

La croissance directe de silicium à haute température ($\approx 600^\circ\text{C}$) sur une couche de $\text{Gd}_2\text{O}_3(111)$ conduisant irrémédiablement à la formation d'îlots, il a fallu modifier les conditions d'épitaxie afin d'augmenter l'énergie de surface de la première barrière en Gd_2O_3 et/ou de réduire la mobilité des adatoms de Si arrivant à la surface du Gd_2O_3 . La croissance basse température suivie d'une recristallisation, de même que l'usage de bore comme surfactant, ont été testées mais sans succès, le silicium privilégiant un mode de croissance 3D dès 400°C. ^[Osten07]

Néanmoins, les oxydes de terres rares comme le Gd_2O_3 ont la propriété de cristalliser à des températures aussi basses que $200^\circ C$. L'idée consiste alors à déposer le Si sous forme amorphe sur la première barrière tunnel cristalline puis à l'encapsuler avec du Gd_2O_3 (pour empêcher une croissance 3D en contrôlant l'énergie d'interface) tout en montant la température pour rendre le tout cristallin.

La figure V.25(a) décrit la séquence épitaxiale employée. Dans un premier temps, une couche de Gd_2O_3 est épitaxiée au canon à électron à $670^\circ C$ sur un substrat Si(111). Ensuite, la température est abaissée jusqu'à $90^\circ C$ pour effectuer le dépôt amorphe du puits quantique de Si. Enfin, la dernière étape consiste à appliquer une rampe de température ($+200^\circ C/min$) jusqu'à atteindre $670^\circ C$. Durant cette montée en température, la croissance de la deuxième barrière est lancée au moment où la température devient supérieure à $250^\circ C$. De cette manière, la couche initialement amorphe de Si subit un recuit in-situ pendant plusieurs minutes provoquant sa recristallisation. Le résultat de cette manipulation est présentée figure V.25(b). Il en résulte une structure RTD $Gd_2O_3/Si/G_2O_3/Si(111)$ entièrement monocristalline. La surface de la première barrière tunnel agirait en fait ici comme un germe pour la cristallisation du Si amorphe, le front de recristallisation remontant alors jusqu'à l'interface supérieure Si/ Gd_2O_3 de la deuxième barrière. D'ailleurs, les interfaces Si/oxyde sont atomiquement planes et homogènes, sans oxyde interfacial, comme démontré par la présence de franges d'interférence en diffraction des rayons X. [Fisse06b]

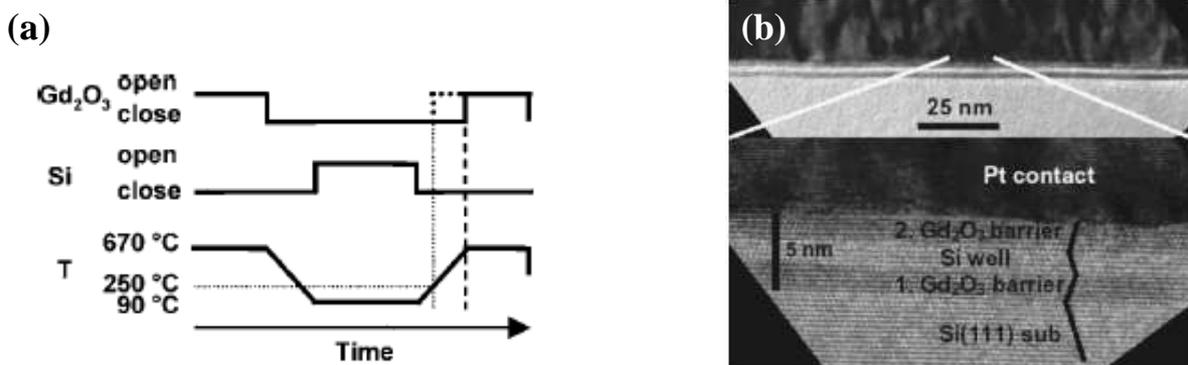


Figure V.25 : (a) Procédé développé par Osten pour la fabrication de RTD Gd_2O_3/Si . La deuxième barrière commence à être épitaxiée à $250^\circ C$. (b) Images TEM d'une RTD obtenue par cette technique d'encapsulation. Le contact supérieur est réalisé en platine. [Osten07]

V.5.3.2) Croissance par MBE d'hétérostructures $Gd_2O_3 / Si(111)$

La procédure de croissance précédemment décrite a été testée pour réaliser des structures RTD $Gd_2O_3/Si/Gd_2O_3/Si(111)$. Afin de constituer le réservoir d'électrons de l'émetteur de ces RTD, les substrats choisis sont du Si(111) dopés n^+ (dopage 10^{19} cm^{-3}).

Le Si(111) est tout d'abord désoxydé dans le réacteur pendant une heure à 850°C . Le substrat n'ayant subi aucun nettoyage chimique au préalable, un buffer de Si est déposé au canon à électrons à 700°C . L'échantillon présente au RHEED une reconstruction 7×7 , de même que la présence de lignes de Kikuchi et de zones de Laue, caractéristiques d'une surface de silicium (111) plane à l'échelle atomique et parfaitement désoxydée (Fig. V.26(a)-(b)). Ensuite, toujours à 700°C et sous une pression partielle de 1×10^{-7} Torr d'oxygène, une première couche de Gd_2O_3 est épitaxiée selon le protocole standard établi par Clément Merckling ^[Merckl07]. Les figures V.26(c)-(d) témoignent de la qualité cristalline de cette première barrière d'oxyde. Puis la température du manipulateur est abaissée à 80°C pour le dépôt d'une couche amorphe de Si qui formera par la suite le puits quantique de la RTD. Enfin, la consigne de température est fixée à 700°C afin d'effectuer le dépôt de la deuxième barrière tunnel. Lors de cette montée en température, le cliché RHEED avec un fond clair, résultant de la couche de Si amorphe précédemment déposée (Fig. V.26(e)-(f)), laisse apparaître de légères tâches de diffraction vers $200\text{-}250^\circ\text{C}$, indiquant un début de cristallisation du Si. Cette observation est indicatrice du moment où l'épitaxie de la deuxième barrière de Gd_2O_3 doit débiter. Ainsi, entre 200 et 250°C , du Gd_2O_3 est envoyé sur l'échantillon. Les conditions de dépôt sont identiques à celles utilisées pour la première couche d'oxyde. Le temps de croissance est suffisamment important pour que la température atteigne aisément les 700°C bien avant que la croissance du Gd_2O_3 soit stoppée. Les clichés RHEED finaux (Fig. V.26(g)-(h)) présentent des raies de diffraction très intenses, ce qui atteste de la bonne qualité cristalline du film.

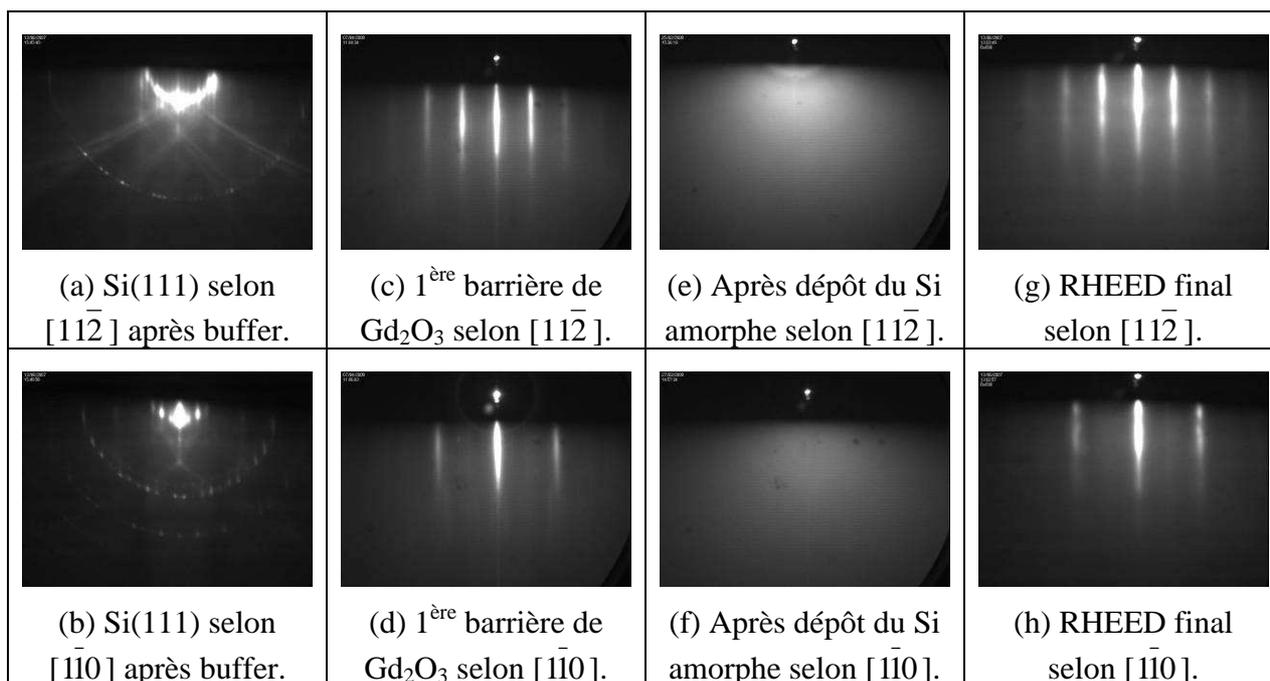


Figure V.26 : Observations RHEED de la croissance d'une RTD Gd_2O_3/Si . (a)-(b) Surface du substrat Si(111) après avoir fait un buffer de Si. (c)-(d) Dépôt de la 1^{ère} barrière tunnel en oxyde Gd_2O_3 . (e)-(f) Dépôt à basse température du puits quantique en Si amorphe. (g)-(h) RHEED finaux après dépôt de la 2^{ème} barrière d'oxyde.

V.5.3.3) Observations TEM d'une RTD $Gd_2O_3/Si/Gd_2O_3$

Ces échantillons RTD ont été observés par microscopie à transmission électronique (travaux effectués en collaboration avec L. Largeau et G. Patriarche). Les résultats sont représentés figure V.27. Ces coupes transversales mettent en évidence la très bonne qualité cristalline des couches épitaxiées. Les plans atomiques (111) horizontaux du Si et du Gd_2O_3 sont parfaitement parallèles.

Une première couche de Gd_2O_3 de 0,9nm d'épaisseur est visible. Son interface avec le substrat est abrupte. Le puits de Si mesure quant à lui autour de 4,2nm. Il est parfaitement recristallisé et monocristallin malgré la présence de quelques macles. Bien que le temps de dépôt ait été le même pour les deux barrières d'oxyde, la deuxième barrière tunnel est plus épaisse que la première (2nm). Ceci est dû aux imprécisions de mesure de la vitesse de dépôt au canon à électrons. Certaines parties de cette couche sont cristallisées mais de façon non uniforme. Quelques régions amorphes sont en effet présentes. Une trop faible vitesse de remontée en température lors de la phase d'encapsulation du puits de Si est probablement

responsable de ce comportement. De plus, une interface plus blanche sur l'image, sans doute plus due à des effets de mesure qu'à la présence de silicates, est apparente entre le puits de Si et la couche de Gd_2O_3 supérieure.

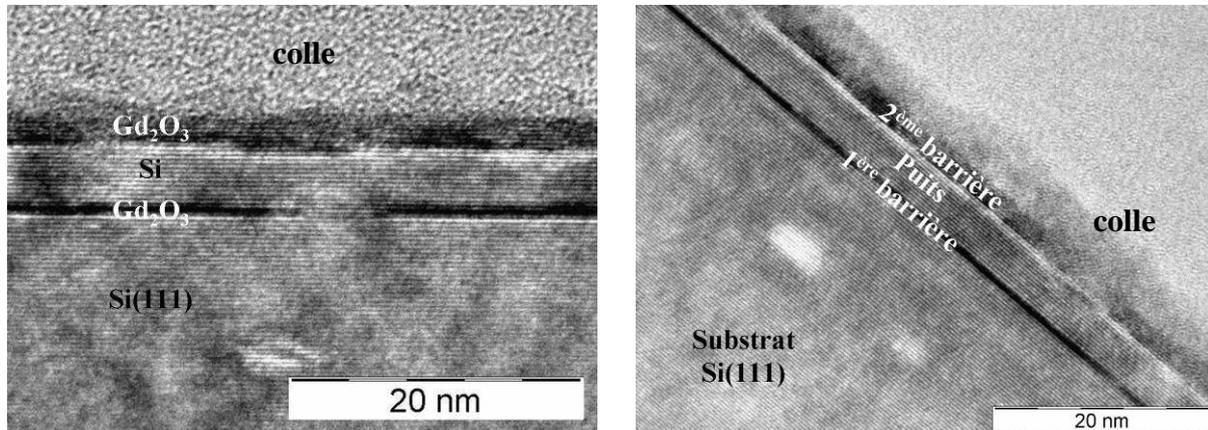


Figure V.27 : Images TEM en coupe transversale d'une RTD $Gd_2O_3/Si/Gd_2O_3/Si(111)$ réalisée par MBE avec la technique d'encapsulation.

V.5.3.4) Caractérisation électrique d'une RTD $Gd_2O_3/Si/Gd_2O_3/Si(111)$

Afin de caractériser électriquement ces dispositifs RTD, des électrodes carrées de $95 \times 95 \mu m$ ont été déposées en environnement salle blanche par lift-off et évaporation de métaux directement sur la barrière de Gd_2O_3 apparente. Ces contacts métalliques sont composés d'une première couche de 3nm de nickel, puis de 300nm d'or. Pour les RTD, il est à noter que c'est cette étape de lithographie qui va déterminer à elle seule la taille latérale du dispositif final. La circulation du courant n'est pas latérale comme dans un MOSFET classique, mais se fait verticalement de bas en haut.

La structure RTD mesurée figure V.28(a) correspond à celle présentée figure V.27, avec des épaisseurs de 0,9 et 2nm pour les barrières et un puits de Si épais de 4,2nm. Les mesures ont été effectuées en mettant l'émetteur (le substrat) de la RTD à la masse et en polarisant positivement le collecteur (l'électrode métallique). Une zone de résistance différentielle négative est obtenue. La densité de courant J_{pic} est de $6,75 \times 10^6$ A/m² à $U_{pic} = 2,2V$ alors que le courant de vallée $J_{vallée}$ est égal à $5,8 \times 10^6$ A/cm² pour $U_{vallée} = 2,3V$, ce qui donne un PVCR de 1,17.

Les mesures aller et retour sont différentes. Alors que la mesure aller présente une NDR, la mesure retour n'en présente pas et forme une forte hystérésis avec la courbe de la mesure aller. Ce comportement est observé sur la majeure partie des échantillons et peut s'interpréter par le fait qu'après la mesure aller, qui s'étend tout de même jusqu'à +3V, le dispositif est fortement détérioré rendant le passage du courant plus facile et entraînant en conséquence la disparition de la NDR.

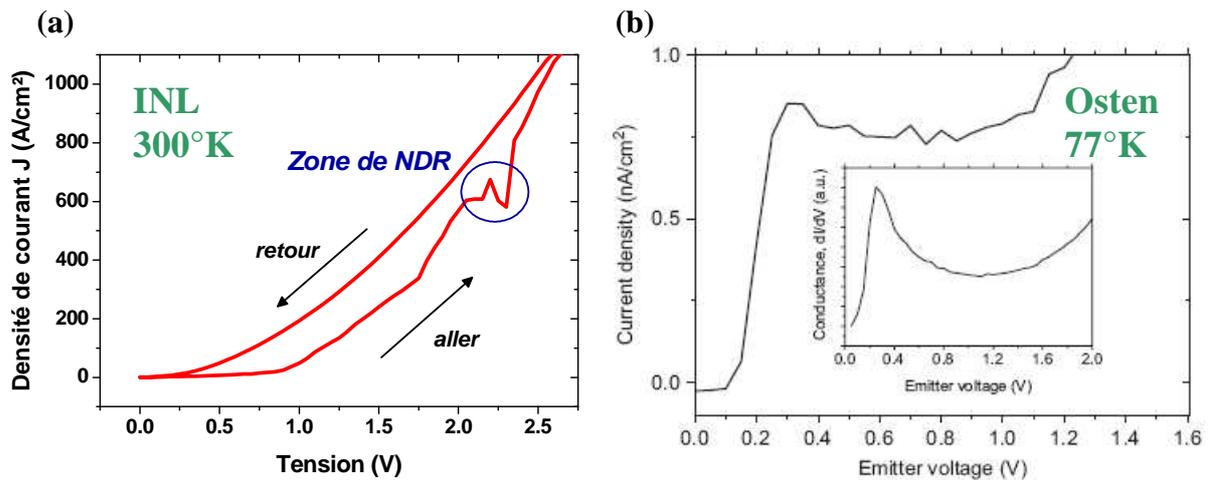


Figure V.28 : (a) Densité de courant en fonction de la polarisation, pour une RTD Gd_2O_3/Si réalisée à l'INL. Mesures faites à température ambiante avec un pas de 0,05V.

(b) Caractéristique I-V d'une RTD $Gd_2O_3/Si/Gd_2O_3$ à 77°K. Observation à très basse température d'une faible NDR avec un PVCR de 1,3 ($J_{pic} = 8,5 \times 10^{-6} A/m^2$ à 0,3V). [Osten07]

Les mesures réalisées par le groupe d'Osten [Osten07] confirment ce problème de fiabilité. En effet, ils ont certes obtenu un pic de courant (Fig. V.28(b)) avec un PVCR de 1,3 et une très petite densité de courant, mais avouent avoir de fortes hystérésis sur toutes leurs structures. Ces hystérésis sont attribuées à des phénomènes de chargements et de déchargements à travers les pièges de la structure. De plus, les mesures d'Osten sont faites à 77°K et non à température ambiante, confirmant les problèmes de fonctionnement actuels de ces dispositifs RTD.

La figure V.29 est une simulation QUANTIX réalisée afin de comparer théorie et expérimentation. La simulation met en évidence 4 pics de courant principaux à 0,36V, 1V, 1,86V et 2,8V qui sont absents lors des mesures électriques. Cependant, la zone de NDR observée expérimentalement figure V.28(a) correspondrait au pic de courant simulé situé à

1,86V et qui serait décalé. Les densités de courant mises en jeu sont séparées de plusieurs décades, la faute aux multiples approximations faites dans les simulations comme, par exemple, la constante diélectrique du Gd_2O_3 dont la valeur fluctue entre 14 et 24 dans la littérature. [Czerno06]

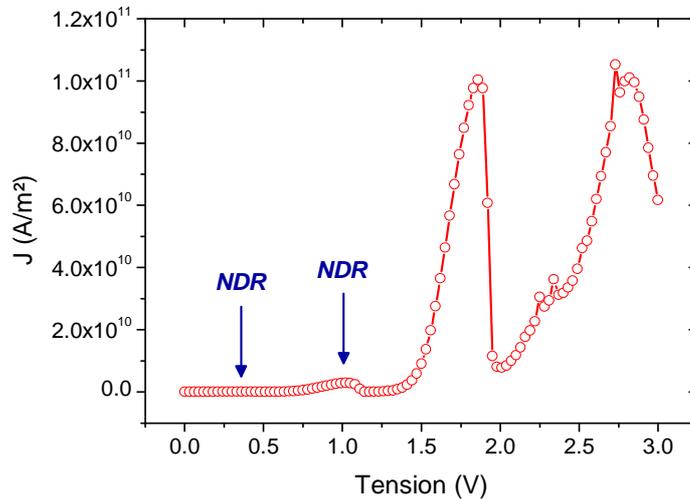


Figure V.29 : Simulation QUANTIX d'une structure RTD 0,9nm Gd_2O_3 / 4,2nm Si / 2nm Gd_2O_3 . Les zones de NDR aux faibles tensions sont indiquées par des flèches.

V.6) Discussion, conclusion

Depuis les années 1960-1970, il est reconnu que les performances des diodes tunnel résonantes pourraient potentiellement améliorer les vitesses de fonctionnement des circuits tout en réduisant le nombre de composants et la consommation énergétique. Pourtant, des difficultés liées à leur réalisation n'ont pas permis l'émergence de ces dispositifs. Cependant, dans la course actuelle à la miniaturisation du MOSFET, l'opportunité d'associer ce dernier aux RTD se révèle à nouveau intéressante. L'idée consisterait à rajouter quelques étapes à un procédé de fabrication CMOS traditionnel pour y intégrer des RTD. Ceci permettrait l'amélioration des performances des circuits, sans changer de nœud technologique, ni modifier toute la chaîne de fabrication d'une usine. Néanmoins, malgré leur simplicité structurale et la liberté de design qu'elles offrent, le système idéal pour des RTD compatibles silicium n'a pas encore été trouvé. D'autre part, l'obtention de couches uniformes d'épaisseur contrôlée sur tous les wafers se révèle toujours compliquée à réaliser, entraînant dès lors une disparité au niveau des paramètres électriques.

L'avènement des oxydes à forte constante diélectrique épitaxiés sur Si (intégration monolithique avec des interfaces abruptes) a relancé l'intérêt pour ces dispositifs quantiques. Mais malgré les possibles compatibilités technologiques, cette technologie est encore balbutiante et reste à ce jour peu convaincante.

Ishida et al. ont obtenu, avec une RTD 2nm Al₂O₃ / 3nm Si / 2nm Al₂O₃, un $PVCR_{\max}$ de 248 pour une densité de courant $J_{\text{pic}} = 1,53 \text{ A/cm}^2$ [Khatun07]. Ces bons résultats sont toutefois entachés de dégradation des performances lors de la répétition des mesures et de soucis de reproductibilité d'un dispositif à un autre. La présence d'hystérésis lors de balayages en tension reflète une qualité structurale non optimale, favorisant des dérives immédiates dans les caractéristiques I-V des RTD par piégeages de charges dans les matériaux défectueux. Il est d'ailleurs à noter que ce groupe n'a jusqu'à présent jamais montré d'images TEM de ses composants RTD Al₂O₃/Si.

Le second résultat marquant a été obtenu par Osten avec du Gd₂O₃ comme isolant. Mais là encore les performances requises ne sont pas atteintes.

À l'INL, aucune structure RTD complète et fonctionnelle n'a pu être réalisée avec l'Al₂O₃ à cause de problèmes de stabilité thermodynamique entre le silicium et l'alumine. En revanche, des résultats comparables à ceux du groupe d'Osten ont été obtenus avec le système Gd₂O₃/Si. Un effet de résistance différentielle négative a été observé à température ambiante, ce qui n'avait encore jamais été fait. Mais les mesures restent peu reproductibles. Il y aurait donc un travail important d'optimisation à mener (optimisation des étapes de croissance et amélioration de la qualité électrique) pour pouvoir obtenir des dispositifs de qualité.

Côté croissance, deux pistes sont à explorer. Tout d'abord, la voie tout épitaxiale pour laquelle une gestion appropriée des énergies de surfaces et d'interfaces est nécessaire. Cette dernière pourrait être réalisée à l'aide du surfactant hydrogène. L'utilisation d'une cellule d'hydrogène atomique (acquise récemment par l'INL) lors de l'épitaxie du puits quantique (en Si, III-V ou Ge) des RTD serait en effet susceptible de diminuer l'énergie des adatoms du semi-conducteur arrivant à la surface de la première barrière d'oxyde, en passant leurs liaisons pendantes, et favoriserait par conséquent un mode de croissance 2D. La deuxième voie à approfondir concerne la seconde barrière tunnel. Si le puits des RTD doit absolument être monocristallin, cette barrière peut tout à fait être amorphe, ce qui offre alors une plus

grande variété de matériaux. Toutefois, l'interface puits/barrière amorphe doit avoir une très bonne qualité électrique.

Devant les progrès récents liés à l'intégration de Ge ou de III-V sur des oxydes monocristallins, et le développement des MOSFET III-V, une autre solution prometteuse est la possibilité de faire croître des RTD oxyde/III-V/oxyde. Un système intéressant serait $\text{Gd}_2\text{O}_3/\text{InP}/\text{Gd}_2\text{O}_3$ ^[SaintG07] (Fig. V.30). Là encore, cette approche permettrait de pouvoir potentiellement associer des RTD avec des MOSFET.

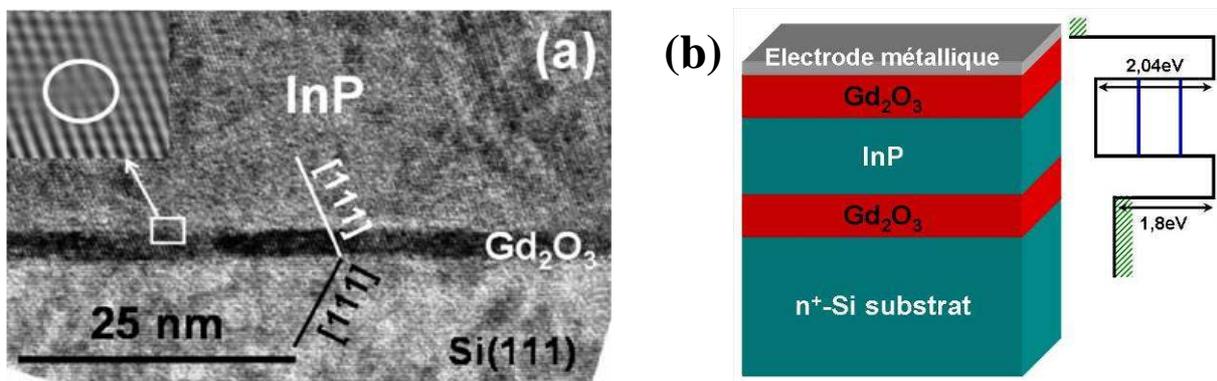


Figure V.30 : (a) Coupe transversale TEM d'une hétérostructure $\text{InP}/\text{Gd}_2\text{O}_3/\text{Si}(111)$. En insert : image obtenue par transformée de Fourier montrant une dislocation à l'interface oxyde/ InP ^[SaintG07]. (b) Schéma et structure de bandes d'une RTD $\text{Gd}_2\text{O}_3/\text{InP}/\text{Gd}_2\text{O}_3/\text{Si}$.

CONCLUSION GÉNÉRALE ET PERSPECTIVES

Depuis 40 ans, l'industrie microélectronique a prospéré en se basant sur la technologie CMOS silicium et en menant une course effrénée à la miniaturisation. Au fil des générations successives de MOSFET, ce développement s'est heurté à des barrières physiques. Ainsi, la silice, oxyde natif des substrats de Si, a vu son épaisseur diminuer de plus en plus. Désormais beaucoup trop fine pour autoriser des densités de courants de fuite acceptables pour le bon fonctionnement des dispositifs, la couche diélectrique de $\text{SiO}_2\text{-SiO}_x\text{N}_y$ s'est vue détrônée au profit des oxydes high- κ . Les solutions industrielles exploitées ou développées pour les nœuds technologiques 45, 32 et 22nm sont à base d'oxydes HfO_2 amorphes. En parallèle, des oxydes alternatifs amorphes ou monocristallins sont explorés dans la communauté académique pour les nœuds technologiques sub-22nm. Pour atteindre les épaisseurs équivalentes d'oxyde SiO_2 (EOT) visées, de l'ordre de 0,5nm, il est alors important de pouvoir obtenir des interfaces abruptes sans couches parasites interfaciales. Un autre critère important est la stabilité thermique des interfaces oxydes/silicium.

L'INL a développé depuis quelques années des filières d'oxydes alternatifs préparés par épitaxie par jets moléculaires. Il s'agissait dans cette thèse d'évaluer la qualité électrique des systèmes les plus prometteurs, à base de LaAlO_3 . Cet oxyde ternaire possède dans sa phase massive cristalline une permittivité élevée ($\kappa = 25$), des offset de bandes adaptés, de même qu'une bonne stabilité thermodynamique vis-à-vis du silicium, et il s'impose par conséquent comme un candidat potentiellement très intéressant pour les nœuds sub-22nm.

L'objectif principal de la thèse a donc été d'évaluer la qualité électrique des systèmes LaAlO_3 amorphe/Si et LaAlO_3 amorphe/ Al_2O_3 monocristallin/Si. Les hétérostructures, préparées par épitaxie par jets moléculaires (EJM), sont caractérisées par des propriétés structurales, physico-chimiques et thermodynamiques très avantageuses : stabilité thermodynamique et interfaces abruptes.

l'interface, d'oxygène provenant probablement d'espèces superficielles contaminantes (H_2O , carbonates) dont la présence est liée en partie aux procédures expérimentales employées.

Des solutions permettant de contourner ces limitations ont été proposées. Il s'agirait notamment d'essayer de limiter les densités de lacunes d'oxygène en utilisant des traitements à base d'oxygène atomique et d'éliminer les contaminations de surface avant les traitements thermiques à haute température. Il restera alors à tester si l'interface LAO/Si reste réellement stable à $1000^\circ C$, comme attendu sur la base de ses propriétés thermodynamiques.

Pour $LaAlO_3/Al_2O_3/Si$, l'intérêt a priori d'avoir une couche épitaxiale d' Al_2O_3 à l'interface était de rendre le système encore plus robuste envers les recuits à haute température (compatibilité CMOS) et de limiter la diffusion d'oxygène. Un autre intérêt pouvait être d'imaginer avoir une interface oxyde/silicium « parfaite » puisque résultant de la jonction de deux monocristaux. La contrepartie était cependant de pouvoir conduire à des EOT plus élevées qu'avec le seul $LaAlO_3$ et aussi de créer une deuxième interface qui pourrait être à l'origine de défauts électriques supplémentaires.

En pratique, une monocouche (0,8nm) de $\gamma-Al_2O_3$ monocristallin est épitaxiée sur le silicium avant d'effectuer des dépôts de $LaAlO_3$ amorphe. Les mesures électriques réalisées ont démontré les bonnes potentialités de ce système bi-couches en termes d'EOT, avec l'obtention d'une valeur de 1,1nm. Les mesures C-V en fréquence ont permis de montrer que la densité de défauts d'interface était de l'ordre de $10^{+12} eV^{-1} \cdot cm^{-2}$, ce qui est relativement faible pour des échantillons « tels que déposés » n'ayant subi aucun traitement. Cependant, l'existence de charges négatives entraîne des perturbations dans les caractéristiques électriques, qui sont toutefois corrigeables avec des recuits post-dépôt appropriés. Il s'est avéré néanmoins impossible de dépasser les $600^\circ C$ sous peine de faire croître à nouveau une couche interfaciale de silice - silicates. Un compromis a donc dû être trouvé : une température de recuit post-dépôt suffisamment haute pour minimiser les charges de volume et d'interface, mais suffisamment faible pour éviter la formation de silicates à l'interface.

L'étude des deux systèmes a donc conforté l'idée que $LaAlO_3$ sous forme amorphe pouvait être sérieusement considéré comme un diélectrique high- κ intrinsèquement très intéressant pour les futures générations CMOS post-22nm. Deux des grands avantages de $LaAlO_3$ sont d'une part que cet oxyde reste amorphe jusqu'à des températures de dépôt très élevées et qu'il est stable thermodynamiquement vis-à-vis du silicium. Il devrait donc être

compatible avec les technologies CMOS standard si les problèmes expérimentaux d'instabilité d'interface étaient résolus. Dans tous les cas, il serait aussi parfaitement compatible avec une technologie «gate-last».

Les limitations, au niveau de la qualité électrique et au niveau de la reproductibilité, rencontrées dans la thèse proviennent pour une bonne part de procédés d'élaboration et de recuit encore mal maîtrisés et donc encore non optimisés et non stabilisés. Certains problèmes sont aussi à attribuer aux limitations du réacteur MBE utilisé.

Une partie des problèmes ont été résolus en fin de thèse avec la mise au point d'une procédure adaptée pour la préparation de surface des substrats de silicium. Une amélioration du réacteur MBE permettra très prochainement d'avoir une bien meilleure gestion de l'oxygène moléculaire et de l'oxygène atomique en cours de croissance. De même, le contrôle des épaisseurs déposées devrait être amélioré même si cela restera un des handicaps du réacteur actuel. Enfin les corrélations entre recuits RTA et mesures XPS, pas disponibles durant la majorité des travaux de la thèse, pourront être pleinement exploités.

Dans les mois à venir, les systèmes a-LAO/Si, a-LAO/Al₂O₃/Si et Gd₂O₃ *épitaxié*/Si continueront à être développés et évalués à l'INL pour les applications CMOS avancées.

De façon plus générale, il apparaît donc que la qualité de dispositifs MOS ou MOSFET dépend bien sûr beaucoup des systèmes de matériaux choisis, mais aussi des outils d'élaboration. Un réacteur EJM spécialement dédié à l'épitaxie et au dépôt d'oxydes serait un vrai plus. Un cluster comprenant le réacteur de dépôt des diélectriques, une deuxième chambre autorisant le dépôt des grilles métalliques et une dernière permettant d'y faire des recuits post-dépôt sous différentes ambiances gazeuses, serait aussi un outil précieux pour la fabrication (sans passage à l'air de l'échantillon) de dispositifs électroniques de qualité.

Notons enfin que si la qualité d'une filière matériaux était démontrée en utilisant la MBE, il serait évidemment imaginable de pouvoir reproduire les résultats avec des techniques de dépôt industrielles comme la MOCVD et l'ALD.

Toujours en s'appuyant sur le savoir-faire préalablement développé à l'INL sur les oxydes monocristallins épitaxiés sur Si, le deuxième objectif, très exploratoire, de la thèse était d'évaluer la faisabilité d'hétérostructures oxyde/silicium/oxyde pour diodes tunnel résonantes. La maîtrise des oxydes épitaxiés sur silicium a en effet relancé l'intérêt pour de

tels dispositifs, qui pourraient devenir compatibles avec la technologie CMOS et offrir des applications nouvelles.

Des simulations quantiques ont été réalisées et des essais de croissance menés pour les systèmes $\text{Al}_2\text{O}_3/\text{Si}$ et $\text{Gd}_2\text{O}_3/\text{Si}$. La principale difficulté rencontrée a été de pouvoir reprendre en épitaxie une couche de silicium bidimensionnelle sans défauts structuraux. Si le système $\text{Al}_2\text{O}_3/\text{Si}$ s'est révélé pour le moment inapproprié et non exploitable avec les équipements actuels, le système $\text{Gd}_2\text{O}_3/\text{Si}$, plus favorable, a permis la réalisation d'hétérostructures de qualité. Une caractéristique I-V de RTD a ainsi pu être observée pour la première fois à température ambiante pour des hétérostructures $\text{Gd}_2\text{O}_3/\text{Si}/\text{Gd}_2\text{O}_3/\text{Si}(111)$. Cela confirme les travaux de pionniers mené par le Groupe d'Osten à Hanovre.

Sur le simple plan de la faisabilité, il peut donc être considéré qu'il serait potentiellement possible de réaliser des RTD oxyde/semi-conducteur/oxyde sur silicium. Un travail équivalent à celui effectué pour maîtriser la croissance épitaxiale des oxydes sur silicium serait néanmoins nécessaire pour optimiser les systèmes Si monocristallin / Oxyde monocristallin et réaliser des dispositifs fonctionnels du point de vue électrique.

Les ingrédients nécessaires pour exploiter sur une même plate-forme silicium la technologie CMOS et une technologie RTD, compatible CMOS, seraient alors réunis. L'intégration des deux technologies resterait toutefois assez complexe. L'exploitation d'une technologie SiGe, bien plus mature, pourrait être une alternative alors plus simple à mettre en œuvre.

D'une façon générale l'intérêt vis-à-vis des RTD est retombé depuis quelques années et ce type de composant n'apparaît plus que comme une niche possible dans la roadmap 2007.

LISTE DES COMMUNICATIONS

PUBLICATIONS DANS REVUES ET PROCEEDINGS

- L. Becerra, C. Merckling, M. El-Kazzi, N. Baboux, B. Vilquin, G. Saint-Girons, C. Plossu, G. Hollinger, « *Impact of a $\gamma\text{-Al}_2\text{O}_3(001)$ barrier on LaAlO_3 MOS capacitor electrical properties* », article accepté pour publication dans J. Vac. Sci. Technol. B, (2008)
- L. Becerra, C. Merckling, N. Baboux, M. El-Kazzi, G. Saint-Girons, B. Vilquin, C. Plossu, G. Hollinger, « *Strategies for CMOS low equivalent oxide thickness achievement with high- κ oxides grown on Si(001) by MBE* », Proceedings Spring MRS, San Francisco, Symposium H, Materials Science of High-k Dielectric Stacks – From Fundamentals to Technology, édité par L. Pantisano, E. Gusev, M. Green, M. Niwa (Mater. Res. Soc. Symp. Proc. Vol. 1073E, Warrendale, PA, 2008), papier numéro 1073-H03-08, (2008)
- L. Becerra, C. Merckling, N. Baboux, C. Plossu, O. Marty, M. El-Kazzi, G. Saint-Girons, B. Vilquin, G. Hollinger, « *Ultralow equivalent oxide thickness obtained for thin amorphous LaAlO_3 layers grown on Si(001)* », Appl. Phys. Lett. 91, 192909, (2007)
- C. Merckling, M. El-Kazzi, L. Becerra, L. Largeau, G. Patriarche, G. Saint-Girons, G. Hollinger, « *Development of robust interfaces based on crystalline $\gamma\text{-Al}_2\text{O}_3(001)$ for subsequent deposition of amorphous high- κ oxides* », Microelectronic Eng. 84, p2243, (2007)
- A. Medjahdi, F. Calmon, N. Baboux, L. Becerra, A. Poncet, « *Vers des oscillateurs intégrés en technologie silicium à base de composants à résistance négative* », 15^{èmes} Journées Nationales Microondes, Toulouse, (mai 2007)

PRÉSENTATIONS ET POSTERS

- L. Becerra, C. Merckling, M. El-Kazzi, N. Baboux, B. Vilquin, G. Saint-Girons, C. Plossu, G. Hollinger, « *Impact of a γ - $Al_2O_3(001)$ barrier on $LaAlO_3$ MOS capacitor electrical properties* », WoDiM, Berlin, poster, (juin 2008)
- L. Becerra, C. Merckling, N. Baboux, M. El-Kazzi, G. Saint-Girons, B. Vilquin, C. Plossu, G. Hollinger, « *Strategies for CMOS low equivalent oxide thickness achievement with high- κ oxides grown on $Si(001)$ by MBE* », Spring MRS, San Francisco, Symposium H, **Contribution Orale**, (mars 2008)
- G. Saint-Girons, G. Delhaye, C. Merckling, M. El-Kazzi, L. Becerra, P. Regreny, G. Patriarche, L. Largeau, C. Priester, J. Cheng, G. Niu, V. Favre-Nicollin, B. Vilquin, G. Grenet, M. Gendry, Y. Robach, G. Hollinger, « *Les systèmes oxydes cristallins/semiconducteur : applications potentielles, propriétés interfaciales et spécificités de la croissance* », Oxydes fonctionnels pour l'intégration en micro- et nanoélectronique, Autrans, conférence invitée, (mars 2008)
- L. Becerra, C. Merckling, M. El-Kazzi, N. Baboux, G. Saint-Girons, B. Vilquin, C. Plossu, G. Hollinger, « *Caractérisation électrique d'oxydes à forte constante diélectrique épitaxiés sur $Si(001)$: évaluation pour applications MOSFET* », Oxydes fonctionnels pour l'intégration en micro- et nanoélectronique, Autrans, poster, (mars 2008)
- C. Merckling, M. El-Kazzi, L. Becerra, G. Saint-Girons, G. Delhaye, G. Patriarche, L. Largeau, V. Fabre-Nicollin, O. Marty, G. Hollinger, « *Epitaxial growth of $LaAlO_3$, Gd_2O_3 & γ - Al_2O_3 on silicon* », Oxydes fonctionnels pour l'intégration en micro- et nanoélectronique, Autrans, poster, (mars 2008)
- M. El-Kazzi, C. Merckling, G. Delhaye, L. Becerra, G. Saint-Girons, G. Grenet, G. Hollinger, « *Caractérisation d'interfaces oxyde/silicium par diffraction de photoélectrons (XPD)* », Journées Surfaces et Interfaces, Grenoble, poster, (mars 2008)

- G. Saint-Girons, C. Merckling, M. El-Kazzi, L. Becerra, P. Regreny, G. Patriarche, L. Largeau, V. Favre-Nicollin, G. Hollinger, « *Molecular Beam Epitaxy of crystalline oxides on Si for C-MOS and for the monolithic integration of semiconductors on Silicon* », Berlin, conférence invitée, (février 2008)
- C. Merckling, L. Becerra, M. El-Kazzi, G. Saint-Girons, G. Delhaye, N. Baboux, C. Plossu, V. Favre-Nicollin, L. Largeau, G. Patriarche, O. Marty, G. Hollinger, « *High- κ oxides grown on Si(001): structural and electrical properties* », INFOS, Athènes, poster, (juin 2007)
- A. Medjahdi, F. Calmon, N. Baboux, L. Becerra, A. Poncet, « *Vers des oscillateurs intégrés en technologie silicium à base de composants à résistance négative* », 15^{èmes} Journées Nationales Microondes, Toulouse, poster, (mai 2007)
- L. Becerra, C. Merckling, M. El-Kazzi, A. Poncet, G. Saint-Girons, L. Militaru, C. Plossu, P. Rojo Romeo, G. Hollinger, « *Resonant Tunneling Diode $Al_2O_3 / Si / Al_2O_3$* », Silicon/oxide Hetero-Epitaxy : A New Road Towards A Si CMOS-Compatible Resonant Tunnel Diode Technology ?, ESF PESC Exploratory Workshop Como, Italie, poster, (septembre 2006)
- C. Merckling, M. El-Kazzi, G. Delhaye, S. Gaillard, L. Becerra, L. Rapenne, B. Chenevier, O. Marty, L. Largeau, G. Patriarche, G. Grenet, M. Gendry, G. Saint-Girons, Y. Robach, G. Hollinger, « *Epitaxial growth of γ - Al_2O_3 and $LaAlO_3$ on Si* », Silicon/oxide Hetero-Epitaxy : A New Road Towards A Si CMOS-Compatible Resonant Tunnel Diode Technology ?, ESF PESC Exploratory Workshop Como, Italie, poster, (septembre 2006)

RÉFÉRENCES BIBLIOGRAPHIQUES

A

[Afanas02] V.V. Afanas'ev, A. Stesmans, B.J. Mrstik, C. Zhao, "Impact of annealing-induced compaction on electronic properties of atomic-layer-deposited Al_2O_3 ", Appl. Phys. Lett. 81, p1678, (2002)

[Afanas04] V.V. Afanas'ev, A. Stesmans, C. Zhao, M. Caymax, T. Heeg, J. Schubert, Y. Jia, D.G. Schlom, G. Lucovsky, "Band alignment between (100)Si and complex rare earth/transition metal oxides", Appl. Phys. Lett. 85, 24, p5917, (2004)

[Allegr06] Thèse de S. Allegret, "Étude d'électrodes métalliques à base de tungstène, préparées par MOCVD, pour empilement de grille CMOS de technologie sub-65 nm", Ecole Centrale de Lyon, France, (2006)

B

[Badyle07] M. Badylevich, S. Shamuilia, V.V. Afanas'ev, A. Stesmans, A. Laha, H.J. Osten, A. Fissel, "Investigation of the electronic structure at interfaces of crystalline and amorphous Gd_2O_3 thin layers with silicon substrates of different orientations", Appl. Phys. Lett. 90, p252101, (2007)

[Becerr07] L. Becerra, C. Merckling, N. Baboux, C. Plossu, O. Marty, M. El-Kazzi, G. Saint-Girons, B. Vilquin, G. Hollinger, "Ultralow equivalent oxide thickness obtained for thin amorphous LaAlO_3 layers grown on Si(001)", Appl. Phys. Lett. 91, p192909, (2007)

[Becer08a] L. Becerra, C. Merckling, M. El-Kazzi, N. Baboux, B. Vilquin, G. Saint-Girons, C. Plossu, G. Hollinger, "Impact of a $\gamma\text{-Al}_2\text{O}_3(001)$ barrier on LaAlO_3 MOS capacitors electrical properties", J. Vac. Sci. Technol. B, article soumis en cours de reviewing, (2008)

[Becer08b] L. Becerra, C. Merckling, N. Baboux, M. El-Kazzi, G. Saint-Girons, B. Vilquin, C. Plossu, G. Hollinger, "Strategies for CMOS low equivalent oxide thickness achievement with high- κ oxides grown on Si(001) by MBE", Proceedings Spring MRS, San Francisco, Symposium H, Vol. 1073E, (2008)

[Bergma99] J.I. Bergman, J. Chang, Y. Joo, B. Matinpour, J. Laskar, N.M. Jokerst, M.A. Brooke, B. Brar, E. Beam, "RTD/CMOS Nanoelectronic Circuits : Thin-Film InP-Based RTD Integrated with CMOS Circuits", IEEE Electron Device Lett. 20, 3, p119, (1999)

[Besmeh05] A. Besmehn, A. Scholl, E. Rije, U. Breuer, "Surface characterisation and interface studies of high- κ materials by XPS and TOF-SIMS", Applied Surface Science 252, p172, (2005)

[Binnig86] G. Binnig, C.F. Quate, C. Gerber, "Atomic force microscope", Phys. Rev. Lett. 56, 9, p930, (1986)

[Boulen07] Thèse de P. Boulenc, "Étude théorique d'interfaces pour l'épitaxie de l'aluminate de lanthane sur silicium", Université de Lille, IEMN, France, (2007)

[Brown88] E.R. Brown, W.D. Goodhue, T.C.L.G. Sollner, "Fundamental oscillations up to 200GHz in RTD and new estimates of their maximum oscillation frequency from stationary-state tunneling theory", J. Appl. Phys. 64, 3, p1519, (1988)

[Brown04] G.A. Brown, "Electrical measurement issues for alternative gate stack systems", tiré de "High dielectric constant materials" de H.R. Huff et D.C. Gilmer, Springer series in Advanced Microelectronics, p521, (2004)

[Brown91] E.R. Brown, J.R. Söderström, C.D. Parker, L.J. Mahoney, K.M. Molvar, T.C. McGill, "Oscillations up to 712 GHz in InAs/AlSb resonant-tunneling diodes", Appl. Phys. Lett. 58, 20, p2291, (1991)

[Buchan00] D.A. Buchanan, E.P. Gusev, E. Cartier, H. Okorn-Schmidt, K. Rim, M.A. Gribelyuk, A. Mocuta, A. Ajmera, M. Copel, S. Guha, N.Bojarczuk, A. Callegari, C. D'Emic, P. Kozłowski, K. Chan, R. J. Fleming, P.C. Jamison, J. Brown, R. Arndt, "80 nm poly-silicon gated n-FETs with ultra-thin Al₂O₃ gate dielectric for ULSI applications", IEDM, p223, (2000)

[Buckle05] J. Buckley, B. De Salvo, D. Deleruyelle, M. Gely, G. Nicotra, S. Lombardo, J.F. Damlencourt, P. Hollinger, F. Martin, S. Deleonibus, "Reduction of fixed charges in atomic layer deposited Al₂O₃ dielectrics", Microelec. Eng. 80, p210, (2005)

[Busani04] T. Busani, R.A.B. Devine, "Molecular volume and electronic and vibrational polarizabilities for amorphous LaAlO₃", J. Appl. Phys. 96, 11, p6642, (2004)

[Busser06] C. Busseret, N. Baboux, C. Plossu, A. Poncet, "Ultra fast full quantum Capacitance and Current-Voltage calculations of MOS capacitors", Proceedings SISPAD, IEEE, (2006)

C

[Cabana97] M.V. Cabanas, C.V. Ragel, F. Conde, J.M. Gonzalez-Calbet, M. Vallet-Regi, "LaAlO₃ thin film deposited on Si(100) and MgO(100) substrates", Solid State Ionics 101-103, p191, (1997)

[Capron07] N. Capron, P. Broqvist, A. Pasquarello, "Migration of oxygen vacancy in HfO₂ and across the HfO₂/SiO₂ interface: A first-principles investigation", Appl. Phys. Lett. 91, p192905, (2007)

[Castag71] R. Castagné, A. Vapaille, "Description of the SiO₂-Si interface properties by means of very low frequency MOS capacitance measurements", Surface Science 28, p157, (1971)

[Chadi79] D.J. Chadi, "Atomic and electronic structures of reconstructed Si(001) surfaces", Phys. Rev. Lett. 43, p433, (1979)

[Chang74] L.L. Chang, L. Esaki, R. Tsu, "Resonant tunneling in semiconductor double barriers", Appl. Phys. Lett. 24, 12, p593, (1974)

[Chang04] Y. Chang, F. Ducroquet, E. Gautier, O. Renault, J. Legrand, J.F. Damlencourt, F. Martin, "Surface preparation and post thermal treatment effects on interface properties of thin Al₂O₃ films deposited by ALD", Microelec. Eng. 72, p326, (2004)

[Chau04] R. Chau, "Advanced Metal Gate/High-K Dielectric Stacks for High-Performance CMOS Transistors", American Vacuum Society 5th International Conference on Microelectronics and Interfaces, Santa Clara, California, (2004)

[Chevoi89] F. Chevoir, B. Vinter, "Calculation of phonon-assisted tunnelling and valley current in a double-barrier diode", Appl. Phys. Lett. 55, 18, p1859, (1989)

[Cho71] A.Y. Cho, "Film Deposition by Molecular Beam Techniques", J. Vac. Sci. Tech. 8, p.S31, (1971)

[Choi07] D. Choi, J.S. Harris, M. Warusawithana, D.G. Schlom, "Annealing condition optimization and electrical characterization of amorphous LaAlO₃ / GaAs metal-oxide-semiconductor capacitors", Appl. Phys. Lett. 90, 243505, (2007)

[Chudob95] <http://www.avtechpulse.com/faq.html/IV.32/rtd.html>, "A Review of the State of the Art in Resonant Tunneling Diodes", M. J. Chudobiak, (1995)

[Chui02] C.O. Chui, S. Ramanathan, B.B. Triplett, P.C. McIntyre, K.C. Saraswat, "Germanium MOS Capacitors Incorporating Ultrathin High-κ Gate Dielectric", IEEE Electron Device Lett. 23, 8, p473, (2002)

[Chung03] S.-Y. Chung, N. Jin, R. Yu, P.R. Berger, P.E. Thompson, R. Lake, S.L. Rommel, S.K. Kurinec, "Monolithic integration of Si/SiGe HBT and Si-based RITD demonstrating latching operation and adjustable PVCRR", IEDM, p296, (2003)

[Chung06] S.-Y. Chung, R. Yu, N. Jin, S.-Y. Park, P.R. Berger, P.E. Thompson, "Si/SiGe RITD with f_{0} 20.2 GHz and Peak Current Density 218 kA/cm² for K-band Mixed-Signal Applications", IEEE Electron Device Lett. 27, 5, p364, (2006)

[Czerno06] M. Czernohorsky, E. Bugiel, H.J. Osten, A. Fissel, O.Kirfel, "Impact of oxygen supply during growth on the electrical properties of cristalline Gd₂O₃ thin films on Si(001)", Appl. Phys. Lett. 88, 152905, (2006)

[Czerno08] M. Czernohorsky, D.Tetzlaff, E. Bugiel, R. Dargis, H.J. Osten, H.D.B. Gottlob, M. Schmidt, M.C. Lemme, H. Kurz, "Stability of crystalline Gd₂O₃ thin films on silicon during rapid thermal annealing", Semicond. Sci. Technol. 23, 035010, (2008)

D

[Davis63] R.H. Davis, H.H. Hosack, "Double barrier in thin-film triodes", J. Appl. Phys. 34, 4, p864, (1963)

[Delhay06] Thèse de G. Delhaye, "Oxydes cristallins à haute permittivité diélectrique épitaxiés sur silicium : SrO et SrTiO₃", Ecole Centrale de Lyon, INL, France, (2006)

[Deluga07] P. Delugas, V. Fiorentini, A. Filippetti, G. Pourtois, "Conservation of dielectric constant upon amorphization in perovskite oxides", Phys. Rev. B 76, p104112, (2007)

[Devine03] R.A.B. Devine, "Infrared and electrical properties of amorphous sputtered (La_xAl_{1-x})₂O₃ films", J. Appl. Phys. 93, 12, p9938, (2003)

[Devos07] I. Devos, P. Boulenc, "Interface between a polar perovskite oxide and silicon from monoatomic lines", Appl. Phys. Lett. 90, p072906, (2007)

[Devos08] I. Devos, P. Boulenc, "Modélisation ab initio d'interfaces oxyde sur silicium", Communication orale, Workshop Oxydes fonctionnels pour l'intégration en micro et nano-électronique, Autrans, (2008)

[Dimoul06] A. Dimoulas, M. Houssa, A. Ritemour, J. Fompeyrine, W. Tsai, J.W. Seo, Y. Panayiotatos, P. Tsipas, D.P. Brunco, M. Caymax, J.-P. Locquet, C. Dieker, "Current challenges in Ge MOS technology", ECS Transactions 3, 2, p371, (2006)

[Droopa01] R. Droopad, Z. Yu, J. Ramdani, L. Hilt, J. Curless, C. Overgaard, J.L. Edwards, J. Finder, K. Eisenbeiser, J. Wang, V. Kaushik, B.-Y. Ngyuen, B. Ooms, "Epitaxial oxides on silicon grown by molecular beam epitaxy", J. Crystal Growth 227-228, p936, (2001)

[Dupuis99] Thèse de O. Dupuis, "Technologies et caractérisation hautes fréquences de composants III-V à effet tunnel résonnant", Chapitre I, Université de Lille, France, (1999)

E

[Eberl01] K. Eberl, R. Duschl, O.G. Schmidt, U. Denker, R. Haug, "Si-based resonant inter- and intraband tunneling diodes", J. of Cryst. Growth 227-228, p770, (2001)

[Edge04a] L.F. Edge, D.G. Schlom, S.A. Chambers, E. Cicerella, J.L. Freeouf, B. Holländer, J. Schubert, "Measurement of the band offsets between amorphous LaAlO₃ and silicon", Appl. Phys. Lett. 84, 5, p726, (2004)

[Edge04b] L.F. Edge, D.G. Schlom, R.T. Brewer, Y.J. Chabal, J.R. Williams, S.A. Chambers, C. Hinkle, G. Lucovsky, Y. Yang, S. Stemmer, M. Copel, B. Holländer, J. Schubert, "Suppression of subcutaneous oxidation during the deposition of amorphous lanthanum aluminate on silicon", Appl. Phys. Lett. 84, 23, p4629, (2004)

[Edge06] Thèse de L.F. Edge, "Growth of amorphous and epitaxial alternative gate dielectrics on silicon by molecular-beam epitaxy and their characterization", Pennsylvania State University, USA, (2006)

[Edge06a] L.F. Edge, W. Tian, V. Vaithyanathan, D.G. Schlom, D. Klenov, S. Stemmer, M.E. Hawley, "Growth and Characterization of Epitaxial La_2O_3 , Sc_2O_3 , and LaScO_3 on Silicon by Molecular Beam Epitaxy for Alternative Gate Dielectric Applications", Proceedings E-MRS Nice, Symposium L, (2006)

[Edge06b] L.F. Edge, D.G. Schlom, P. Sivasubramani, R.M. Wallace, B. Holländer, J. Schubert, "Electrical characterization of amorphous lanthanum aluminate thin films grown by molecular-beam deposition on silicon", Appl. Phys. Lett. 88, p112907, (2006)

[Edon06] V. Edon, M.C. Hugon, B. Agius, L. Miotti, C. Radtke, F. Tatsch, J.J. Ganem, I. Trimaille, I.J.R. Baumvol, "Effects of sputter deposition parameters and post-deposition annealing on the electrical characteristics of LaAlO_3 dielectric films on Si", Appl. Phys. A 83, p289, (2006)

[Edon07] V. Edon, M.C. Hugon, B. Agius, C. Cohen, C. Cardinaud, C. Eypert, "Structural and electrical properties of the interfacial layer in sputter deposited LaAlO_3/Si thin films", Thin Solid Films 515, p7782, (2007)

[Endres07] R. Endres, Y. Stefanov, U. Schwalke, "Electrical characterization of crystalline Gd_2O_3 gate dielectric MOSFETs fabricated by damascene metal gate technology", Microelectronics Reliability 47, 4-5, p528, (2007)

[Engstr07] O. Engström, B. Raeissi, S. Hall, O. Buiiu, M.C. Lemme, H.D.B. Gottlob, P.K. Hurley, K. Cherkaoui, "Navigation aids in the search for future high- κ dielectrics: Physical and electrical trends", Solid-State Electronics 51, p622, (2007)

[Eniac08] <http://www.cordis.lu/ist/eniac>

[Esaki57] L. Esaki, "New phenomenon in narrow germanium p-n junctions", Lett. to the Editor, p603, (1957)

[Esaki74] L. Esaki, "Long journey into tunneling", Rev. Modern Phys. 46, 2, p237, (1974)

[Evers96] N. Evers, O. Vendier, C. Chun, M.R. Murti, J. Laskar, N.M. Jokerst, T.S. Moise, Y.-C. Kao, "Thin Film Pseudomorphic $\text{AlAs}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InAs}$ RTD Integrated onto Si Substrates", IEEE Electron Device Lett. 17, 9, p443, (1996)

F

[Farrow95] R. Farrow, "Molecular beam epitaxy : applications to key materials", Lavoisier, (1995)

[Ferrari07] G. Ferrari, J.R. Watling, S. Roy, J.R. Barker, A. Asenov, "Beyond SiO_2 technology : Simulation of the impact of high- κ dielectrics on mobility", J. Non-Crystalline Solids 353, p630, (2007)

[Fissel06] A. Fissel, Z. Elassar, O. Kirfel, E. Bugiel, M. Czernohorsky, H.J. Osten, "Interface formation during molecular beam epitaxial growth of neodymium oxide on silicon", J. Appl. Phys. 99, 074105, (2006)

[Fisse06a] A. Fissel, D. Kuehne, E. Bugiel, H.J. Osten, "Novel approach for fabrication of single-crystalline insulator/Si/insulator nanostructure", Mater. Res. Soc. Symp. Proc. 928, 0928-GG03-04, (2006)

[Fisse06b] A. Fissel, D. Kühne, E. Bugiel, H.J. Osten, "Fabrication of single-crystalline insulator/Si/insulator nanostructures", J. Vac. Sci. Technol. B 24, 4, p2041, (2006)

[Först05] C.J. Först, K. Schwarz, P.E. Blöchl, "Structural and Electronic Properties of the Interface between the High- κ Oxide LaAlO_3 and $\text{Si}(001)$ ", Phys. Rev. Lett. 95, p137602, (2005)

[Fujits05] R. Fujitsuka, M. Sakashita, A. Sakai, M. Ogawa, S. Zaima, Y. Yasuda, "Thermal Stability and Electrical Properties of $(\text{La}_2\text{O}_3)_{1-x}(\text{Al}_2\text{O}_3)_x$ Composite Films", Jap. J. Appl. Phys. 44, 4B, p2428, (2005)

G

- [Gailla05] Thèse de S. Gaillard, "Elaboration d'oxydes à forte constante diélectrique sur silicium par épitaxie par jets moléculaires", Chapitre I, p30, Ecole Centrale de Lyon, INL, France, (2005)
- [Gaill05a] S. Gaillard, Y. Rozier, C. Merckling, F. Ducroquet, M. Gendry, G. Hollinger, "LaAlO₃ films prepared by MBE on LaAlO₃(001) and Si(001) substrates", *Microelectronic Engineering* 80, p146, (2005)
- [Ghetti99] A. Ghetti, E. Sangiorgi, J. Bude, T.W. Sorsch, G. Weber, "Low Voltage Tunneling in Ultra-Thin Oxides: a Monitor for Interface States and Degradation", *IEEE IEDM*, p731, (1999)
- [Golden06] A. Goldenblum, I. Pintilie, M. Buda, A. Popa, M. Lisca, T. Botila, V. Teodorescu, A. Dimoulas, G. Vellianitis, "Electrical properties of as-grown molecular beam epitaxy high-k gate dielectrics deposited on silicon", *J. Appl. Phys.* 99, p064105, (2006)
- [Gribel07] M.A. Gribelyuk, C. Jr. Cabral, E.P. Gusev, V. Narayanan, "Interfacial microstructure of NiSi_x/HfO₂/SiO_x/Si gate stacks", *Thin Solid Films* 515, 13, p5308, (2007)
- [Guha01] S. Guha, E. Cartier, N.A. Bojarczuk, J. Bruley, L. Gignac, J. Karasinski, "High-quality aluminum oxide gate dielectrics by ultra-high-vacuum reactive atomic-beam deposition", *J. Appl. Phys.* 90, 1, p512, (2001)
- [Guha02] S. Guha, E.P. Gusev, H. Okorn-Schmidt, M. Copel, L.-A. Ragnarsson, N.A. Bojarczuk, P. Ronsheim, "High temperature stability of Al₂O₃ dielectrics on Si: Interfacial metal diffusion and mobility degradation", *Appl. Phys. Lett.* 81, 16, p2956, (2002)
- [Guha08] S. Guha, P. Salomon, M. Copel, E.A. Cartier, V. Narayanan, N. Bojarczuk, "Role of Oxygen in high-k gate Dielectrics", *Communication Orale MRS Spring Meeting 2008, Proceeding Symposium H*, (2008)
- [Guirle02] Thèse de G. Guirleo, "Etude des propriétés électriques et optiques d'hétérostructures Si/CaF₂ déposées sur substrats Si(111)", Chapitre I, Université de la Méditerranée : Aix-Marseille II, France, (2002)
- [Gusev04] E.P. Gusev, C. Jr. Cabral, B.P. Linder, Y.H. Kim, K. Maitra, E. Cartier, H. Nayfeh, R. Amos, G. Biery, N. Bojarczuk, A. Callegari, R. Carruthers, S.A. Cohen, M. Copel, S. Fang, M. Frank, S. Guha, M. Gribelyuk, P. Jamison, R. Jammy, M. Jeong, J. Kedzierski, P. Kozlowski, V. Ku, D. Lacey, D. LaTulipe, V. Narayanan, H. Ng, P. Nguyen, J. Newbury, V. Paruchuri, R. Rengarajan, G. Shahidi, A. Steegen, M. Steen, S. Zafar, Y. Zhang, "Advanced Gate Stacks with Fully Silicided (FUSI) Gates and High-K Dielectrics: Enhanced Performance at Reduced Gate Leakage", *Tech. Digest IEDM*, p79, (2004)
- [Gusev06] E.P. Gusev, V. Narayanan, M.M. Frank, "Advanced high-κ dielectric stacks with poly Si and metal gates : Recent progress and current challenges", *IBM J. Res. & Dev.* 50, 4/5, p387, (2006)

H

- [Heyns06] M. Heyns, M. Meuris, M. Caymax, "Ge and III/V as enabling materials for future CMOS technologies", *ECS Transactions* 3, 7, p511, (2006)
- [Hollin83] G. Hollinger, F.J. Himpsel, "Multiple-bonding configurations for oxygen on silicon surfaces", *Phys. Rev. B* 28, p3651, (1983)
- [Houssa06] M. Houssa, L. Pantisano, L.A. Ragnarsson, R. Degraeve, T. Schram, G. Pourtois, S. De Gendt, G. Groeseneken, M.M. Heyns, "Electrical properties of high-κ gate dielectrics: Challenges, current issues, and possible solutions", *Mat. Sci. and Eng. R* 51, p37, (2006)
- [Hubbar96] H. Hubbard, D.G. Schlom, "Thermodynamic stability of binary oxides in contact with silicon", *J. Mater. Res.* 11, 11, p2757, (1996)
- [Hudait07] M.K. Hudait, G. Dewey, S. Datta, J.M. Fastenau, J. Kavalieros, W.K. Liu, D. Lubyshev, R. Pillarisetty, W. Rachmady, M. Radosavljevic, T. Rakshit, R. Chau, "Heterogeneous Integration of Enhancement

Mode $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ Quantum Well Transistor on Silicon Substrate using Thin ($< 2 \mu\text{m}$) Composite Buffer Architecture for High-Speed and Low-voltage (0.5V) Logic Applications”, IEEE, IEDM, p625, (2007)

I

[Inoue86] M. Inoue, K. Ueda, “Interaction between Kikuchi lines and surface waves in RHEED pattern of Si(001) surface”, Jap. J. Appl. Phys. 25, p165, (1986)

[Intel05] <http://www.intel.com/technology/mooreslaw>

[Intel07] http://www.intel.com/pressroom/kits/45nm/index.htm?iid=tech_arch_45nm+body_presskit

[Ioanno04] V. Ioannou-Sougleridis, V. Constantoudisa, M. Alexeb, R. Scholzb, G. Vellianitisc, A. Dimoulas, “Effects on surface morphology of epitaxial Y_2O_3 layers on Si(001) after postgrowth annealing”, Thin Solid Films 468, p303, (2004)

[Ishida00] M. Ishida, Y.-C. Jung, H. Miura, Y. Koji, K. Sawada, M. Yoshimoto, M. Keisuke, M. Takahumi, M. Hideaki, “Effect of Al pre-deposition layer on the epitaxial growth of silicon on $\text{Al}_2\text{O}_3/\text{Si}(111)$ substrates”, Thin Solid Films 369, p134, (2000)

[ITRS07] International Technology Roadmap for Semiconductors, <http://www.itrs.net/reports.html>

J

[Jin03a] N. Jin, S.-Y. Chung, A.T. Rice, P.R. Berger, P.E. Thompson, C. Rivas, R. Lake, S. Sudirgo, J.J. Kempisty, B. Curanovic, S.L. Rommel, K.D. Hirschman, S. K. Kurinec, P.H. Chi, D.S. Simons, “Diffusion barrier cladding in Si/SiGe RTD and their patterned growth on PMOS source/drain regions”, IEEE Transactions on Electron Devices 50, 9, p1876, (2003)

[Jin03b] N. Jin, S.-Y. Chung, A.T. Rice, P.R. Berger, “151 kA/cm² peak current densities in Si/SiGe RTD for high-power mixed-signal applications”, Appl. Phys. Lett. 83, 16, p3308, (2003)

[Johnso01] R.S. Johnson, G. Lucovsky, I. Baumvol, “Physical and electrical properties of noncrystalline Al_2O_3 prepared by remote plasma enhanced chemical vapour deposition”, J. Vac. Sci. Technol. A 19, 4, p1353, (2001)

[Jun04] J.H. Jun, D.J. Choi, “A study on the lanthanum aluminate thin film as a gate dielectric material”, Jap. J. Appl. Phys. 43, 11, p7576, (2004)

[Jun06] J.H. Jun, D.J. Choi, “Effects of the wet air on the properties of the lanthanum oxide and lanthanum aluminate thin films”, Thin Solid Films 504, p205, (2006)

[Jun08] J.H. Jun, H.J. Kim, D.J. Choi, “Effect of hydration on the properties of lanthanum oxide and lanthanum aluminate thin films”, Ceramics International 34, p957, (2008)

K

[Kakush05] K. Kakushima, K. Tsutsui, T. Hattori, H. Iwai, “Lanthanum Oxide for Gate Dielectric Insulator”, Electron Devices and Solid-State Circuits, IEEE Conference, p161, (2005)

[Kamata08] Y. Kamata, “High- κ / Ge MOSFETs for future nanoelectronics”, Materials Today 11, p30, (2008)

[Kanaz07a] T. Kanazawa, A. Morosawa, R. Fujii, T. Wada, Y. Suzuki, M. Watanabe, M. Asara, “Suppression of leakage current of $\text{CdF}_2/\text{CaF}_2$ RTD structures grown on Si(001) substrates by nanoarea local epitaxy”, Jap. J. Appl. Phys. 46, 6A, p3388, (2007)

[Kanaz07b] T. Kanazawa, R. Fujii, T. Wada, Y. Suzuki, M. Watanabe, M. Asara, “Room temperature NDR of $\text{CdF}_2/\text{CaF}_2$ double-barrier RTD structures grown on Si(001) substrates”, Appl. Phys. Lett. 90, 092101, (2007)

- [Kazzi07] Thèse de M. El-Kazzi, "Etude par photoémission (XPS & XPD) d'hétérostructures d'oxydes fonctionnels épitaxiés sur silicium", Ecole Centrale de Lyon, INL, France, (2007)
- [Khatun06] M.H. Khatun, M. Shahjahan, R. Ito, K. Sawada, M. Ishida, "Investigation of nanocrystalline Epi-Si/ γ -Al₂O₃ heterostructure deposited on Si substrate by spectroscopic ellipsometry", *Thin Solid Films* 508, p65, (2006)
- [Khatun07] M.H. Khatun, M. Shahjahan, K. Sawada, M. Ishida, "Capacitance-voltage characteristics and switching time of double barrier RTD fabricated with epi-Si and γ -Al₂O₃", *Physica E* 36, p123, (2007)
- [Kim04] H. Kim, A. Marshall, P.C. McIntyre, K.C. Saraswat, "Crystallization kinetics and microstructure-dependent leakage current behavior of ultrathin HfO₂ dielectrics: In situ annealing studies", *Appl. Phys. Lett.* 84, 12, p2064, (2004)
- [Kim06] S. Kim, E. Yoon, M. Kim, S. Suk, M. Li, L. Jun, C. Oh, K. Yeo, S. Lee, Y. Choi, N.-Y. Kim, Y.-Y. Yeoh, H.-B. Park, C. Kim, H.-M. Kim, D.-C. Kim, H. Park, H. Kim, Y. Lee, D.-W. Kim, D. Park, B.-I. Ryu, "TiN/HfSiO_x Gate Stack Multi-Channel Field Effect Transistor (McFET) for Sub 55nm SRAM Application", *VLSI Technology, Digest of Technical Papers*, p72, (2006)
- [Klausm89] E. Klausmann, W.R. Fahrner, D. Braunig, "The electronic states of the Si-SiO₂ interface", G. Barbottin, A. Vapaille (Eds.), *Silicon Passivation and Related Instabilities, Instabilities in silicon devices*, Amsterdam, p271, (1989)
- [Klenov05] D.O. Klenov, D.G. Schlom, H. Li, S. Stemmer, "The interface between single crystalline (001) LaAlO₃ and Si(001) silicon", *Jap. J. Appl. Phys.* 44, 20, pL617, (2005)
- [Knizhn05] A.A. Knizhnik, I.M. Iskandarova, A.A. Bagatur'yants, B.V. Potapkin, L.R.C. Fonseca, A. Korokin, "First-principles calculations of the electrical properties of LaAlO₃ and its interface with Si", *Phys. Rev. B* 72, p235329, (2005)
- [Krug00] C. Krug, E.B.O. da Rosa, R.M.C. de Almeida, J. Morais, I.J.R. Baumvol, T.D.M. Salgado, F.C. Stedile, "Atomic Transport and Chemical Stability during Annealing of Ultrathin Al₂O₃ Films on Si", *Phys. Rev. Lett.* 85, 19, p4120, (2000)
- [Kundu02a] M. Kundu, M. Ichikawa, N. Miyata, "Effect of oxygen pressure on the structure and thermal stability of ultrathin Al₂O₃ films on Si(001)", *J. Appl. Phys.* 91, 1, p492, (2002)
- [Kundu02b] M. Kundu, N. Miyata, M. Ichikawa, "Investigation of the effect of high-temperature annealing on stability of ultrathin Al₂O₃ films on Si(001)", *J. Appl. Phys.* 92, 4, p1914, (2002)

L

- [Laha07] A. Laha, H.J. Osten, A. Fissel, "Influence of interface layer composition on the electrical properties of epitaxial Gd₂O₃ thin films for high-k application", *Appl. Phys. Lett.* 90, p113508, (2007)
- [Lake98] R. Lake, B. Brar, G.D. Wilk, A. Seabaugh, G. Klimeck, "Resonant Tunneling in Disordered Materials such as SiO₂/Si/SiO₂", *IEEE*, p617, (1998)
- [Lee00a] B.H. Lee, R. Choi, L. Kang, S. Gopalan, R. Nieh, K. Onishi, Y. Jeon, W.-J. Qi, C. Kang, J.C. Lee, "Characteristics of TaN gate MOSFET with ultrathin hafnium oxide (8Å-12Å)", *IEDM*, p39, (2000)
- [Lee00b] B.H. Lee, L. Kang, R. Nieh, W.J. Qi, J.C. Lee, "Thermal stability and electrical characteristics of ultrathin hafnium oxide gate dielectric reoxidized with rapid thermal annealing", *Appl. Phys. Lett.* 76, 14, p1926, (2000)
- [Lee00c] J.H. Lee, K. Koh, N.I. Lee, M.H. Cho, Y.K. Kim, J.S. Jeon, K.H. Cho, H.S. Shin, M.H. Kim, K. Fujihara, H.K. Kang, J.T. Moon, "Effect of Polysilicon Gate on the Flatband Voltage Shift and Mobility Degradation for ALD-Al₂O₃ Gate Dielectric", *IEDM*, p645, (2000)
-

- [Lee02] G.W. Lee, J.H. Lee, H.W. Lee, M.K. Park, D.G. Kang, H.K. Youn, "Trap evaluations of metal-oxide-silicon field-effect transistors with high-k gate dielectric using charge pumping method", *Appl. Phys. Lett.* 81, 11, p2050, (2002)
- [Lee07a] K.Y. Lee, W.C. Lee, M.L. Huang, C.H. Chang, Y.J. Lee, Y.K. Chiu, T.B. Wu, M. Hong, R. Kwo, "A novel approach of using a MBE template for ALD growth of high- κ dielectrics", *Journal of Crystal Growth* 301-302, p378, (2007)
- [Lee07b] T.H. Lee, D.K. Cha, J.G. Wang, J. Jeon, J. Kim, R.M. Wallace, B.E. Gnade, M.J. Kim, "HRTEM Study on the interface of Si-based RTD by UHV Wafer Bonding Technology", *Microsc. Microanal.* 13 (Suppl 2), p804 CD, (2007)
- [LeThan00] V. Le Thanh, D. Bouchier, G. Hincelin, "Low-temperature formation of Si(001)-2 \times 1 surfaces from wet chemical cleaning in NH₄F solution", *J. Appl. Phys.* 87, p3700, (2000)
- [Levin98] I. Levin, D. Brandon, "Metastable Alumina Polymorphs: Crystal Structures and Transition Sequences", *J. Am. Ceram. Soc.* 81, p1995, (1998)
- [Li00] Thèse de W. Li, "Characterization of High- κ Gate Stacks in Metal-Oxide-Semiconductor Capacitors", Chapitre II, North Carolina State University, USA, (2000)
- [Li03] A.D. Li, Q.Y. Shao, H.Q. Ling, J.B. Cheng, D. Wu, Z.G. Liu, N.B. Ming, C. Wang, H.W. Zhou, B.Y. Nguyen, "Characteristics of LaAlO₃ gate dielectrics on Si grown by metalorganic chemical vapor deposition", *Appl. Phys. Lett.* 83, 17, p3540, (2003)
- [Liang06] Y.Liang, N.D. Theodore, J. Curless, C. Tracy, "Physical and electrical properties of nanolaminated HfO₂/LaAlO₃/HfO₂ dielectric on Si", *J. Appl. Phys.* 99, p066110, (2006)
- [Lim02] S.G. Lim, S. Kriventsov, T.N. Jackson, J.H. Haeni, D.G. Schlom, A.M. Balbashov, R. Uecker, P. Reiche, J.L. Freeouf, G. Lucovsky, "Dielectric functions and optical bandgaps of high-k dielectrics for metal-oxide-semiconductor field-effect transistors by far ultraviolet spectroscopic ellipsometry", *J. Appl. Phys.* 91, p4500, (2002)
- [Lim04] B.S. Lim, A. Rahtu, P. de Rouffignac, R.G. Gordon, "Atomic layer deposition of lanthanum aluminum oxide nano-laminates for electrical applications", *Appl. Phys. Lett.* 84, 20, p3957, (2004)
- [Lin03] C. Lin, J. Kang, D. Han, D. Tian, W. Wang, J. Zhang, M. Liu, X. Liu, R. Han, "Electrical properties of Al₂O₃ gate dielectrics", *Microelec. Eng.* 66, p830, (2003)
- [Locque06] J.P. Locquet, C. Marchiori, M. Sousa, J. Fompeyrine, J.W. Seo, "High-K dielectrics for the gate stack", *J. Appl. Phys.* 100, 051610, (2006)
- [Lontsi08] M. Lontsi-Fomena, A. Villesuzanne, J.-P. Doumerc, C. Frayret, M. Pouchard, "A density functional theory study of oxygen diffusion in LaAlO₃ and SrTiO₃", *Computational Materials Science*, doi:10.1016/j.commatsci.2008.01.046, (2008)
- [Lopes07a] J.M.J. Lopes, M. Roeckerath, T. Heeg, U. Littmark, J. Schubert, S. Mantl, Y. Jia, D.G. Schlom, "La-based ternary rare-earth oxides as alternative high- κ dielectrics", *Microelectronic Engineering* 84, p1890, (2007)
- [Lopes07b] J.M.J. Lopes, U. Littmark, M. Roeckerath, S. Lenk, J. Schubert, S. Mantl, A. Besmehn, "Effects of annealing on the electrical and interfacial properties of amorphous lanthanum scandate high-k films prepared by molecular beam deposition", *J. Appl. Phys.* 101, p104109, (2007)
- [Lu03] X.B. Lu, Z.G. Liu, Y.P. Wang, Y. Yang, X.P. Wang, H.W. Zhou, B.Y. Nguyen, "Structure and dielectric properties of amorphous LaAlO₃ and LaAlO_xN_y films as alternative gate dielectric materials", *J. Appl. Phys.* 94, 2, p1229, (2003)

[Lu04a] X.B. Lu, H.B. Lu, Z.H. Chen, X. Zhang, R. Huang, H.W. Zhou, X.P. Wang, B.Y. Nguyen, C.Z. Wang, W.F. Xiang, M. He, B.L. Cheng, "Field-effect transistors with LaAlO₃ and LaAlO_xN_y gate dielectrics deposited by laser molecular-beam epitaxy", *Appl. Phys. Lett.* 85, 16, p3543, (2004)

[Lu04b] H.B. Lu, Z.H. Chen, W.F. Xiang, M. He, B.L. Cheng, H.W. Zhou, X.P. Wang, C.Z. Wang, B.Y. Nguyen, "Thermal stability of LaAlO₃/Si deposited by laser molecular-beam epitaxy", *Appl. Phys. Lett.* 84, 14, p2620, (2004)

[Lu05] X.B. Lu, H.B. Lu, J.Y. Dai, Z.H. Chen, M. He, G.Z. Yang, H.L.W. Chan, C.L. Choy, "Oxygen pressure dependence of physical and electrical properties of LaAlO₃ gate dielectric", *Microelec. Eng.* 77, p399, (2005)

M

[Maezaw98] K. Maezawa, H. Matsuzaki, M. Yamamoto, T. Otsuji, "High-speed and low-power operation of a resonant tunneling logic gate MOBILE", *IEEE Electron Device Lett.* 19, 3, p80, (1998)

[Maekaw07] H. Maekawa, Y. Sano, C. Ueno, Y. Suda, "High current density and high PVCR Si/Si_{1-x}Ge_x DQW RTD formed with quadruple-layer buffer", *J. of Cryst. Growth* 301-302, p1017, (2007)

[Mathew99] R.H. Mathews, J.P. Sage, T.C.L.G. Sollner, S.D. Calawa, C.-L. Chen, L.J. Mahoney, P.A. Maki, K.M. Molvara, "A New RTD-FET Logic Family", *Proceedings of the IEEE* 87, 4, p596, (1999)

[Mathie01] H. Mathieu, "Physique des semi-conducteurs et des composants électroniques", Ed. Dunod, (2001)

[Mathie04] H. Mathieu, "Physique des semiconducteurs et des composants électroniques", Structure métal-isolant-semiconducteur capacité mos, 3^{ème} édition, Dunod, p267-298, (2004)

[Mazumd98] P. Mazumder, S. Kulkarni, M. Bhattacharya, J.P. Sun, G.I. Haddad, "Digital circuit applications of resonant tunnelling devices", *Proceedings of the IEEE* 86, 4, p664, (1998)

[McKee98] R.A. McKee, F.J. Walker, M.F. Chisholm, "Crystalline Oxides on Silicon: The First Five Monolayers", *Phys. Rev. Lett.* 81, p3014, (1998)

[Merckl06] C. Merckling, M. El-Kazzi, G. Delhaye, M. Gendry, G. Saint-Girons, G. Hollinger, L. Largeau, G. Patriarche, "Pseudomorphic molecular beam epitaxy growth of γ -Al₂O₃(001) on Si(001) and evidence for spontaneous lattice reorientation during epitaxy", *Appl. Phys. Lett.* 89, p232907, (2006)

[Merckl07] Thèse de C. Merckling, "Croissance épitaxiale d'oxydes high- κ sur silicium pour CMOS avancé : LaAlO₃, Gd₂O₃, γ -Al₂O₃", Ecole Centrale de Lyon, INL, France, (2007)

[Merck07a] C. Merckling, M. El-Kazzi, G. Delhaye, V. Favre-Nicolin, Y. Robach, M. Gendry, G. Grenet, G. Saint-Girons, G. Hollinger, "Strain relaxation and critical thickness for epitaxial LaAlO₃ thin films grown on SrTiO₃(001) substrates by molecular beam epitaxy", *Journal of Crystal Growth* 306, 1, p47, (2007)

[Merck07b] C. Merckling, G. Delhaye, M. El-Kazzi, S. Gaillard, Y. Rozier, L. Rapenne, B. Chenevier, O. Marty, G. Saint-Girons, M. Gendry, Y. Robach, G. Hollinger, "Epitaxial growth of LaAlO₃ on Si(001) using interface engineering", *Microelectronics Reliability* 47, p540, (2007)

[Merck07c] C. Merckling, M. El-Kazzi, L. Becerra, L. Largeau, G. Patriarche, G. Saint-Girons, G. Hollinger, "Development of robust interfaces based on crystalline γ -Al₂O₃(001) for subsequent deposition of amorphous high- κ oxides", *Microelec. Eng.* 84, p2243, (2007)

[Merck07d] C. Merckling, M. El-Kazzi, G. Saint-Girons, G. Hollinger, L. Largeau, G. Patriarche, V. Favre-Nicolin, O. Marty, "Growth of crystalline γ -Al₂O₃ on Si by molecular beam epitaxy: Influence of the substrate orientation", *J. Appl. Phys.* 102, p024101, (2007)

[Mereu04] B. Mereu, G. Sarau, A. Dimoulas, G. Apostolopoulos, I. Pintilie, T. Botila, L. Pintilie, M. Alexe, "Electrical properties of metal-oxide-silicon structures with LaAlO₃ as gate oxide", *Materials Science and Engineering B* 109, p94, (2004)

- [Miki98] K. Miki, K. Sakamoto, T. Sakamoto, "Surface preparation of Si substrates for epitaxial growth", *Surface Science* 406, p312, (1998)
- [Miotti05] L. Miotti, K.P. Bastos, C. Driemeier, V. Edon, M.C. Hugon, B. Agius, I.J.R. Baumvol, "Effects of post-deposition annealing in O₂ on the electrical characteristics of LaAlO₃ films on Si", *Appl. Phys. Lett.* 87, p022901, (2005)
- [Miotti06] L. Miotti, F. Tatsch, C. Driemeier, K.P. Bastos, V. Edon, M.C. Hugon, B. Agius, I.J.R. Baumvol, C. Krug, "Composition, stability and oxygen transport in lanthanum and hafnium aluminates thin films on Si", *Nuclear Instruments and Methods in Physics Research B* 249, p366, (2006)
- [Mizuta95] H. Mizuta, T. Tanoue, "The physics and applications of resonant tunnelling diodes", Cambridge studies in semiconductor physics and microelectronic engineering, Cambridge University Press, (1995)
- [Moffat93] C. Moffat, "A Survey of Nanoelectronics", Report N° 94/2, Image Processing Group Department of Physics and Astronomy, University College London, (1993)
- [Mogles86] C. Moglestue, "Self-consistent calculation of electron and hole inversion charges at silicon-silicon dioxide interface", *J. Appl. Phys.* 59, p3175, (1986)
- [Morimo00] K. Morimoto, H. Sarada, K. Morita, "Monolithic integration of Si-interband tunneling diodes with a MOSFET for ultralow voltage operation SRAM", *FED Journal* vol.11, Supplement, (2000)
- [Muller99] D. Muller, T. Sorsch, S. Moccio, "The electronic structure at the atomic scale of ultrathin gate oxides", *Nature* 399, 6738, p758, (1999)

N

- [Nabata03] T. Nabatame, T. Yasuda, M. Nishizawa, M. Ikeda, T. Horikawa, A. Toriumi, "Comparative Studies on Oxygen Diffusion Coefficients for Amorphous and γ -Al₂O₃ Films using ¹⁸O Isotope", *Jpn. J. Appl. Phys.* 42, p7205, (2003)
- [Namats97] H. Namatsu, S. Horiguchi, Y. Takahashi, M. Nagase, K. Kurihara, "Fabrication of SiO₂/Si/SiO₂ double barrier diodes using two-dimensional Si structures", *Jap. J. Appl. Phys.* 36, p3669, (1997)
- [Naraya08] V. Narayanan, "High-k/Metal Gates - From Research Lab to Market Reality", *ECS Trans.* 13, 111, (2008)
- [Nicoll82] E.H. Nicollian, J.R. Brews, "MOS Physics and Technology", Wiley & Sons, (1982)
- [Niemin01] M. Nieminen, T. Sajavaara, E. Rauhala, M. Putkonen, L. Niinistö, "Surface-controlled growth of LaAlO₃ thin films by atomic layer epitaxy", *J. Mater. Chem.* 11, p2340, (2001)
- [Nolan05] M. Nolan, S. Grigoleit, D.C. Sayle, S.C. Parker, G.W. Watson, "Density functional theory studies of the structure and electronic structure of pure and defective low index surfaces of ceria", *Surf. Sci.* 576, p217, (2005)
- [Norton04] D.P. Norton, "Synthesis and properties of epitaxial electronic oxide thin-film materials", *Mat. Sci. Eng. R* 43, p139, (2004)

O

- [Okada04] T. Okada, K. Sawada, M. Ishida, M. Shahjahan, "Fabrication of metal-oxide-semiconductor field-effect transistors using crystalline γ -Al₂O₃ films as the gate dielectrics", *Appl. Phys. Lett.* 85, 21, p5004, (2004)
- [Okada05] T. Okada, M. Shahjahan, K. Sawada, M. Ishida, "Fabrication of Crystalline HfO₂ High- κ Dielectric Films Deposited on Crystalline γ -Al₂O₃ Films", *Jpn. J. Appl. Phys.* 44, p2320, (2005)

[Okada06] T. Okada, M. Ito, K. Sawada, M. Ishida, "Growth of epitaxial γ -Al₂O₃(111) films with smooth surfaces on chemically oxidized Si(111) substrates using an Al-N₂O mixed source molecular beam epitaxy", *J. Cryst. Growth* 290, 1, p91, (2006)

[Osten02] H.J. Osten, J.P. Liu, E. Bugiel, H.J. Müssig, P. Zaumseil, "Growth of crystalline praseodymium oxide on silicon", *J. Crystal Growth* 235, p229, (2002)

[Osten07] H.J. Osten, D. Kuehne, E. Bugiel, A. Fissel, "Fabrication of single-crystalline insulator/Si/insulator double-barrier nanostructure using cooperative vapor-solid-phase epitaxy", *Physica E* 38, p6, (2007)

[OSulli07] B.J. Sullivan, G. Pourtois, V.S. Kaushik, J.A. Kittl, L. Pantisano, S. De Gendt, M. Heyns, "Charge characterization in metal-gate/high- κ layers: Effect of post-deposition annealing and gate electrode", *Appl. Phys. Lett.* 91, 033502, (2007)

P

[Palest07] P. Palestri, N. Barin, D. Brunel, C. Busseret, A. Campera, P.A. Childs, F. Driussi, C. Fiegna, G. Fiori, R. Gusmeroli, G. Iannaccone, M. Karner, H. Kosina, A.L. Lacaita, E. Langer, B. Majkusiak, C. Monzio Compagnoni, A. Poncet, E. Sangiorgi, L. Selmi, A.S. Spinelli, J. Walczak, "Comparison of Modeling Approaches for the Capacitance-Voltage and Current-Voltage Characteristics of Advanced Gate Stacks", *IEEE Trans. on Elec. Dev.* 54, 1, p106, (2007)

[Park01] B.E. Park, H. Ishiwara, "Electrical properties of LaAlO₃/Si and Sr_{0.8}Bi_{2.2}Ta₂O₉/LaAlO₃/Si structures", *Appl. Phys. Lett.* 79, 6, p806, (2001)

[Park03] B.-E. Park, H. Ishiwara, "Formation of LaAlO₃ films on Si(100) substrates using molecular beam deposition", *Appl. Phys. Lett.* 82, 8, p1197, (2003)

[Pasqua01] L. Pasquali, S. d'Addato, G. Selvaggi, S. Nannarone, N.S. Sokolov, S.M. Sutorin, H. Zogg, "Formation of CaF₂ nanostructures on Si(001)", *Nanotechnology* 12, p403, (2001)

[Paul02] D.J. Paul, P. See, K.-F. Berggren, B. Holländer, S. Mantl, N. Griffin, B.P. Coonan, G. Redmond, G.M. Crean, "n-type Si/SiGe RTD", *Materials Science and Eng.* B89, p26, (2002)

[Paul04] D.J. Paul, "Si/SiGe heterostructures : from material and physics to devices and circuits", *Semicond. Sci. Technol.* 19, Topical Review, pR75, (2004)

[Pinto04] H.P. Pinto, H.R. Nieminen, S.D. Elliott, "Ab initio study of γ -Al₂O₃ surfaces", *Phys. Rev. B* 70, p125402, (2004)

[Poncet02] http://www.insa-lyon.fr/Laboratoires/LPM/nano/act_fichiers/tech_mod.html, "Techniques d'analyse: modélisation de dispositifs", A. Poncet, (2002)

Q

[Qi02] Q. Qi, J. Liu, X. Cao, J. Zhou, S. Zhang, C. Kefa, "Stability of CaF₂ at high temperature", *Huan Jing Ke Xue*, 23(3):111-4, (2002)

R

[Ranuar06] J.C. Ranuarez, M.J. Deen, C.-H. Chen, "A review of gate tunneling current in MOS devices", *Microelectronics Reliability* 46, p1939, (2006), équation (14)

[Reiner08] J.W. Reiner, A. Posadas, M. Wang, T.P. Ma, C.H. Ahn, "Growth and structural properties of crystalline LaAlO₃ on Si (001)", *Microelectronic Engineering* 85, p36, (2008)

[Roadma05] Roadmap 2005, Emerging research devices, <http://www.itrs.net/Links/2005ITRS/ERD2005.pdf>

[Robert00] J. Robertson, "Band offsets of wide-band-gap oxides and implications for future electronic devices", *J. Vac. Sci. Technol. B* 18, p1785, (2000)

[Robert06] J. Robertson, "High dielectric constant gate oxides for metal oxide Si transistors", *Rep. Prog. Phys.* 69, p327, (2006)

[Rommel99] S.L. Rommel, T.E. Dillon, P.R. Berger, P.E. Thompson, K.D. Hobart, R. Lake, A.C. Seabaugh, "Epitaxially grown Si RTD exhibiting high current densities", *IEEE Electron Device Lett.* 20, 7, p329, (1999)

[Rossel06] C. Rossel, B. Mereu, C. Marchiori, D. Caimi, M. Sousa, A. Guiller, H. Siegwart, R. Germann, J.-P. Locquet, J. Fompeyrine, D.J. Webb, C. Dieker, J.W. Seo, "Field-effect transistors with SrHfO₃ as gate oxide", *Appl. Phys. Lett.* 89, 053506, (2006)

[Rozier07] Thèse de Y. Rozier, "Caractérisation d'oxydes cristallins à haute permittivité (LaAlO₃, SrTiO₃) en vue d'une intégration en microélectronique", Chapitres I et II, INSA de Lyon, INL, France, (2007)

S

[SaintG07] G. Saint-Giron, P. Regreny, L. Largeau, G. Patriarche, G. Hollinger, "Monolithic integration of InP based heterostructures on silicon using crystalline Gd₂O₃ buffers", *Appl. Phys. Lett.* 91, p241912, (2007)

[Sandu01] T. Sandu, R. Lake, W.P. Kirk, "The effect of interface quality on Si/SiO₂ RTD", *Superlattices and Microstructures* 30, 4, (2001)

[Sawada88] K. Sawada, M. Ischida, T. Nakamura, N. Ohtake, "Metalorganic molecular beam epitaxy of γ -Al₂O₃ films on Si at low growth temperatures", *Appl. Phys. Lett.* 52, p1672, (1988)

[Schlom02] D.G. Schlom, J.H. Haeni, "A thermodynamic approach to selecting alternative gate dielectrics", *MRS Bulletin* 27, 3, p198, (2002)

[Schlom08] D.G. Schlom, J.M. Panfile, M. Warusawithana, C. Adamo, T. Heeg, N. Goel, S. Koveshnikov, P. Majhi, W. Tsai, C.M. Garner, D.H. Choi, J.S. Harris, Y. Nishi, S. Oktyabrsky, Y. Sun, P. Pianetta, H. Wen, C. Gaspe, J.C. Keay, M.B. Santos, L.V. Goncharova, E. Garfunkel, T. Gustafsson, "Gate dielectrics with high- κ , high optical band gap, and stability in contact with III-V semiconductors", *Spring MRS San Francisco, Proceedings, Symposium H, session H6.5*, (2008)

[See01] P. See, D.J. Paul, B. Holländer, S. Mantl, I.V. Zozoulenko, K.-F. Berggren, "High performance Si/Si_{1-x}Ge_x RTD", *IEEE Electron Device Lett.* 22, 2, p182, (2001)

[Shahj02a] M. Shahjahan, N. Takahashi, K. Sawada, M. Ishida, "Fabrication and electrical characterization of crystalline Al₂O₃ gate dielectric films on Si(001) and Si(111) by molecular beam epitaxy", *Jpn. J. Appl. Phys.* 41, pL1474, (2002)

[Shahj02b] M. Shahjahan, Y. Koji, K. Sawada, M. Ishida, "Fabrication of RTD by γ -Al₂O₃/Si multiple heterostructures", *Jap. J. Appl. Phys.* 41, p2602, (2002)

[Shahja04] M. Shahjahan, T. Okada, K. Sawada, M. Ishida, "Effect of Annealing on Physical and Electrical Properties of Ultrathin Crystalline γ -Al₂O₃ High-k Dielectric Deposited on Si Substrates", *Jpn J. Appl. Phys.* 43, 8A, p5404, (2004)

[Shao03] Q.Y. Shao, A.D. Li, H.Q. Ling, D. Wu, Y. Wang, Y. Feng, S.Z. Yang, Z.G. Liu, M. Wang, N.B. Ming, "Growth and characterization of Al₂O₃ gate dielectric films by low-pressure metalorganic chemical vapor deposition", *Microelec. Eng.* 66, p842, (2003)

[Shao05] Q.Y. Shao, A.D. Li, J.B. Cheng, H.Q. Ling, D. Wu, Z.G. Liu, Y.J. Bao, M. Wang, N.B. Ming, C. Wang, H.W. Zhou, B.Y. Nguyen, "Growth behavior of high-k LaAlO₃ films on Si by metalorganic chemical vapor deposition for alternative gate dielectric application", *Appl. Surf. Sci.* 250, p14, (2005)

- [Shewch85] T. J. Shewchuk, P. C. Chapin, P. D. Coleman, W. Kopp, R. Fischer, and H. Morkoç, “Resonant tunneling oscillations in a GaAs-Al_xGa_{1-x}As heterostructure at room temperature”, *Appl. Phys. Lett.* 46, 5, p508, (1985)
- [Sivasu05] P. Sivasubramani, M.J. Kim, B.E. Gnade, R.M. Wallace, L.F. Edge, D.G. Schlom, H.S. Craft, J.P. Maria, “Outdiffusion of La and Al from amorphous LaAlO₃ in direct contact with Si(001)”, *Appl. Phys. Lett.* 86, p201901, (2005)
- [Sivasu06] P. Sivasubramani, J. Kim, M.J. Kim, B.E. Gnade, R.M. Wallace, “Effect of nitrogen incorporation on the thermal stability of sputter deposited lanthanum aluminate dielectrics on Si(100)”, *Appl. Phys. Lett.* 89, p152903, (2006)
- [Sollne83] T.C.L.G. Sollner, W.D. Goodhue, P.E. Tannenwald, C.D. Parker, D.D. Peck, “Resonant tunnelling through quantum wells at frequencies up to 2.5THz”, *Appl. Phys. Lett.* 43, 6, p588, (1983)
- [Stekol02] A.A. Stekolnikov, J. Furthmüller, F. Bechstedt, “Absolute surface energies of group-IV semiconductors : Dependence on orientation and reconstruction”, *Phys. Rev. B* 65, 11, 115318, (2002)
- [Stesma06] A. Stesmans, K. Clémer, V.V. Afanas’ev, L.F. Edge, D.G. Schlom, “Nature and stability of the (100)Si/LaAlO₃ interface probed by paramagnetic defects”, *Appl. Phys. Lett.* 89, p112121, (2006)
- [Sudirg03] Thèse de S. Sudirgo, “The Integration of Si-based Resonant Interband Tunnel Diodes with CMOS”, Rochester Institute of Technology, New York, USA, (2003)
- [Sun98] J.P. Sun, G.I. Haddad, P. Mazumder, J.N. Schulman, “Resonant tunneling diodes : models and properties”, *Proceedings of the IEEE*, vol. 86, 4, p641, (1998)
- [Sun08] Q.-Q. Sun, S.-J. Ding, D.W. Zhang, A. Laha, H.J. Osten, A. Fissel, “Effective Passivation of Intrinsic Dangling Bonds at the Interface of Single Crystalline Gd₂O₃ and Si(100)”, *Appl. Phys. Lett.* 92, 152908, (2008)
- [Suzuki05] M. Suzuki, M. Tomita, T. Yamaguchi, N. Fukushima, “Ultra-thin (EOT=3Å) and low leakage dielectrics of La-aluminate directly on Si substrate fabricated by high temperature deposition”, *Int. Electron Devices Meeting, IEDM Technical Digest*, (2005)
- [Suzuki08] M. Suzuki, T. Yamaguchi, N. Fukushima, M. Koyama, “LaAlO₃ gate dielectric with ultrathin equivalent oxide thickness and ultralow leakage current directly deposited on Si substrate”, *J. Appl. Phys.* 103, p034118, (2008)
- [Sweeny88] M. Sweeny, J. Xu, “Resonant interband tunnel diodes”, *Appl. Phys. Lett.* 54, 6, p546, (1988)
- [Sze81] S.M. Sze, “Physics of semiconductor devices”, Wiley, seconde édition, (1981)
- [Sze90] S.M. Sze, “High-speed semiconductor devices”, Wiley, (1990)

T

- [Takaya85] T. Takayanagi, Y. Tanashiro, M. Takahashi, S. Takahashi, “Structural analysis of Si(111)-7×7 by UHV-transmission electron diffraction and microscopy”, *J. Vac. Sci. Tech. A* 3, p1502, (1985)
- [Tezuka07] T. Tezuka, N. Hirashita, Y. Moriyama, S. Nakaharai, N. Sugiyama, S. Takagi, “Strain analysis in ultrathin SiGe-on-insulator layers formed from strained Si-on-insulator substrates by Ge-condensation process”, *Appl. Phys. Lett.* 90, 181918, (2007)
- [Thomps99] P.E. Thompson, K.D. Hobart, M.E. Twigg, G.G. Jernigan, T.E. Dillon, S.L. Rommel, P.R. Berger, D.S. Simons, P.H. Chi, R. Lake, A.C. Seabaugh, “Si RITD grown by low-temperature MBE”, *Appl. Phys. Lett.* 75, 9, p1308, (1999)

[Triyos05] D.H. Triyoso, H. Li, R.I. Hegde, Z. Yu, K. Moore, J. Grant, B.E. White, P.J. Tobin, "Lanthanum aluminate by atomic layer deposition and molecular beam epitaxy", *J. Vac. Sci. Technol. B* 23, 6, p2480, (2005)

[Tsao93] J.Y. Tsao, "Materials Fundamentals of Molecular Beam Epitaxy", Academic Press, (1993)

[Tse07] K. Tse, D. Liu, K. Xiong, J. Robertson, "Oxygen vacancies in high-k oxides", *Microelec. Eng.* 84, p2028, (2007)

[Tsybes00] L. Tsybeskov, G.F. Grom, M. Jungo, "Nanocrystalline silicon superlattices : building blocks for quantum devices", *Materials Science & Engineering B, Solid State Materials for Advanced Technology*, vol. B69-70, p303, (2000)

V

[Vander98] J.P.A. van der Wagt, A.C. Seabaugh, E.A. Beam, "RTD/HFET low standby power SRAM gain cell", *IEEE Electron Device Lett.* 19, 1, p7, (1998)

[Vellia04] G. Vellianitis, G. Apostolopoulos, G. Mavrou, K. Argyropoulos, A. Dimoulas, J.C. Hooker, T. Conard, M. Butcher, "MBE lanthanum-based high-k gate dielectrics as candidates for SiO₂ gate oxide replacement", *Materials Science and Engineering B* 109, p85, (2004)

W

[Wado95] H. Wado, T. Shimizu, M. Ischida, "Epitaxial growth of γ -Al₂O₃ layers on Si(111) using Al source and N₂O gas molecular beam epitaxy", *Appl. Phys. Lett.* 67, p2200, (1995)

[Wang05] C.R. Wang, M. Bierkandt, S. Paprotta, T. Wietler, K.R. Hofmann, "CaF₂/Si/CaF₂ RTD grown by B surfactant-mediated epitaxy", *Appl. Phys. Lett.* 86, 033111, (2005)

[Watana00] M. Watanabe, Y. Iketani, M. Asada, "Epitaxial Growth and Electrical Characteristics of CaF₂/Si/CaF₂ RTD Structures Grown on Si(111) 1°-off Substrate", *Jpn. J. Appl. Phys.* 39, 10A, pL964, (2000)

[Webele08] <http://www.webelements.com>

[Weisbu91] C. Weisbuch, B. Vinter, "Quantum semiconductor structures - Fundamentals and applications", Academic Press Inc., (1991)

[Wilk01] G.D. Wilk, R.M. Wallace, J.M. Anthony, "High- κ gate dielectrics : Current status and materials properties considerations", *J. Appl. Phys. (Appl. Phys. Rev.)* 89, 10, p5243, (2001)

[Wu06] H. Wu, Y. Zhao, M.H. White, "Quantum mechanical modeling of MOSFET gate leakage for high-k gate dielectrics", *Solid-State Electronics* 50, p1164, (2006)

X

[Xiang03] W. Xiang, H. Lü, L. Yan, H. Guo, L. Liu, Y. Zhou, G. Yang, J. Jiang, H. Cheng, T.D. Lee, Z. Chen, "Characteristics of LaAlO₃/Si(100) deposited under various oxygen pressures", *J. Appl. Phys.* 93, 1, p533, (2003)

[Xiang04] W.F. Xiang, H.B. Lu, Z.H. Chen, X.B. Lu, M. He, H. Tian, Y.L. Zhou, C.R. Li, X.L. Ma, "Heteroepitaxial growth of LaAlO₃ films on Si(100) by laser molecular beam epitaxy", *J. Crystal Growth* 271, p165, (2004)

[Xiang05a] W.F. Xiang, H.B. Lu, Z.H. Chen, M. He, Y.L. Zhou, "Oxygen pressure dependence of properties of epitaxial LaAlO₃ films grown on Si(100)", *Chin. Phys. Lett.* 22, 6, p1515, (2005)

[Xiang05b] W.F. Xiang, H.B. Lu, Z.H. Chen, M.He, X.B. Lu, L.F. Liu, H.Z. Guo, Y.L. Zhou, “N-doped LaAlO₃/Si(100) films with high-k low-leakage current and good thermal stability”, *Chin. Phys. Lett.* 22, 1, p182, (2005)

[Xiang06] W.F. Xiang, Y.Z. Liu, H.B. Lu, L. Yan, M. He, Z.H. Chen, “Interfacial control of LaAlO₃ films deposited on Si(100) using a thin La-Al-Si-O silicate film as the barrier layer”, *Thin Solid Films* 515, p2722, (2006)

[Xu06] M. Xu, C.H. Xu, S.J. Ding, H.L. Lu, D.W. Zhang, L.K. Wang, “Spectroscopic and electrical properties of atomic layer deposition Al₂O₃ gate dielectric on surface pretreated Si substrate”, *J. Appl. Phys.* 99, p074109, (2006)

Y

[Yan03] L. Yan, H.B. Lu, G.T. Tan, F. Chen, Y.L. Zhou, G.Z. Yang, W. Liu, Z.H. Chen, “High quality, high-k gate dielectric: amorphous LaAlO₃ thin films grown on Si(100) without Si interfacial layer”, *Appl. Phys. A* 77, p721, (2003)

[Yan04] L. Yan, L.B. Kong, C.K. Ong, “The effect of ultra-thin Al₂O₃ layers on the dielectric properties of LaAlO₃ thin film on silicon”, *Semicond. Sci. Technol.* 19, p935, (2004)

[Yang99] K.J. Yang, C. Hu, “MOS Capacitance Measurements for High-Leakage Thin Dielectrics”, *IEEE Transactions on Electron Devices* 46, 7, p1500, (1999)

[Yasuha06] R. Yasuhara, M. Komatsu, H. Takahashi, S. Toyoda, J. Okabayashi, H. Kumigashira, M. Oshimaa, D. Kukuruznyak, T. Chikyow, “Composition dependence of band offsets for (LaAlO₃)_{1-x}(Al₂O₃)_x gate dielectrics determined by photoelectron spectroscopy and x-ray absorption spectroscopy”, *Appl. Phys. Lett.* 89, p122904, (2006)

[Yeo02] Y.C. Yeo, T.J. King, C. Hu, “Direct tunneling leakage current and scalability of alternative gate dielectrics”, *Appl. Phys. Lett.* 81, 11, p2091, (2002)

[Yu04] D.S. Yu, A. Chin, C.C. Laio, C.E. Lee, C.E. Cheng, W.J. Chen, C. Zhu, M.-F. Liz, W.J. Yoo, S.P. McAlister, D.L. Kwong, “3D GOI CMOSFETs with Novel IrO₂(Hf) Dual Gates and High-κ Dielectric on IP6M-0.18μm-CMOS”, *IEDM*, p181, (2004)

[Yuki95] K. Yuki, Y. Hirai, K. Morimoto, K. Inoue, M. Niwa, J. Yasui, “Fabrication of novel Si double-barrier structures and their characteristics”, *Jap. J. Appl. Phys.* 34, p860, (1995)

AUTORISATION DE SOUTENANCE

Vu les dispositions de l'arrêté du 7 août 2006,

Vu la demande du Directeur de Thèse

Monsieur G. HOLLINGER

et les rapports de

Madame C. DUBOURDIEU
Directeur de Recherche CNRS - Laboratoire des Matériaux et du Génie Physique
Unité mixte de recherche CNRS/Grenoble INP 5628 - Grenoble INP-Minatec - 3 parvis L. Néel - BP 257
38016 GRENOBLE cedex 1

et de

Monsieur D. GOGUENHEIM
Directeur de Recherche (HDR) - ISEN Toulon - IM2NP - Institut Supérieur d'Electronique et du Numérique
(ISEN) - Maison des Technologies - Place G. Pompidou - 83000 TOULON

Monsieur BECERRA Loïc

est autorisé à soutenir une thèse pour l'obtention du grade de **DOCTEUR**

Ecole doctorale **ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE (EEA)**

Fait à Ecully, le 4 décembre 2008

P/Le Directeur de l'E.C.L.
La Directrice des Etudes

