

T1115

THÈSE

présentée devant

L'ÉCOLE CENTRALE DE LYON

pour obtenir

le titre de DOCTEUR-INGÉNIEUR
Spécialité : Electronique
« Dispositifs de l'Electronique Intégrée »

par

Dominique Sebillé
Ingénieur I.N.S.A. LYON

ÉCOLE CENTRALE DE LYON
BIBLIOTHÈQUE
36, avenue Bay de Castongue
69130 ECULLY
Téléphone 043.27.00

ÉTUDE DU COMPORTEMENT DE LA JONCTION ÉMETTEUR-BASE D'UN TRANSISTOR SILICIUM A TRÈS HAUTE DENSITÉ D'INTÉGRATION

soutenue le 27 avril 1982 devant la Commission d'examen

Jury	MM. J.J. URGELL	Président
	J.L. AUCOUTURIER	
	J. BELMAS	
	J.P. CHANTE	Examineurs
	A. MIRCEA	
	P. PINARD	

File 1 71115

THÈSE

présentée devant

L'ÉCOLE CENTRALE DE LYON

pour obtenir

**le titre de DOCTEUR-INGÉNIEUR
Spécialité : Electronique
« Dispositifs de l'Electronique Intégrée »**

par

Dominique Sebille
Ingénieur I.N.S.A. LYON

ÉCOLE CENTRALE DE LYON
BIBLIOTHÈQUE
20, rue de Colongue
69622 ECULLY



ÉTUDE DU COMPORTEMENT DE LA JONCTION ÉMETTEUR-BASE D'UN TRANSISTOR SILICIUM A TRÈS HAUTE DENSITÉ D'INTÉGRATION

soutenue le 27 avril 1982 devant la Commission d'examen

Jury	MM. J.J. URGELL	Président
	J.L. AUCOUTURIER	
	J. BELMAS	
	J.P. CHANTE	Examineurs
	A. MIRCEA	
	P. PINARD	

T-1115
ÉCOLE CENTRALE DE LYON
BIBLIOTHÈQUE
BP 163 F - 69131 ECULLY CEDEX

ECOLE CENTRALE DE LYON

DIRECTEUR / A. MOIROUX
DIRECTEUR ADJOINT R. RICHE

DEPARTEMENTS D'ENSEIGNEMENT ET DE RECHERCHE

MATHEMATIQUES-INFORMATIQUE-SYSTEMES	C.M. BRAUNER J.F. MAITRE
PHYSIQUE-CHIMIE	P. CLECHET J. CURRAN
METALLURGIE PHYSIQUE-MATERIAUX	P. GUIRALDENQ D. TREHEUX
ELECTRONIQUE	J.J. URGELL P. VIKTOROVITCH
ELECTROTECHNIQUE	Ph. AURIOL A. FOGGIA
MECANIQUE DES SOLIDES	F. SIDOROFF
MECANIQUE DES SURFACES	J.M. GEORGES J. SABOT J. DIMNET
MECANIQUE DES FLUIDES ET ACOUSTIQUE	J. MATHIEU G. COMTE-BELLOT (Mlle) D. JEANDEL
MACHINES THERMIQUES	X. LYS M. BRUN
CONCEPTION ET DEVELOPPEMENT DE PRODUITS	R. RUSSIER E. DELALANDE

à mes parents,

"De l'expérience.

*Il n'est désir plus naturel que le
désir de connoissance. Nous essayons
tous les moyens qui nous y peuvent
mener.*

*Quand la raison nous faut nous y
employons l'expérience, qui est un
moyen plus foible et moins digne ;
mais la vérité est chose si grande ;
que nous ne devons desdaigner aucune
entremise qui nous y conduise..."*

F. MONTAIGNE

"Les Essais (livre III, Chap.XII)

AVANT-PROPOS

Pour ce travail effectué au Laboratoire d'Electronique, Automatique et Mesures Electriques de l'Ecole Centrale de Lyon :

mes remerciements vont à Mr P. PINARD, Professeur à l'INSA de Lyon qui m'a encouragé à entreprendre ce travail de recherche ;

je remercie de même Mr le Professeur J.J. URGELL, actuellement à la DAST Renault, de m'avoir accueilli dans son laboratoire à l'Ecole Centrale de Lyon et d'avoir accepté de présider ce jury de thèse ;

je tiens également à exprimer ma gratitude pour l'honneur qu'ils m'ont fait en acceptant de participer à cette commission d'examen :

*Mr J.L. AUCOUTURIER, Professeur à l'Université de Bordeaux I,
Mr J. BELMAS, Directeur technique à la Société des Semi-conducteurs ALCATEL,*

Mr A. MIRCEA, Responsable du Département Technologie et Physique des Composants au CNET Bagneux ;

toute ma reconnaissance va à Mr J.P. CHANTE, Maître-Assistant à l'Ecole Centrale de Lyon, pour l'expérience et l'enthousiasme qu'il a apportés dans l'encadrement de ce travail ;

je tiens à remercier Mr P. VIKTOROVITCH, Chargé de Recherche au CNRS, Directeur de l'Equipe de Recherche Associée (n° 661) de l'Ecole Centrale de Lyon, pour l'intérêt qu'il a porté à mes travaux ainsi qu'à mon manuscrit ;

J. SIMON, Ingénieur CNAM, technicien au Laboratoire d'Electronique de l'Ecole Centrale de Lyon, sait ce que ce travail lui doit, je me contenterai de rappeler que notre collaboration s'est effectuée dans le meilleur climat d'amitié possible et je l'en remercie ;

Mademoiselle N. VIALLY, secrétaire au Laboratoire, a su mettre en valeur le manuscrit, je lui en suis reconnaissant ainsi qu'à E. BAUDELLOT et M. LE HELLEY pour leur amitié, J.C. LABORIER pour sa compétence en microscopie électronique et P. ANDREO pour l'impression de ce mémoire.

SOMMAIRE

LISTE DES SYMBOLES	1
INTRODUCTION	3
CHAPITRE I : GÉNÉRALITÉS SUR LES COMPOSANTS VLSI	7
I .1. Procédé de fabrication d'un transistor bipolaire	9
I .2. Difficulté de conception d'un transistor intégré	9
I .2.1. Performances fréquentielles	11
I .2.2. Défocalisation des lignes de courant	11
I .2.3. Augmentation du facteur de bruit	12
I .2.4. Diminution du gain	12
I .2.5. Tenue en tension	13
I .2.6. Remarques	14
I .3. Présentation des structures étudiées	14
I .4. Conclusion	19
CHAPITRE II : MESURE DU GAIN INTERNE EN AVALANCHE	21
II.1. Conduction en avalanche	23
II.2. Méthode d'avalanche en faible multiplication	26
II.2.1. Hypothèses sur le phénomène d'avalanche	28
II.2.2. Relations fondamentales	28
II.3. Expérimentation	34
II.3.1. Montage expérimental	36
II.3.2. Analyse des oscillations	43
II.3.3. Synthèse du montage expérimental	46
a. Circuit collecteur	46
b. Déclenchement de la conduction	50
c. Extraction de I_{Bext}	51
d. Remarques	51
e. Conclusion	51
II.4. Mesures réalisées	52
II.5. Modélisation	55

II.6. Interprétation des mesures	66
II.7. Conclusion	70
CHAPITRE III : ANALYSE DES PHÉNOMÈNES DE SURFACE DANS UN TRANSISTOR VLSI	73
III.1. Introduction	75
III.2. Interface Si-SiO ₂	76
III.2.1. Origine des recombinaisons de surface	79
III.2.2. Transistor tétrode	80
III.3. Utilisation du Microscope Electronique à Balayage (MEB)	86
III.3.1. Présentation du problème	86
III.3.2. Conditions d'irradiations	90
III.4. Expérimentations	95
III.4.1. Mise en évidence des recombinaisons	95
III.4.2. Résultats obtenue	96
III.4.3. Interprétation des mesures	99
III.5. Conclusion	100
CONCLUSION - PERSPECTIVES	101
ANNEXES	A.1
ANNEXE I : Modèle de la jonction collecteur-base	A.3
ANNEXE II : Amplificateur ± 120 V	A.11
ANNEXE III : Courbes expérimentales $\log V_{CE} = f(\log(1 - \alpha_{ext}))$	A.15
ANNEXE IV : Calcul du gain	A.27
ANNEXE V : Résultats de modélisation	A.33
ANNEXE VI : Courbes de pénétration des électrons dans différents matériaux	A.45

BIBLIOGRAPHIE

LISTE DES SYMBOLES UTILISÉS

(Chapitres I et II)

D_{nB}, D_{nE}	Coefficient de diffusion des électrons dans la base (l'émetteur)
D_{pE}	Coefficient de diffusion des trous dans l'émetteur
ϵ	Champ électrique de la jonction collecteur-base
H	Longueur de l'émetteur
I_{Bext}	Courant inverse de base
I_C, I_E	Courant total de collecteur (d'émetteur)
I_n	Courant d'électron injecté dans la base
I_{pE}	Courant de trou injecté dans l'émetteur
L	Largeur de la structure
L_{pE}	Longueur de diffusion des trous dans l'émetteur
V_{CEO}	Tension collecteur-émetteur en avalanche
M, M_n	Coefficient de multiplication (des électrons)
n	Exposant de Miller
N_{DE}	Dopage d'émetteur
n_{iE}, n_{iB}	Concentration intrinsèque dans l'émetteur (la base)
P_A	Dopage de base
q	Charge élémentaire
Q_B, Q_E	Charge des atomes dopant la base (l'émetteur)
Q_{SE}, Q_{SB}	Charge stockée dans l'émetteur (la base)
$R_{db'}$	Résistance ohmique de base
U_T	Potentiel thermique
V_B	Coefficient de la formule de Miller
V_{BE}	Tension base-émetteur
V_{CE}	Tension collecteur-émetteur
Z_B	Profondeur de base active (P^+)

.../...

α	Gain en base commune
α_n, α_p	Vitesse d'ionisation des électrons (trous)
α_{ext}	Gain externe en base commune
β	Gain du transistor en émetteur commun
γ	Efficacité d'injection de la jonction base-émetteur
μ_{pB}	Mobilité des trous dans la base
ρ_B	Résistivité de la base
τ_{nB}	Temps de transit des électrons dans la base
ψ	Densité spectrale de bruit

INTRODUCTION

INTRODUCTION

Le premier composant électronique actif fabriqué a été un transistor bipolaire. Par la suite, ce type de structure a reçu toutes les améliorations technologiques possibles, apparition, par exemple, de la technologie PLANAR. Cependant, le souci pour les constructeurs de produire moins cher à performances égales a entraîné le développement, au début des années 1970, d'un autre type de composant, le transistor MOS dont les processus technologiques sont plus simples. Ainsi, à l'heure actuelle, la filière bipolaire ne représente plus que 20 % du chiffre d'affaire mondial de l'électronique. Il semblerait que cette valeur soit un minimum car ces dernières années, le cahier des charges des entreprises d'électronique a sensiblement évolué ; les besoins de plus en plus importants des télécommunications ont nécessité l'emploi de transistors très hautes fréquences facilement intégrables.

Pour parvenir à ces fins, la filière à grille isolée se heurte aux problèmes des canaux très courts et aux effets nouveaux que cela entraîne (électrons ballistiques...). Aussi, les composants bipolaires sont-ils réapparus comme une des solutions possibles pour l'avenir, en concurrence avec les transistors MESFET sur GaAs ou autres.

L'utilisation de structures bipolaires en très hautes fréquences nécessite la maîtrise parfaite des technologies employées afin de réaliser des couches suffisamment minces de façon reproductible. De plus, la nécessité d'intégrer les circuits dans un minimum de matériau entraîne la diminution des surfaces des composants élémentaires.

Ces impératifs aboutissent souvent à une dégradation de la qualité du dispositif. Pour certains types de circuits intégrés et notamment pour la logique dite ECL (Emitter Coupled Logic) une des caractéristiques essentielles des transistors employés est leur gain. En effet, dans ce type de logique, les dispositifs ne fonctionnent pas en "saturé-bloqué" mais en régime linéaire, des gains de valeur correcte (≈ 60) sont donc nécessaires.

La diminution des dimensions pose le problème des effets de bord notamment à la jonction base-émetteur qui font décroître l'efficacité d'injection. Dans cette partie de la structure qui remonte vers la surface, les dopages augmentent et la quantité de défauts peut faire de même, ce qui entraîne une dégradation des performances du transistor.

Il est donc intéressant de pouvoir accéder à une caractéristique d'un transistor à très haute densité d'intégration (VLSI) indépendante des effets de bord à la jonction base-émetteur : ce sera, par exemple, l'efficacité d'injection du centre de la diode d'émetteur.

Dans un premier temps, ce travail présente de façon générale un transistor bipolaire VLSI puis les structures utilisées pour l'étude avec leurs principales caractéristiques ainsi que les processus technologiques utilisés pour leur fabrication.

Ensuite, le chapitre II traite de la méthode de mesure de l'efficacité d'injection du centre de la jonction émetteur-base. Le principe de la mesure est exposé puis le montage expérimental est présenté. Une analyse des problèmes de mesure est réalisée et des solutions sont proposées. Enfin, les mesures obtenues à l'aide de ce montage sont l'objet d'une interprétation qui a pu être développée grâce à la mise au point d'un modèle de simulation numérique du comportement de la jonction émetteur-base.

Le chapitre III aborde un problème connexe à la mesure de l'efficacité d'injection centrale, à savoir l'influence du bord de la jonction émetteur-base sur les caractéristiques du transistor. Les phénomènes de recombinaison à l'interface Si-SiO₂ sont plus particulièrement étudiés grâce à l'utilisation d'un microscope électronique à balayage. La méthode expérimentale et l'interprétation des résultats terminent ce chapitre.

Enfin, nous concluons sur le travail et ses éventuels prolongements dans un avenir proche.

CHAPITRE I

GÉNÉRALITÉS SUR LES COMPOSANTS
À TRÈS HAUTE DENSITÉ D'INTÉGRATION
(V. L. S. I.)

CHAPITRE I

GENERALITES SUR LES COMPOSANTS A TRES HAUTE DENSITE D'INTEGRATION (V. L. S. I.)

I.1. PROCEDE DE FABRICATION D'UN TRANSISTOR BIPOLAIRE INTEGRE

Un des procédés utilisés pour la fabrication d'un transistor NPN intégré suit la séquence d'opérations décrite sur la figure I.1.

Cette figure montre que ce processus est long et qu'il peut se produire pendant la fabrication des incidents ayant des causes multiples [¹,²] mais qui aboutissent souvent à rendre le transistor inutilisable. Parmi ces incidents, nous pouvons citer le court-circuit émetteur-collecteur. Il est le plus souvent dû à des ions implantés dopant l'émetteur qui parcourent dans le silicium une distance plus grande que ce que leur énergie pouvait laisser supposer. Ce phénomène est connu sous le nom de "canalisation" et aboutit au schéma de la figure I.2 où la base est court-circuitée ; dans ce cas, le transistor se comporte comme une résistance morte et sera incapable d'amplifier un signal. Ce phénomène se produit d'autant plus facilement dans les circuits intégrés très large échelle que l'épaisseur de la couche P⁺ de base active est en général inférieur à 0,3 µm.

Il apparaît donc, d'après ce que nous venons de voir, que la fabrication de circuits VLSI nécessite une bonne maîtrise des différentes techniques employées (épitaxie, implantation...).

I.2. DIFFICULTES DE CONCEPTION D'UN TRANSISTOR INTEGRE

Les performances d'un transistor bipolaire sont liées à ses paramètres physiques. La difficulté de conception d'un composant réside dans le fait que tous ces paramètres sont fortement interdépendants ; par exemple, du fait de son gradient de concentration, le dopage moyen de la base est facteur de l'épaisseur d'émetteur. Nous allons cependant essayer d'analyser le rôle que jouent les différents paramètres sur le comportement d'un transistor.

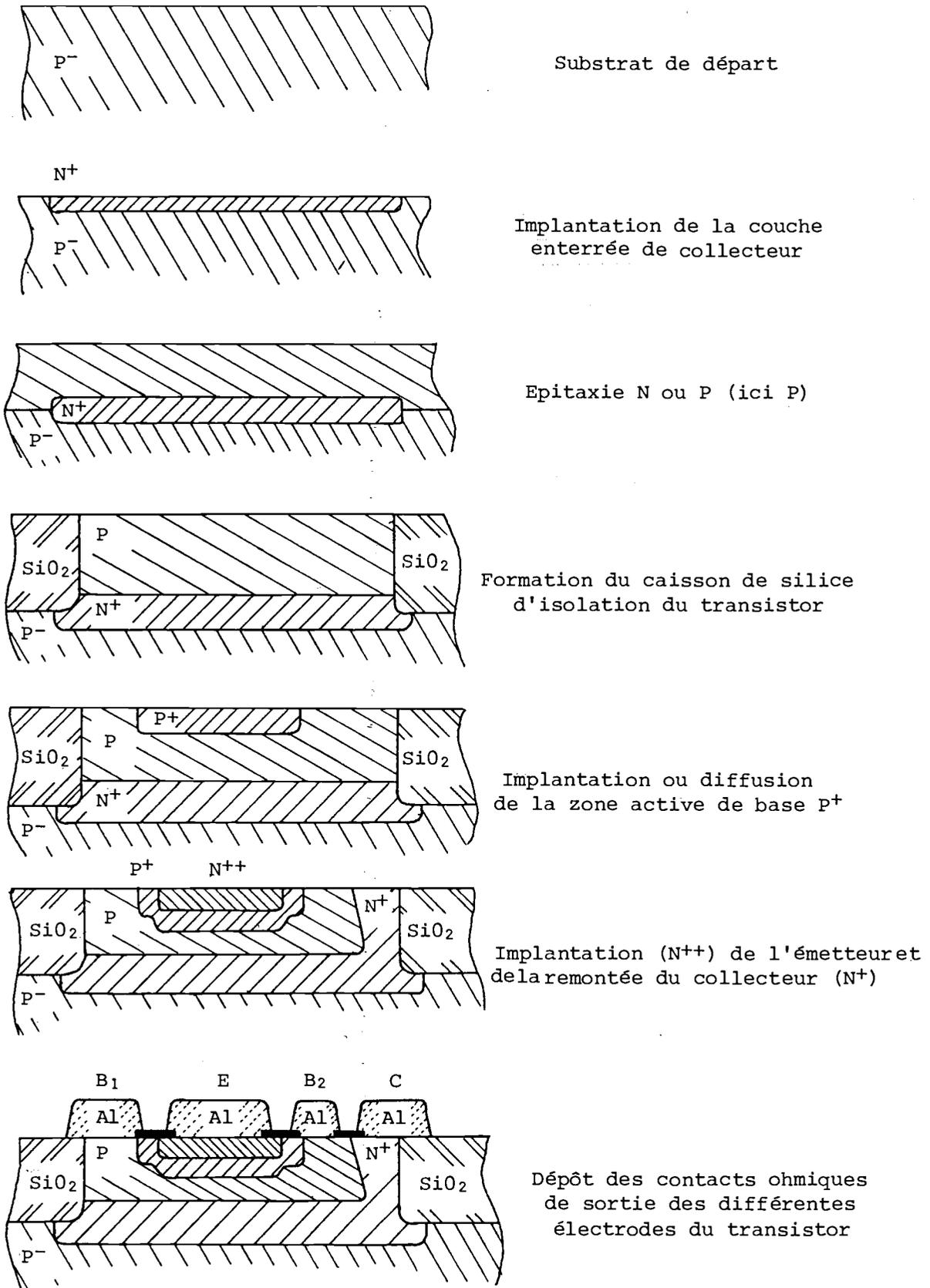


Figure I.1 : Processus de fabrication d'un transistor.

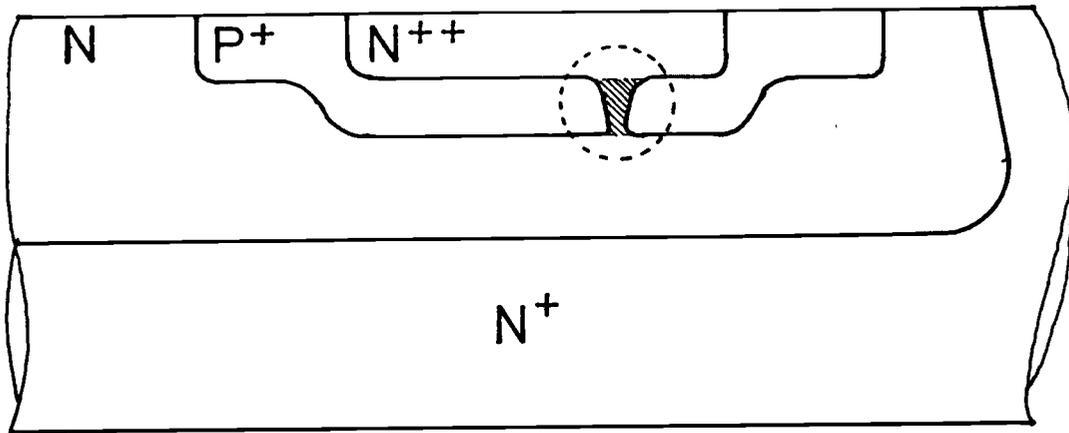


Figure I.2 : Schéma d'un transistor intégré montrant (dans le cercle en pointillé) le court-circuit émetteur-collecteur dû au phénomène de canalisation

I.2.1. Performances fréquentielles

La rapidité d'un circuit bipolaire est limitée par les capacités des différentes jonctions, l'intérêt de la VLSI apparaît donc double :

- diminuer les surfaces (donc les capacités) des jonctions,
- augmenter la densité d'intégration.

Mais la fréquence de transition d'un transistor bipolaire NPN dépend également du temps de transit (τ_{nb}) des électrons dans la base. La diminution de l'épaisseur de la base peut permettre l'amélioration de τ_{nb} mais, si l'épaisseur de base est réduite, c'est sa résistance ohmique qui est augmentée et cela peut conduire à deux phénomènes défavorables :

- la défocalisation,
- l'augmentation du facteur de bruit du transistor.

I.2.2. Défocalisation des lignes de courant

Nous savons [3] que la défocalisation des lignes de courant entraîne une polarisation non uniforme de la jonction base-émetteur qui se trouve davantage polarisée sur les côtés que vers son centre. Le composant conduit donc avec les bords de la diode émetteur-base ce qui a pour effet d'augmenter la densité de courant (la surface de conduction est réduite) et de provoquer le phénomène de forte injection

à plus bas niveau de courant. De plus, il est probable que les bords de la jonction base-émetteur n'aient pas d'aussi bonnes performances à la fois de gain et de temps de transit des électrons ; la qualité du transistor en sera donc réduite d'autant.

I.2.3. Augmentation du facteur de bruit du transistor

Nous savons en effet qu'outre les conditions de polarisation d'un transistor, l'élément sur lequel nous ne pouvons pas intervenir et qui détermine le facteur de bruit du composant est la résistance de base $R_{bb'}$. Dans un transistor "maigri", cette résistance peut atteindre des valeurs importantes (plusieurs $k\Omega$). Si l'épaisseur de la base est diminuée, cela aboutira à l'augmentation de la résistance $R_{bb'}$ qui s'exprime en fonction de l'épaisseur de base active, Z_B par :

$$R_{bb'} = \frac{K}{Z_B}$$

K : coefficient dans lequel sont exprimées les autres caractéristiques de la base, telles que : le niveau de dopage, la largeur, etc...

L'objectif sera donc de diminuer l'épaisseur de base sans en augmenter la résistance propre, la solution la plus évidente est donc d'accroître le niveau de dopage de la base. Cette modification va entraîner un autre effet négatif qui est la diminution du gain du transistor.

I.2.4. Diminution du gain

Le gain d'un transistor dépend fortement du rapport des charges des atomes dopants dans l'émetteur et dans la base, respectivement Q_E et Q_B [4] :

$$\beta \propto \frac{Q_E}{Q_B}$$

Ces charges sont elles-mêmes proportionnelles aux niveaux de dopage de l'émetteur et de la base (N_D et P_A). Si P_A est augmenté, il apparaît que le gain va diminuer, pour le préserver il faudra donc augmenter N_D le dopage d'émetteur. Cet accroissement de N_D conduit

rapidement à l'apparition du phénomène de dégénérescence dans l'émetteur qui fait que l'efficacité d'injection de la jonction base-émetteur n'augmente plus quand N_D est augmenté.

Toutes ces considérations montrent que l'intérêt même de la VLSI qui est essentiellement l'amélioration des performances de vitesse des composants conduit à l'introduction de problèmes nouveaux dans la fabrication des circuits intégrés, à savoir :

- les forts niveaux de dopage (problèmes de dégénérescence),
- les couches de faible épaisseur.

Ce sont donc ces deux difficultés qu'il faudra s'efforcer de maîtriser dans la fabrication de circuits intégrés à très large échelle.

Nous n'avons parlé ici que des performances gain-vitesse d'un transistor, il convient également de s'intéresser à la tenue en tension du transistor VLSI.

I.2.5. Tenue en tension d'un composant

La tenue en tension d'un transistor intégré est essentiellement déterminée par les caractéristiques de la jonction collecteur-base.

Si les composants intégrés n'ont pas, en général, à supporter des tensions très élevées, dans certaines utilisations, notamment en logique dite "ECL" (Emitter Coupled Logic), de bonnes caractéristiques de tenue en tension peuvent être nécessaires. Aussi la jonction collecteur-base a-t-elle la même configuration qu'une diode haute tension (diode PIN).

Le schéma 6 de la figure I.1 montre la présence d'une zone épitaxiée N ou P peu dopée ($\approx 10^{16} \text{ cm}^{-3}$) servant de "tampon" entre les couches P^+ de base et N^+ de collecteur. Il convient de noter que la région que nous appelons "peu dopée" est loin d'être intrinsèque et que, par conséquent, même à des tensions faibles, le champ dans la zone dépeuplée de collecteur peut atteindre des valeurs très importantes. Un autre impératif de cette zone dépeuplée de collecteur est

d'éviter le percement de la base. Cette condition est réalisée en optimisant les dimensions et les dopages des différentes zones de base et de collecteur ; une présentation détaillée de ce problème est réalisée dans l'annexe I [5].

I.2.6. Remarques

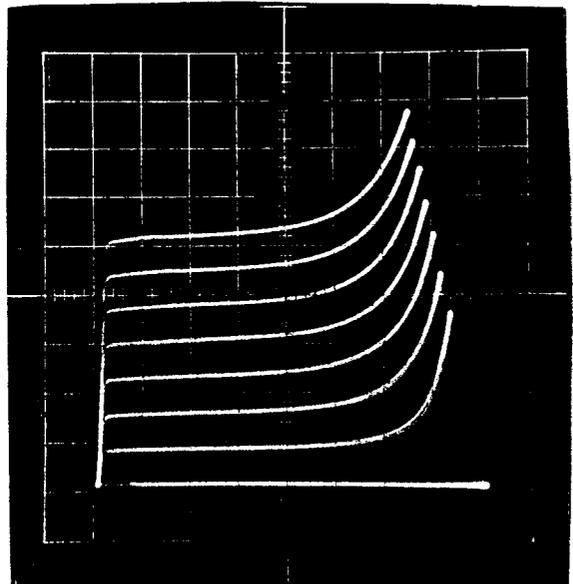
Dans un circuit intégré, la fiabilité dans le temps est un problème important. Nous venons de voir que même sous de faibles tensions, les transistors intégrés large échelle peuvent être soumis à de fortes contraintes de champ dont les effets peuvent entraîner une dégradation du composant ou une dérive de ses caractéristiques.

Nous avons considéré ci-dessus que le dopage de la base P^+ était constant, en fait, il est impossible, technologiquement, de réaliser cette condition par implantation ou diffusion. Le dopage de la base est en fait un gradient de dopage avec un maximum du côté de l'émetteur. Cette variation du dopage dans l'épaisseur de la base donne naissance à un champ de dérive qui se trouve agir dans le sens de la réduction du temps de transit des porteurs mineoritaires dans la base. C'est un cas où une contrainte technique ne nuit pas aux performances du composant.

I.3. PRESENTATION DES STRUCTURES ETUDIEES

Les structures utilisées pour notre étude nous ont été fournies par la société RTC ; ces transistors sont destinés à la fabrication de circuits logiques de type ECL [6]. Dans ce type de circuits, les transistors travaillent en régime linéaire et doivent donc posséder de bonnes caractéristiques de gain et de tenue en tension, voir figure I.3.

Figure I.3 : Caractéristiques $I_C = f(V_{CE})$ d'un de nos transistors ; horizontalement 1V/div, verticalement 100 μA /div, les sauts de courant base sont de 1 μA .



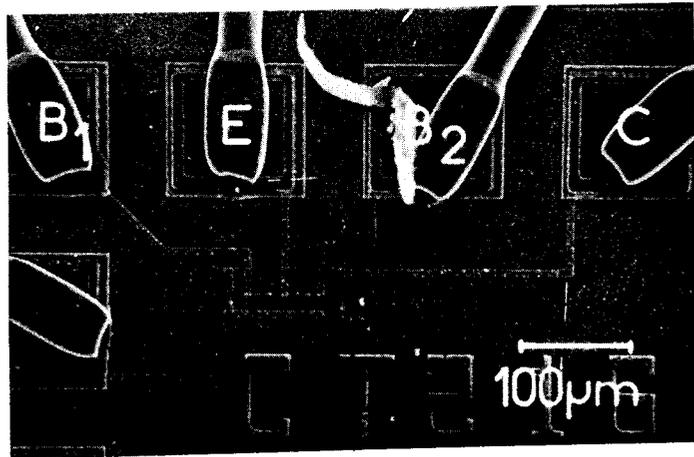


Figure I.4 : Vue au microscope électronique à balayage d'un transistor : B₂, E, B₁, C représentant respectivement les connexions de base, d'émetteur, de base et de collecteur (on a, en fait, deux collecteurs qui sont court-circuités sur la puce).

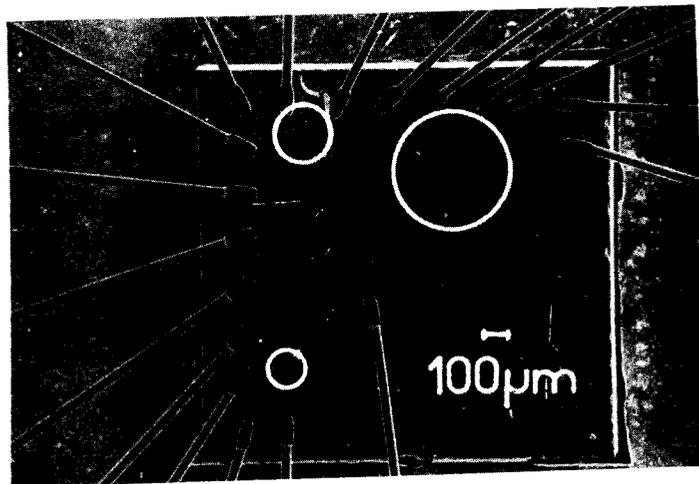


Figure I.5 : Vue générale de la pastille avec différents transistors (entourés) qui possèdent des surfaces d'émetteur différentes.

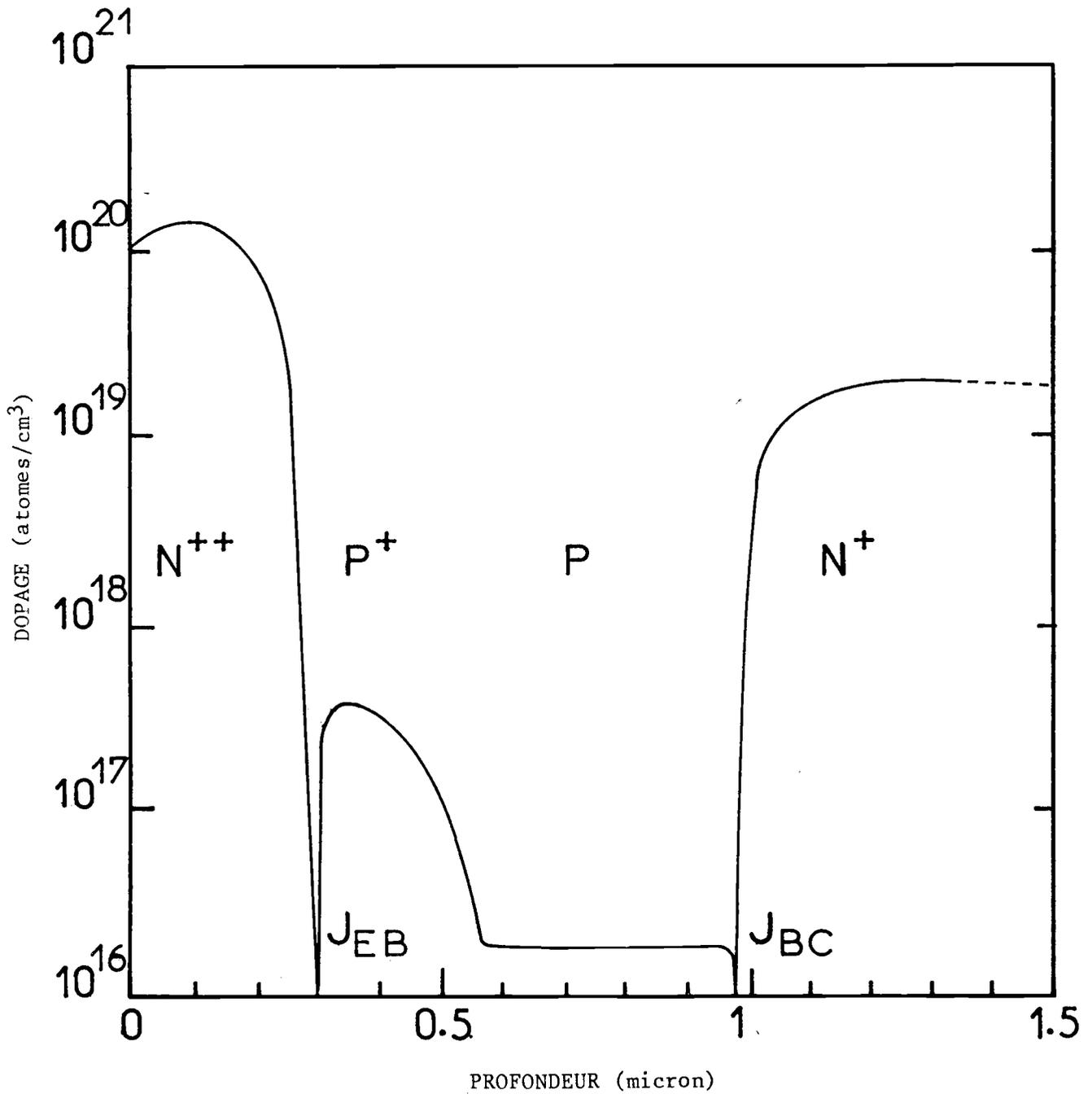
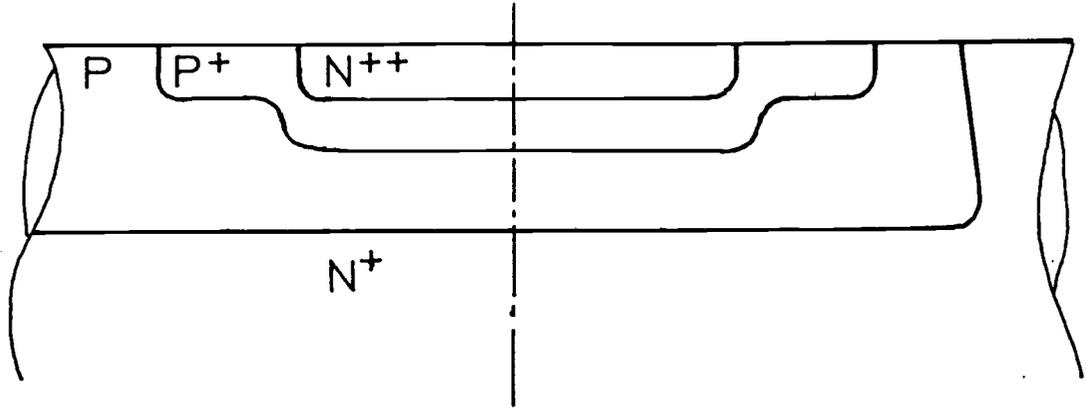


Figure I.7

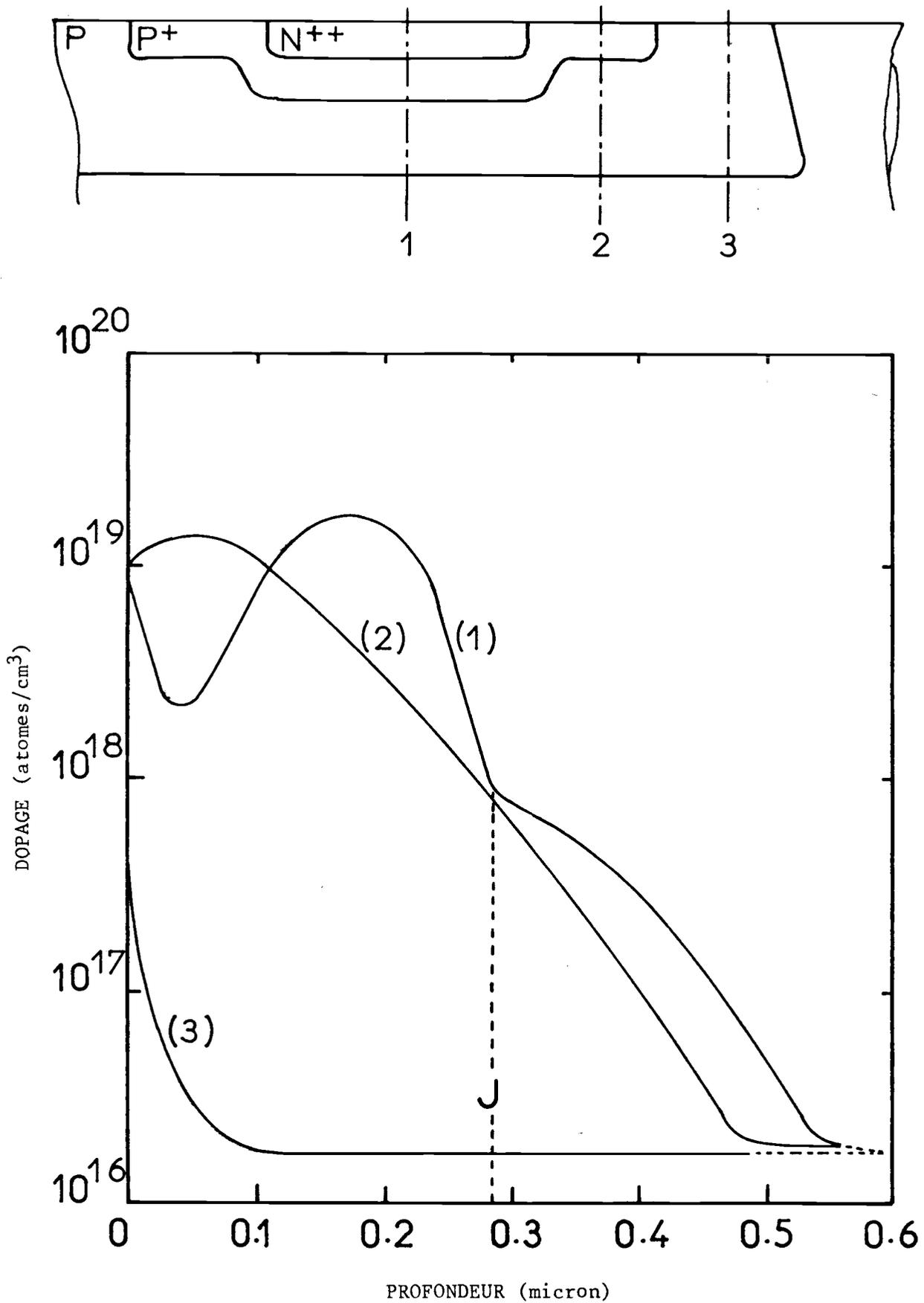


Figure I.8

composants exhibent des gains qui vont de 50 à 70, pour une tension collecteur de 2 V, suivant les lots que nous considérons. Les "puces" dont nous disposons comportent chacune des transistors dont les surfaces d'émetteur sont différentes ; par ailleurs, les épaisseurs des couches sont les mêmes quelle que soit la surface de l'émetteur, voir figure I.5. En outre, la figure I.8 donne la variation qualitative du dopage de la base P suivant trois axes, nous pouvons remarquer comment le pic de concentration de bore qui se trouve près de la surface (profil 2) a été repoussé par l'implantation de l'émetteur (profil 1). La figure I.7 donne elle une idée des différents profils de dopage du transistor suivant une direction sur toute l'épaisseur du composant y compris dans la zone enterrée de collecteur.

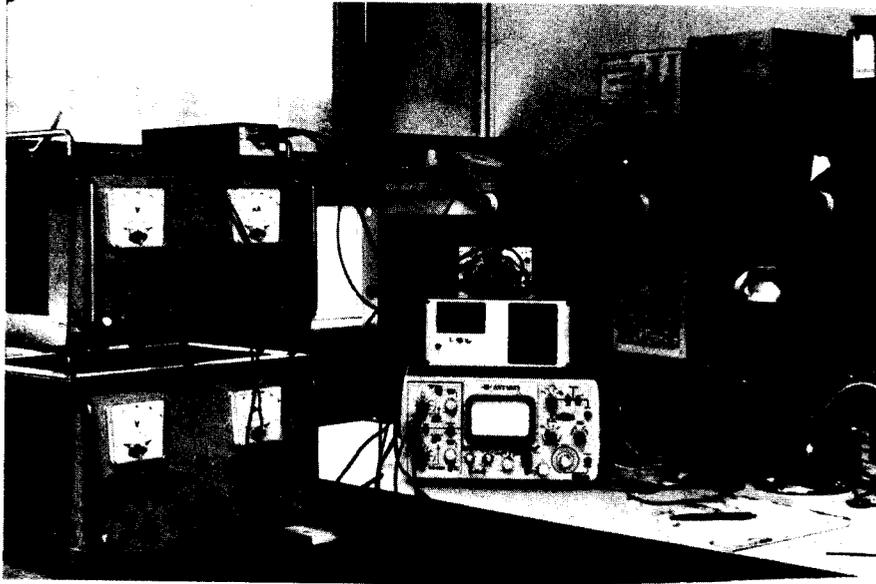
I.4. CONCLUSION

Les buts essentiels de la VLSI sont d'augmenter la densité d'intégration des circuits intégrés ainsi que leur rapidité ; pour cela, il est nécessaire de réduire la taille des composants élémentaires, cette réduction entraîne une augmentation du rapport périmètre/surface de l'émetteur. Les phénomènes de surface dans un transistor bipolaire sont localisés sur le pourtour de l'émetteur, la réduction des dimensions peut donc augmenter l'influence de ces effets de bord par rapport aux phénomènes volumiques sur lesquels est basé l'effet transistor. De ces réductions de dimensions peut résulter une dégradation du gain du composant. Afin de déterminer l'influence des effets de bord, il est nécessaire d'avoir accès à l'efficacité d'injection du centre de la jonction base-émetteur. La mesure de ce gain, que nous appellerons "interne" du transistor fait l'objet du chapitre II.

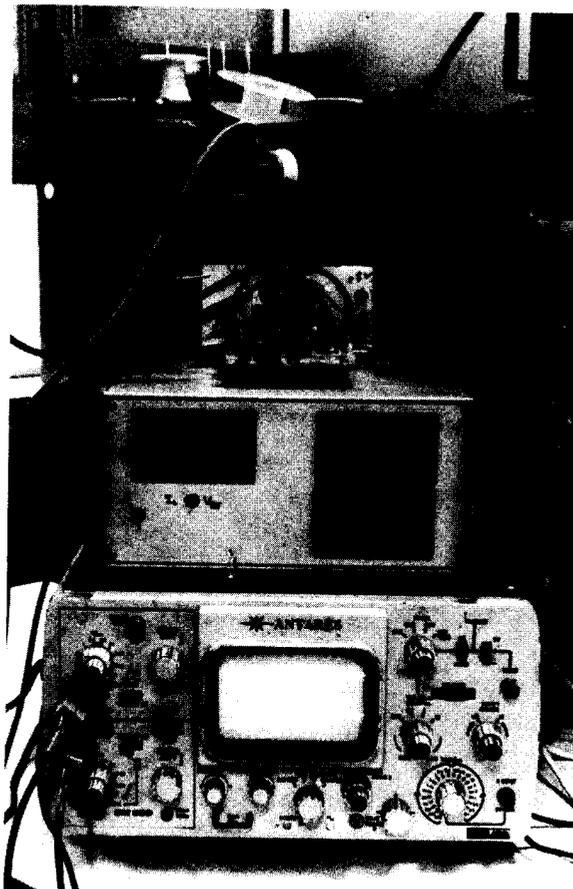
CHAPITRE II

MESURE DU GAIN INTERNE PAR LA MÉTHODE

D'AVALANCHE EN FAIBLE MULTIPLICATION



BANC DE MESURE EN AVALANCHE



CHAPITRE II

MESURE DU GAIN INTERNE PAR LA METHODE D'AVALANCHE EN FAIBLE MULTIPLICATION

II.1. CONDUCTION EN AVALANCHE

Pour déclencher la conduction d'un transistor NPN, il faut injecter des trous dans la base ; pour ce faire, il existe plusieurs possibilités :

- la polarisation de la base par une source extérieure,
- la génération de paires électron-trou dans la base par des photons,
- la génération de porteurs libres "par ionisation par impact" dans la zone dépeuplée de collecteur...

Cette dernière méthode, qui permet la focalisation des lignes de courant vers le centre de la structure, est celle que nous avons employée. Son principe de fonctionnement est exposé ci-dessous.

Dans la zone de charge d'espace de la jonction collecteur-base, il règne un champ électrique qui peut être suffisamment élevé pour qu'un porteur libre acquière l'énergie nécessaire à la création d'une paire électron-trou qui va être séparée par le fort champ électrique. Dans un transistor bipolaire de type NPN, cet effet de multiplication par avalanche a pour conséquence l'injection de trous dans la base, les électrons quant à eux seront collectés par le contact de collecteur.

Les trous injectés dans la base polarisent la jonction émetteur-base dans le sens passant ; des électrons sont injectés dans la base puis dans la zone dépeuplée de collecteur où ils sont soumis au champ électrique et créent à leur tour des paires électron-trou. Nous assistons alors à un effet de réaction et le courant dans le composant n'est plus limité que par le circuit extérieur ainsi que par la résistance ohmique du collecteur.

En conduction, la relation $M \alpha = 1$ est toujours vérifiée dans le composant, avec M coefficient de multiplication des porteurs dans la zone de charge d'espace de collecteur et α gain en courant en base commune dans le transistor. La figure II.1 montre la caractéristique $I_C (V_{CE})$ en avalanche de nos transistors.

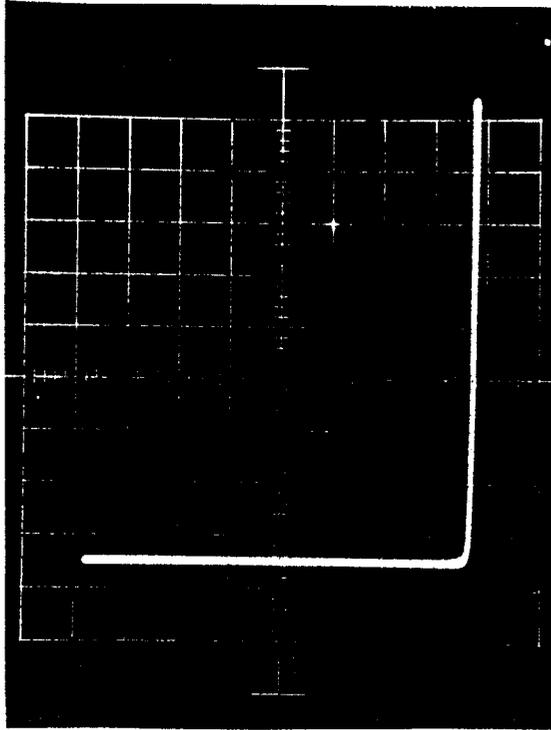


Figure II.1 : Caractéristique $I_C = f(V_{CE})$, base en l'air, d'un transistor. Horizontalement 1 V/div, verticalement 200 μ A/div.

Plaçons nous maintenant dans le cas où la base du transistor est en l'air, ce qui correspond à $I_{Bext} = 0$ sur la figure II.2 ; les trous injectés dans la base vont se répartir sur toute la surface de l'émetteur, la figure II.3 illustre ce phénomène. Cette répartition des trous va créer un courant transversal du centre de la base sous l'émetteur vers les côtés (de A vers B sur la figure II.3) qui provoque une chute de potentiel entre A et B : nous avons $V_A > V_B$. La jonction base-émetteur est donc plus polarisée en son centre que sur les côtés. Nous dirons qu'il y a "focalisation naturelle" des lignes de courant vers le centre de la structure même avec un courant extérieur de base (I_{Bext}) nul.

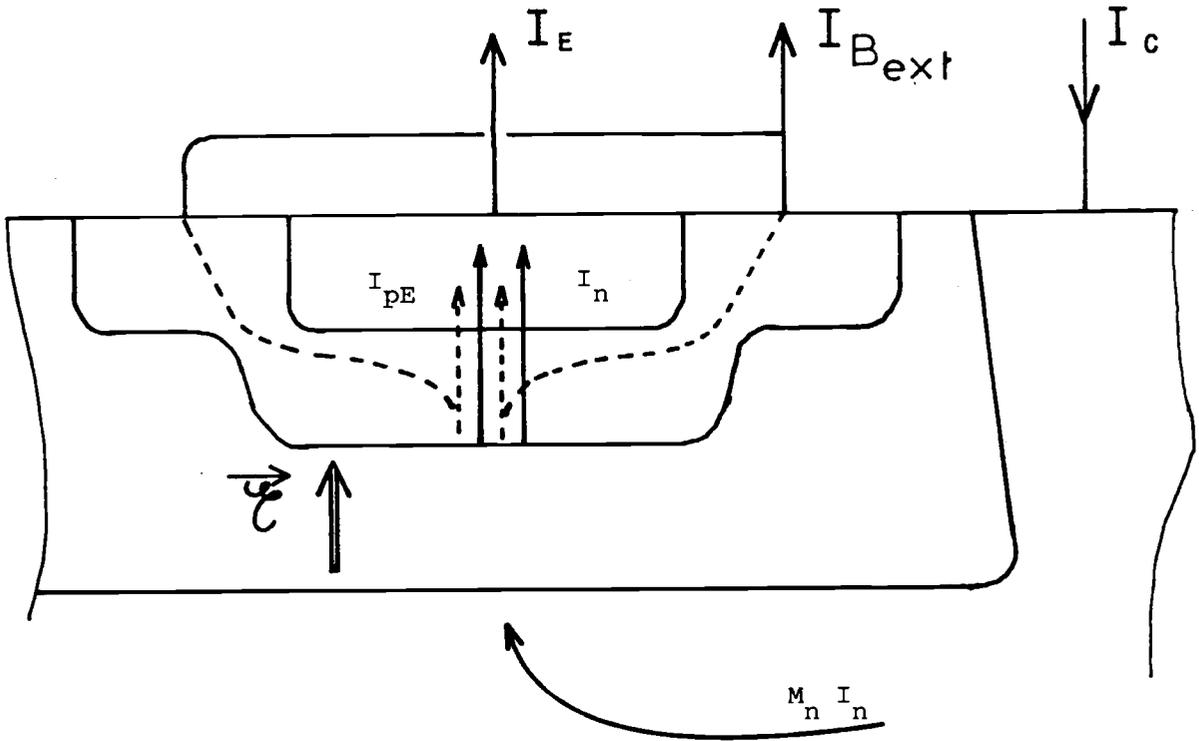


Figure II.2

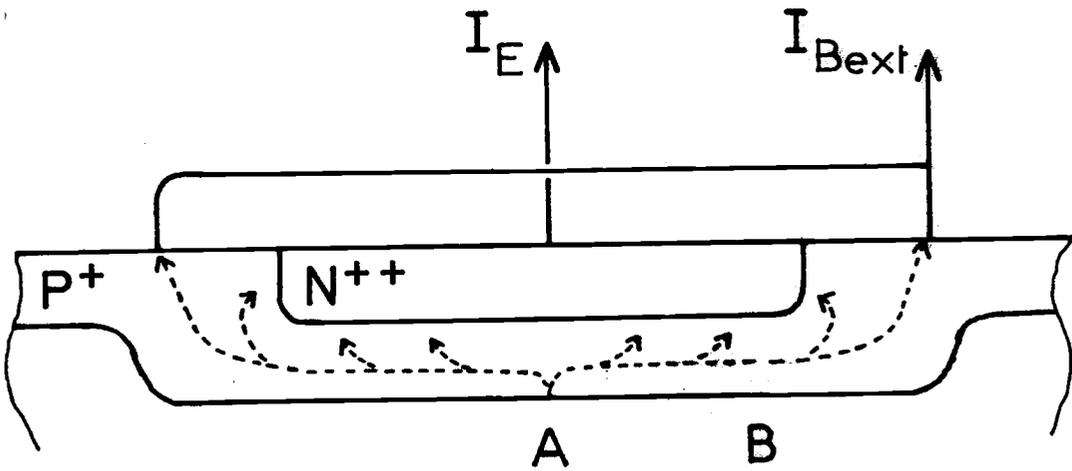


Figure II.3

Considérons maintenant la même expérimentation que précédemment mais en extrayant un courant base, I_{Bext} , inverse du sens habituel pour un transistor NPN, cela a deux conséquences :

a) les trous qui sont extraits sont prélevés sur le courant total de trous engendrés par avalanche dans la zone de transition de la jonction collecteur-base (figure II.2). Pour maintenir le courant d'émetteur à la valeur qu'il avait pour $I_{Bext} = 0$, il faut fournir plus de trous par avalanche. Pour augmenter la génération de porteurs il faut augmenter le coefficient de multiplication, M ; un plus fort champ électrique dans la zone dépeuplée de collecteur est donc nécessaire, d'où l'obligation d'imposer au transistor une tension collecteur-base plus grande. L'augmentation de I_{Bext} provoque donc la chute du gain en base commune qui est exprimé par :

$$\alpha = \frac{I_n}{I_n + I_{pE} + I_{Bext}}$$

En faisant varier le courant base, nous obtenons un réseau de caractéristiques en avalanche du transistor tel que sur la figure II.4. Sur ces courbes, il apparaît qu'à la limite, si émetteur et base sont court-circuités, nous retrouvons la caractéristique inverse de la diode collecteur-base (courbe (4)) ;

b) le courant I_{Bext} que nous extrayons augmente, pour un même courant d'émetteur, le courant transversal de base circulant sous l'émetteur. Cela va accroître l'effet de focalisation que nous avons vu ci-dessus et le transistor aura encore plus tendance à ne conduire qu'avec sa partie centrale.

Nous voyons qu'il est possible par cette méthode de ne faire conduire que le centre de la structure. Nous allons maintenant voir comment la mesure des variations de V_{CE} en fonction de celles de I_{Bext} peut nous permettre d'accéder au gain "interne" du transistor.

II.2. METHODE D'AVALANCHE EN FAIBLE MULTIPLICATION

La méthode a été développée au laboratoire [7], nous allons donc rappeler les hypothèses de calcul ainsi que la démarche qui permet d'aboutir à la mesure du gain interne.

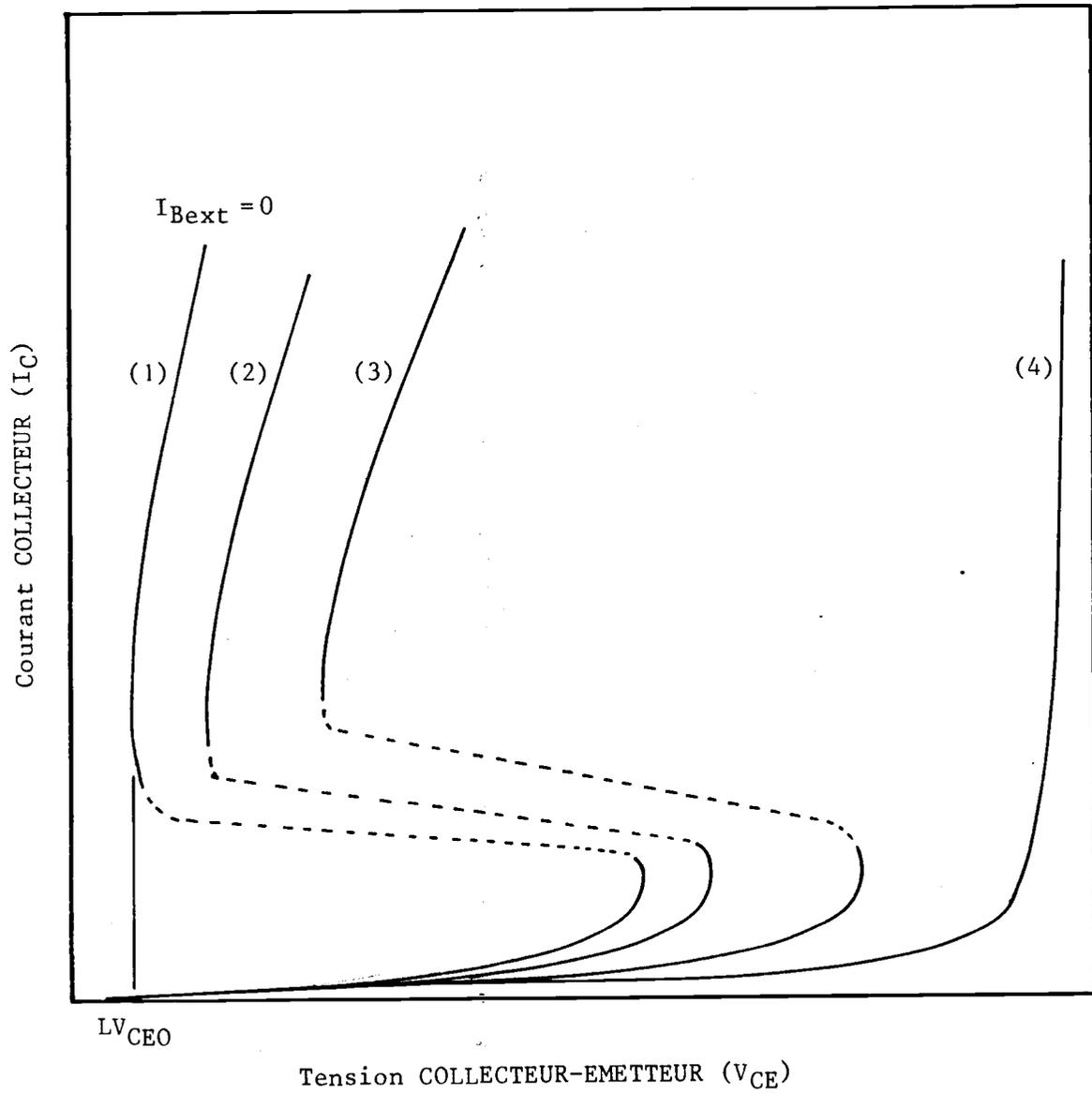


Figure II.4 : Réseau de caractéristiques d'un transistor en conduction en avalanche.

II.2.1. Hypothèses sur le phénomène d'avalanche

- En annexe I [5], le comportement de la jonction collecteur-base d'un de nos transistors a été modélisé, cela permet de calculer une valeur du coefficient de multiplication. Pour les tensions collecteur-émetteur auxquelles nous travaillons et qui sont de l'ordre de 8 V, il apparaît que le coefficient de multiplication n'est que peu supérieur à l'unité ($M < 1,05$). Dans les calculs que nous réaliserons, l'hypothèse de faible multiplication pourra donc toujours être faite.

- Dans le silicium, les vitesses d'ionisation, α_n et α_p des électrons et des trous sont bien connues [8, 9, 10] et nous savons que $\alpha_n \gg \alpha_p$. La base injecte des électrons dans la zone de charge d'espace de collecteur, ce seront donc eux qui déclencheront le phénomène d'avalanche. Nous pouvons considérer que la multiplication des trous n'intervient pas si les porteurs créés par ionisation par impact ne génèrent pas à leur tour d'autres paires, ce qui est le cas, car la multiplication ne se produit que dans la région de champ maximum qui est très étroite [7]. Nous avons vu qu'il circule dans la zone de transition de collecteur beaucoup plus d'électrons que de trous et que, de plus, la vitesse d'ionisation de ces derniers est beaucoup plus faible que celle des électrons. En fait, le coefficient de multiplication que nous prendrons dans les calculs sera celui des électrons uniquement, nous le notons M_n .

- Les recombinaisons dans la base seront négligées étant donné sa faible épaisseur et son dopage assez peu élevé ($5 \cdot 10^{17} \text{ cm}^{-3}$ au maximum). D'où, nous considérerons le gain en base commune, α , égal à l'efficacité d'injection γ .

II.2.2. Relations fondamentales

La figure II.2 indique les principaux courants qui circulent dans la structure. Nous avons vu ci-dessus que seule la multiplication des électrons était prise en compte aussi pouvons-nous écrire :

$$(1) \quad I_C = M_n I_N$$

M_n , coefficient de multiplication des électrons et I_N courant d'électrons provenant de l'émetteur.

D'après la continuité du courant, nous avons :

$$I_p + I_n = M_n I_n = I_C$$

d'où

$$(2) \quad I_p = (M_n - 1) I_n$$

Ce courant de trous I_p va se séparer en deux parties :

- l'une I_{pE} injectée dans l'émetteur
- l'autre I_{Bext} extraite de la base par un circuit extérieur.

Il vient :

$$(3) \quad I_p = I_{pE} + I_{Bext}$$

Au niveau de la jonction base-émetteur, le courant total d'émetteur I_E s'exprime par :

$$I_E = I_{pE} + I_n$$

d'où

$$(4) \quad I_{pE} = I_E - I_n$$

Exprimons maintenant l'efficacité d'injection γ de la jonction base-émetteur :

$$(5) \quad \gamma = \frac{I_n}{I_n + I_{pE}} = \frac{I_n}{I_E}$$

de (4) et (5), il vient

$$(6) \quad I_{pE} = I_E (1 - \gamma)$$

D'après les équations (2), (3), (6) nous pouvons écrire la relation entre M_n et γ :

$$(7) \quad (M_n - 1) I_n = I_{Bext} + I_E (1 - \gamma)$$

A partir de (7), il est possible d'obtenir une relation entre M_n et γ uniquement fonction de grandeurs électriques extérieures au transistor ; pour cela, il faut éliminer I_n dans la relation (7) ; c'est possible grâce à l'équation (5). Nous obtenons donc la relation entre M_n et γ :

$$(8) \quad M_n = \frac{1}{\gamma} \left(1 + \frac{I_{Bext}}{I_E} \right)$$

où I_{Bext} et I_E sont des courants extérieurs mesurables. Nous avons défini précédemment le gain α de la structure dans les conditions expérimentales ; pendant la conduction en avalanche, la continuité du courant est donnée par l'expression :

$$(9) \quad M_n \alpha = 1$$

Exprimons α en fonction de γ d'après (8) et (9)

$$(10) \quad \alpha = \frac{\gamma}{1 + \frac{I_{Bext}}{I_E}}$$

Nous allons définir un coefficient α_{ext} par :

$$(11) \quad \alpha_{ext} = \frac{1}{1 + \frac{I_{Bext}}{I_E}} = \frac{\alpha}{\gamma}$$

α_{ext} ne dépend donc que de grandeurs électriques mesurables. De (9) et (11), il vient :

$$(12) \quad \gamma = \frac{1}{\alpha_{ext} M_n}$$

Nous allons maintenant exprimer M_n en fonction de la tension V aux bornes de la jonction. Il est possible, à condition de rester autour d'un point de fonctionnement donné, d'approcher les variations de $1 - 1/M_n$ en fonction de V par une relation polynomiale semblable à la formule empirique de Miller [11] :

$$(13) \quad 1 - \frac{1}{M_n} = \left(\frac{V}{V_B} \right)^n$$

avec V_B , coefficient constant ; n , exposant dit de "Miller" constant pour de faibles variations de V .

De (12) et (13) nous tirons :

$$(14) \quad 1 - \gamma \alpha_{\text{ext}} = \left(\frac{V}{V_B} \right)^n$$

d'où

$$\gamma = \frac{1}{\alpha_{\text{ext}}} \left(1 - \left(\frac{V}{V_B} \right)^n \right)$$

A partir de cette expression (14) nous allons voir qu'il est possible de développer une méthode graphique de mesure de l'efficacité d'injection γ .

Nous savons que γ est une grandeur voisine de l'unité, aussi écrivons-nous :

$$\gamma = 1 - \varepsilon_1$$

$$\text{avec } 0 < \varepsilon_1 = \frac{I_{pE}}{I_n} \ll 1$$

De même si nous supposons que α_{ext} est peu différent de l'unité, nous pouvons écrire :

$$\alpha_{\text{ext}} = \frac{1}{1 + \frac{I_{\text{Bext}}}{I_E}} \approx 1 - \frac{I_{\text{Bext}}}{I_E}$$

Cette relation est d'autant plus vraie que I_{Bext} est petit devant I_E , il vient :

$$\alpha_{\text{ext}} = 1 - \varepsilon_2$$

$$\text{avec } 0 < \varepsilon_2 = \frac{I_{\text{Bext}}}{I_E} \ll 1$$

A partir de ces expressions de γ et α_{ext} , réécrivons le premier terme de la relation (14)

$$\begin{aligned} 1 - \gamma \alpha_{\text{ext}} &= 1 - (1 - \varepsilon_1)(1 - \varepsilon_2) \\ &= \varepsilon_1 + \varepsilon_2 - \varepsilon_1 \varepsilon_2 \\ 1 - \gamma \alpha_{\text{ext}} &\approx \varepsilon_1 + \varepsilon_2 \end{aligned}$$

Deux cas extrêmes peuvent alors se produire pendant l'expérimentation :

- soit $\epsilon_2 \gg \epsilon_1$, alors $1 - \gamma \alpha_{\text{ext}} \approx 1 - \alpha_{\text{ext}}$ ou $\alpha = \alpha_{\text{ext}}$
- soit $\epsilon_2 \ll \epsilon_1$, alors $1 - \gamma \alpha_{\text{ext}} \approx 1 - \alpha$ ou $\alpha = \gamma$

Considérons chacune de ces deux possibilités :

a) $\epsilon_2 \gg \epsilon_1$

Ce cas correspond physiquement à un courant I_{Bext} suffisamment important, c'est-à-dire lorsque la focalisation des lignes de courant est la plus accentuée, tout en respectant la condition $I_{\text{Bext}} \ll I_E$. La relation (14) peut s'écrire :

$$(15) \quad 1 - \alpha_{\text{ext}} = \left(\frac{V_{\text{CE}}}{V_B} \right)^n$$

où nous avons pris $V = V_{\text{CE}} \approx V_{\text{CB}}$, car d'une part, la tension V_{BE} est faible, devant V_{CB} , et d'autre part, ses variations sont négligeables. Si nous prenons le logarithme de l'expression (15), il vient :

$$\log V_{\text{CE}} = \log V_B + \frac{1}{n} \log (1 - \alpha_{\text{ext}})$$

Vers les fortes valeurs de I_{Bext} la courbe $\log (V_{\text{CE}}) = f(\log(1 - \alpha_{\text{ext}}))$ tend donc asymptotiquement vers une droite dont la pente est $1/n$, cette asymptote oblique est représentée sur la figure II.5.

b) $\epsilon_2 \ll \epsilon_1$

Ce cas correspond à un courant I_{Bext} très faible, la relation (14) s'écrit :

$$1 - \gamma = \left(\frac{V_{\text{CE}}}{V_B} \right)^n$$

Dans les conditions de faible injection γ est constant, quel que soit le niveau de courant collecteur, la tension V_{CE} est donc une constante. Lorsque $I_{\text{Bext}} = 0$, elle est notée LV_{CEO} (voir figure II.4). Lorsque I_{Bext} tend vers zéro, la courbe :

$$\log V_{\text{CE}} = f(\log(1 - \alpha_{\text{ext}}))$$

tend asymptotiquement vers une droite horizontale à l'ordonnée $\log LV_{\text{CEO}}$,

cette asymptote a été tracée sur la figure II.5 ; nous pouvons donc écrire dans ce cas :

$$(16) \quad 1 - \gamma = \left(\frac{LV_{CEO}}{V_B} \right)^n$$

Si nous comparons les deux extrêmes que nous venons de traiter il apparaît d'après les relations (15) et (16) que si l'asymptote oblique est prolongée jusqu'à l'ordonnée $\log LV_{CEO}$, son intersection avec l'asymptote horizontale donne la condition $1 - \gamma = 1 - \alpha_{ext}$. L'abscisse du point d'intersection des deux asymptotes nous permet de connaître γ d'après la condition $1 - \gamma = 1 - \alpha_{ext}$, le tracé complet a été porté sur la figure II.5.

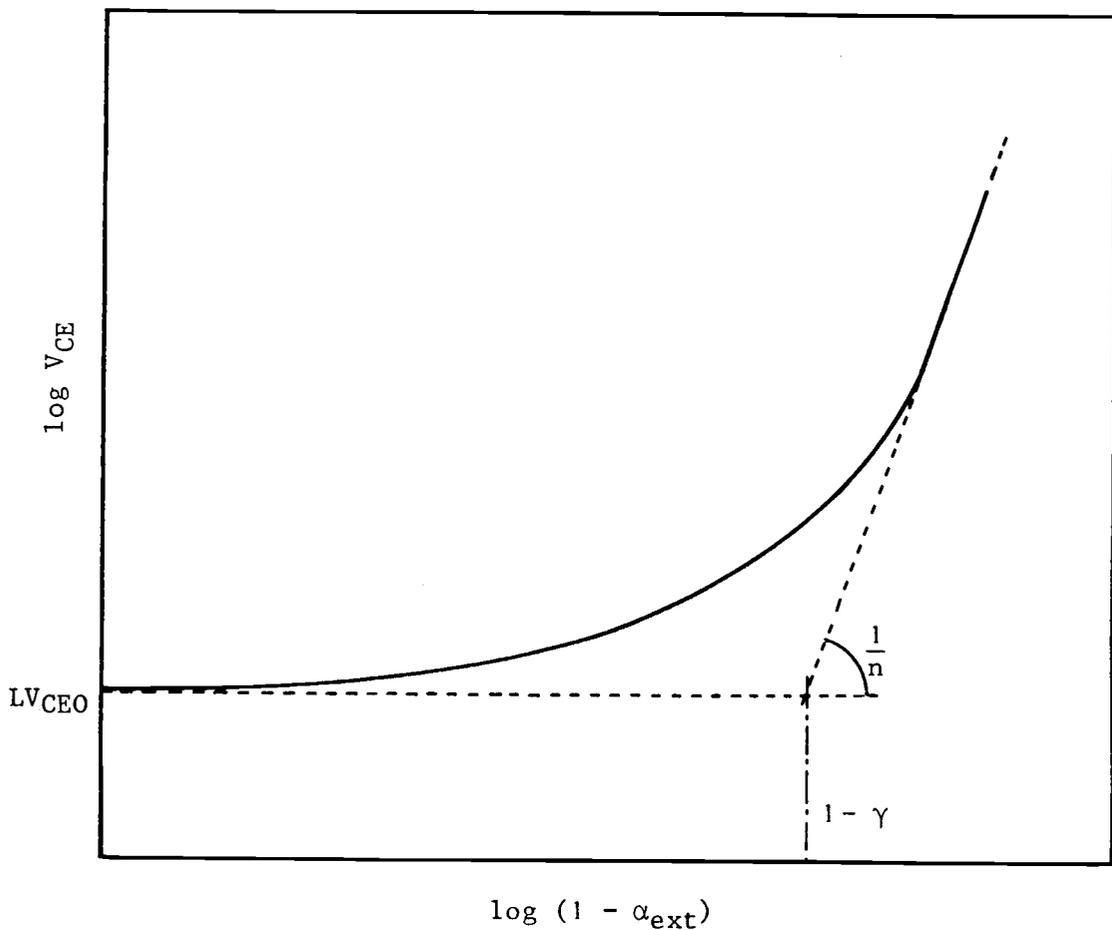


Figure II.5 : Exemple de courbe $\log LV_{CEO} = f(\log(1 - \alpha_{ext}))$, les deux asymptotes sont tracées en trait interrompu, la pente de l'asymptote oblique ($1/n$) est indiquée. L'abscisse de l'intersection des deux droites donne la valeur de $\log(1 - \alpha)$.

Si les lignes de courant sont bien focalisées vers le centre du composant, l'efficacité d'injection que nous mesurons est celle du centre de la jonction émetteur-base d'où nous tirons facilement le gain interne du transistor :

$$\beta_{\text{int}} = \frac{\gamma}{1 - \gamma}$$

Remarques :

- Dans la valeur obtenue de ce gain interne, sont incluses les éventuelles recombinaisons dans la base, mais étant donné la faible épaisseur de celle-ci (0,2 μm) et la focalisation des lignes de courant qui augmente la densité de courant de diffusion, elles sont négligeables.

- Nous avons vu ci-dessus qu'en faible injection γ est une constante ainsi que LV_{CEO} , en fait sur la figure II.4, il apparaît que LV_{CEO} varie avec le niveau de courant ; cela est dû à deux phénomènes internes au transistor :

- . augmentation de V_{BE} avec I_{C} ,
- . résistance ohmique de collecteur.

Mais γ reste constant malgré les variations de V_{CE} .

II.3. EXPERIMENTATION

Nous avons vu précédemment que la courbe $\log V_{\text{CE}} = f(1 - \alpha_{\text{ext}})$ nous donne la valeur du gain interne du transistor et nous savons de plus que :

$$\alpha_{\text{ext}} = 1 - \frac{I_{\text{Bext}}}{I_{\text{E}}}$$

Il faudra donc réaliser la mesure de $V_{\text{CE}} = f(I_{\text{Bext}})$ en gardant I_{E} constant. La figure II.6 montre le type de courbe que nous obtenons ainsi que les asymptotes tracées d'après cette courbe. Sur la figure II.1, nous voyons que la tension V_{CE} aux bornes du composant en conduction en avalanche est de l'ordre de 8 Volts. Cette valeur est élevée pour ces transistors qui sont de petite taille puisque la surface maximale d'émetteur dont nous disposons est de 30 x 18 μm^2 . Cela signifie

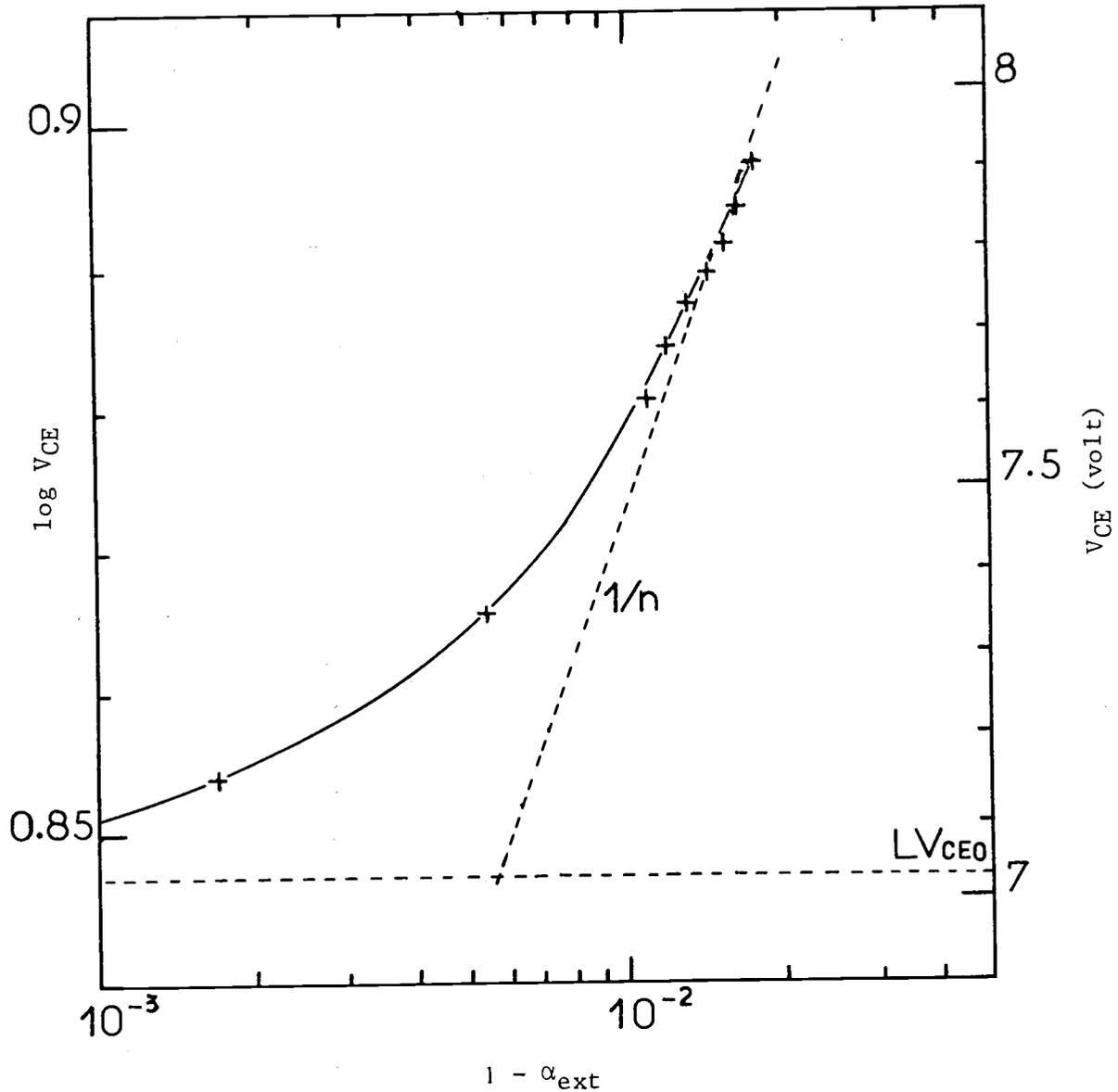


Figure II.6 : Courbe expérimentale $\log V_{CE} = f(\log(1 - \alpha_{ext}))$ avec le tracé de deux asymptotes.

par exemple, que lorsque le courant collecteur dans le transistor est de l'ordre de 1 mA, le composant dissipe 8 mW, valeur faible mais qui peut tout de même conduire à une élévation de température. Nous savons, par ailleurs, [^{9,12}] que la multiplication par impact d'ionisation est un processus très sensible à la température.

Toutes ces raisons nous ont conduites à l'emploi de mesures en impulsions ; en effet, bien que cette manière de procéder complique singulièrement les mesures, elle reste la seule façon de s'affranchir complètement des problèmes de température.

II.3.1. Montage expérimental

Le montage expérimental développé au laboratoire [7] est présenté sur la figure II.7 ; nous voyons que l'extraction du courant I_{Bext} est assurée par une résistance entre base et émetteur dont la valeur fixe l'intensité, donc en mesurant la tension V_{BE} , il est facile d'en déduire I_{Bext} . Le déclenchement de la conduction est réalisé grâce à un pic de courant direct de courte durée envoyé dans la base du transistor.

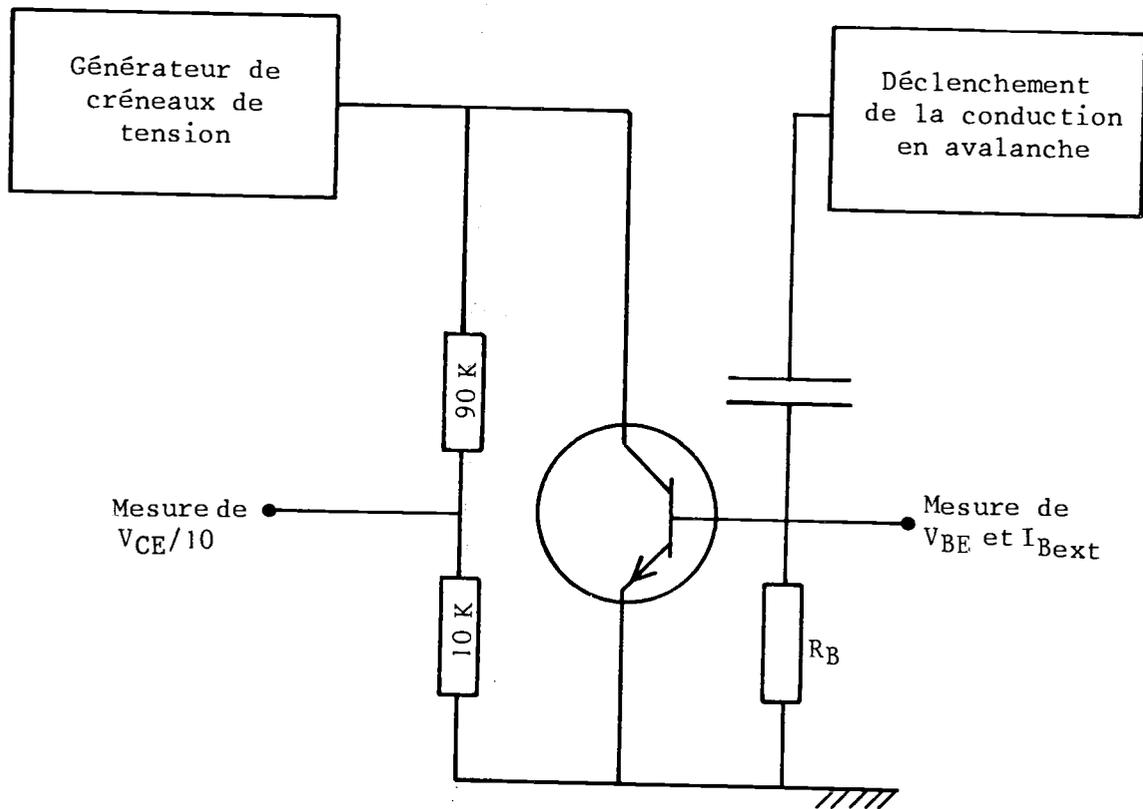


Figure II.7 : Montage expérimental initial développé au laboratoire [7]. L'extraction de I_{Bext} se fait par une résistance base-émetteur.

Enfin, le générateur de créneaux de tension qui attaque le collecteur du transistor est présenté. La synchronisation de ces différents signaux est présentée sur la figure II.8 ; la mise en oeuvre de ce montage était d'autant plus aisée qu'il avait été prévu pour des transistors fonctionnant à des niveaux élevés de courant collecteur (de l'ordre de 100 mA). Avec les composants VLSI, il n'est plus possible d'atteindre des intensités aussi élevées et, au contraire, ce sont les faibles niveaux de courant qui nous intéressent. En effet, en VLSI, il faut améliorer les performances bas niveau des composants car si la qualité d'un transistor est maintenue à faible courant c'est la consommation de tout le circuit intégré qui pourra être réduite.

Ces conditions de fonctionnement (typiquement $I_C < 1 \text{ mA}$ d'où $I_{Bext} < 10 \text{ }\mu\text{A}$) nous ont conduits à modifier le montage de la figure II.7. L'extraction de courants I_{Bext} faibles nécessite en effet l'emploi de résistances base-émetteur de fortes valeurs (quelques $M\Omega$ pour $I_{Bext} = 100 \text{ nA}$) qui peuvent devenir comparables à l'impédance d'entrée du premier élément de la chaîne de mesure, à savoir : l'échantillonneur-bloqueur. La perte de précision qui en résulte peut donc être importante et de plus, la manipulation des résistances rend la mesure longue et fastidieuse. Nous avons donc imaginé un système permettant d'extraire et de mesurer instantanément le courant de base, c'est le générateur de courant présenté sur la figure II.9 avec la chaîne de mesure permettant l'affichage de I_{Bext} . De plus, l'apparition d'oscillations dans le circuit de mesure pour les valeurs les plus élevées de $1 - \alpha_{ext}$ (lorsque I_{Bext} augmente), constituait une raison supplémentaire pour la réalisation de ce générateur de courant. La figure II.10 présente une photographie des oscillations de la tension collecteur du transistor en test.

La définition de l'asymptote oblique à la courbe $\log V_{CE} = f(\log(1 - \alpha_{ext}))$ est d'autant meilleure que le nombre de points expérimentaux obtenus pour les grandes valeurs de $1 - \alpha_{ext}$ est important. S'il n'y a pas suffisamment de points de mesure nous pouvons aboutir au cas de la figure II.11 avec, pour conséquence, l'obtention d'une valeur trop élevée de l'efficacité d'injection γ comme nous le verrons plus loin. La mise en oeuvre du générateur

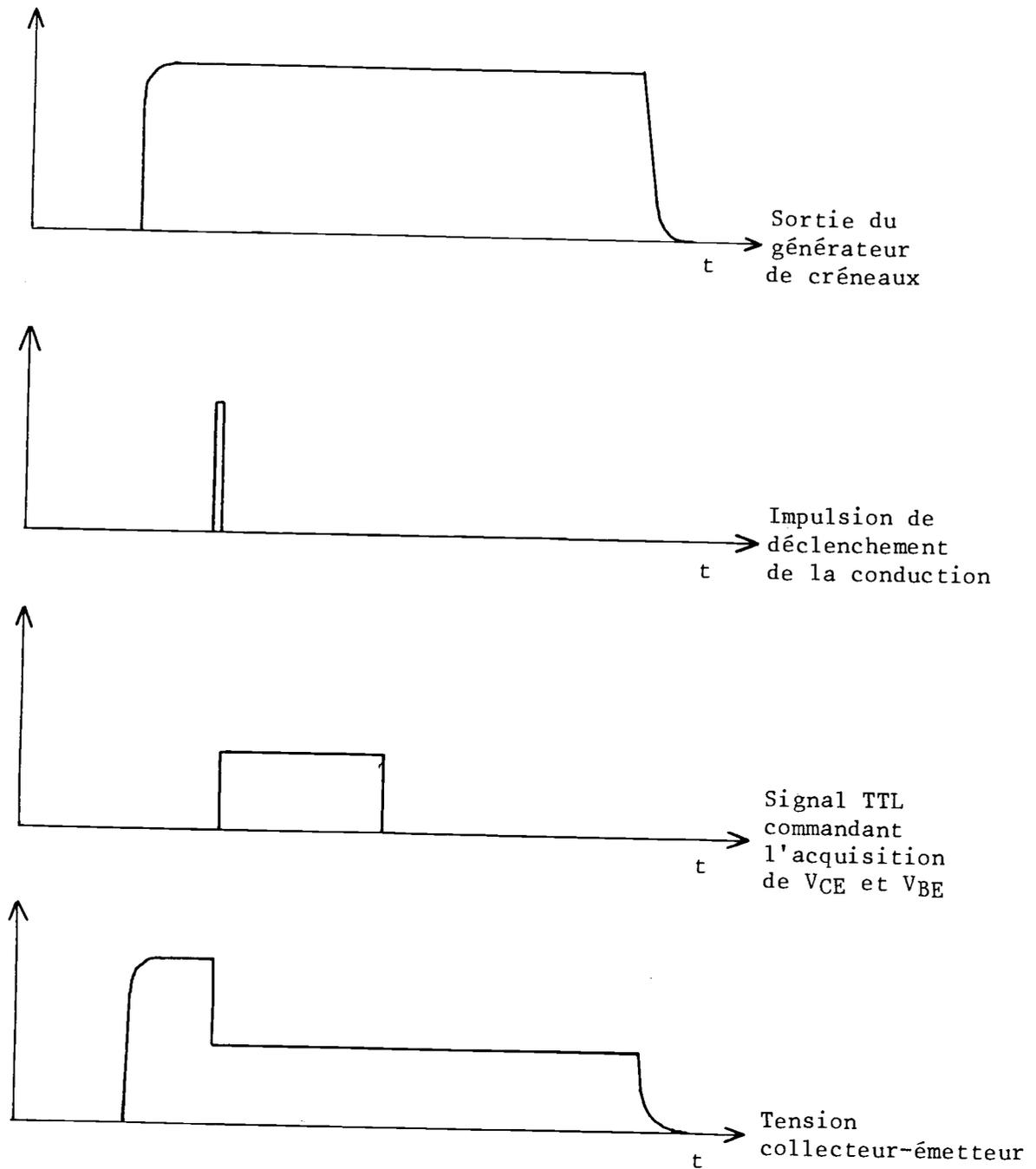


Figure II.8 : Diagramme de synchronisation des signaux

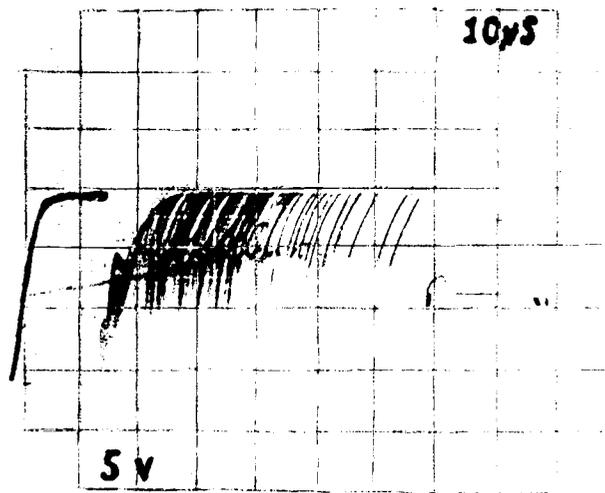


Figure II.10 : Photographie des oscillations
de la tension V_{CE} .

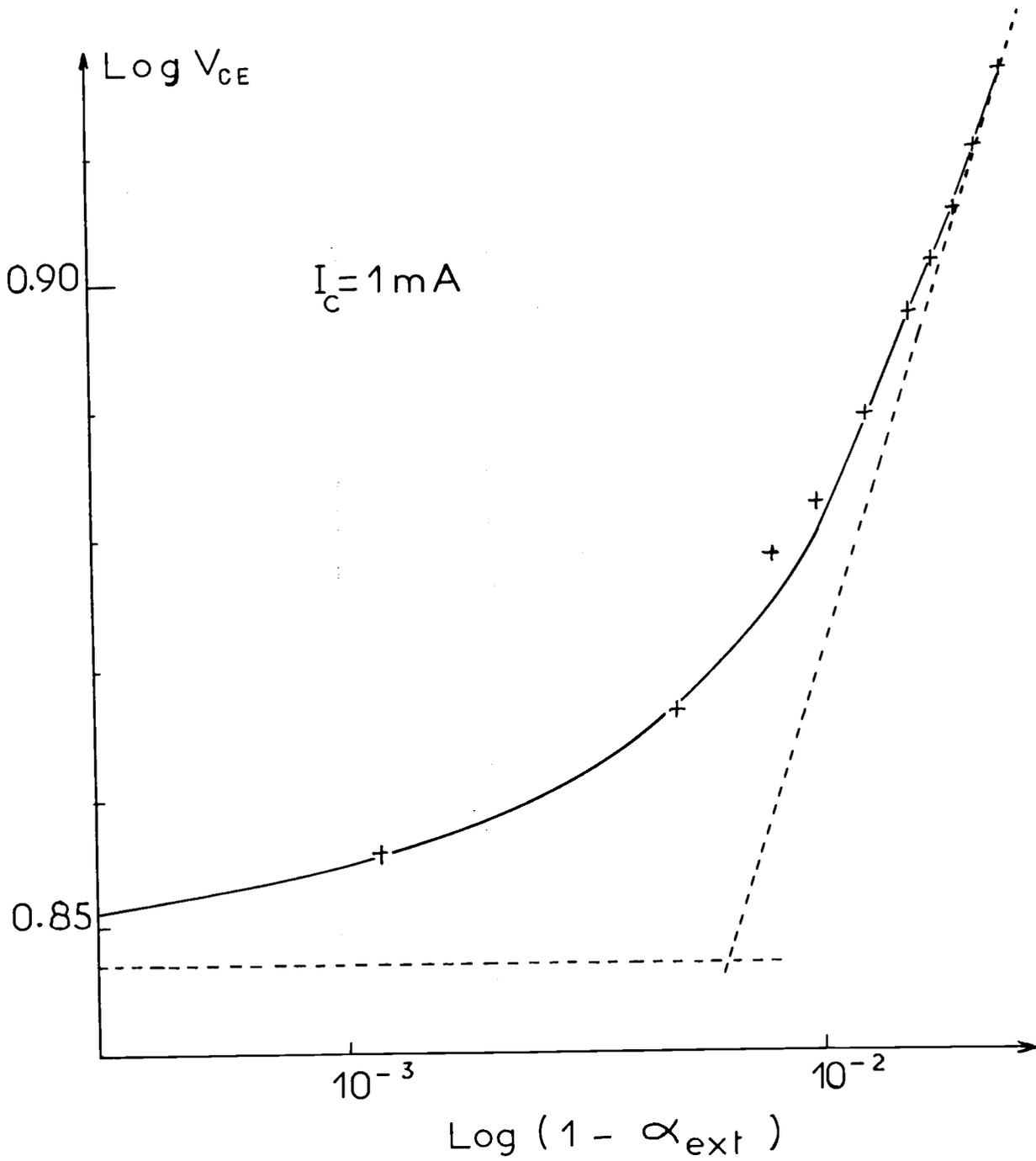


Figure II.11 : Courbe expérimentale $\log(V_{CE}) = f(\log(1 - \alpha_{ext}))$ avec une valeur de β (160) trop élevée.

d'extraction du courant base nous a permis de repousser ces oscillations vers de plus grandes valeurs de $1 - \alpha_{ext}$ sans toutefois nous en débarrasser complètement.

Essayons maintenant d'analyser la cause de cette instabilité dans le circuit. Sur la caractéristique en avalanche d'un transistor, figure II.12, il existe une partie à résistance négative ; pour ne pas avoir de possibilité de relaxation pendant le fonctionnement, il faut que la droite de charge coupe la caractéristique en un seul point [13].

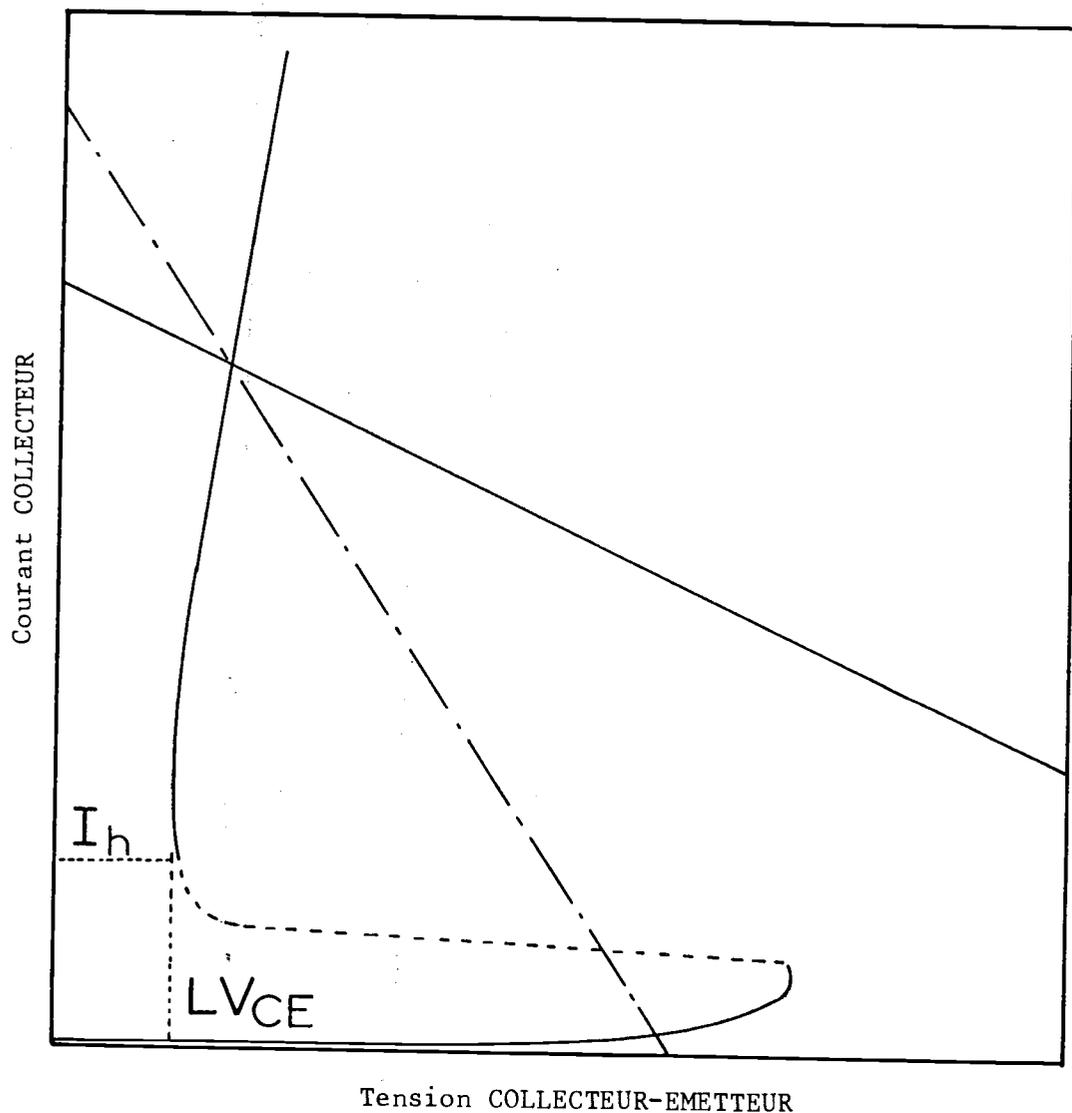


Figure II.12 : Caractéristique en avalanche avec les droites de charges. La droite en trait mixte coupe la caractéristique en deux points, il peut y avoir instabilité ; la droite en trait continu ne coupe la caractéristique qu'en un seul point ; le montage est stable.

Il suffit pour cela de prévoir une résistance collecteur suffisamment grande afin de rendre la droite de charge la plus horizontale possible (figure II.12). Cette solution simple induit tout de même une difficulté. En effet, auparavant l'alimentation collecteur était assurée par un simple générateur d'impulsions (HP 8012 B), le fait d'intercaler une résistance de collecteur de forte valeur (de l'ordre de 100 k Ω) nous oblige à prévoir des impulsions de très forte amplitude afin de pouvoir débiter un courant suffisant : pour fournir, par exemple, un courant collecteur de 1 mA, il faudra des créneaux d'amplitude supérieur à 100 V. Nous avons donc mis au point un amplificateur capable de commuter ± 120 V et possédant un temps de montée court, inférieur à 2 μ s en charge sur 20 k Ω , compatible avec la durée de nos créneaux qui est de l'ordre de 15 μ s, le détail de ce circuit est présenté en annexe II.

L'adjonction de la résistance de collecteur nous a permis de faire de grands progrès dans la définition de l'asymptote oblique mais nous avons constaté que les oscillations, bien que repoussées, subsistaient ; nous nous sommes alors demandés si elles n'étaient pas la conséquence d'un phénomène intrinsèque aux conditions de manipulation.

II.3.2. Analyse de la stabilité de la conduction

La caractéristique en avalanche, $I_C(V_{CE})$, de la figure II.12 montre que pour faire cesser la conduction du transistor il faut faire passer le courant collecteur en dessous d'une valeur que nous avons notée I_h . Cette valeur limite n'est pas sans rappeler le courant de maintien dans une structure thyristor [14]. Nous savons que dans le composant en conduction en avalanche, la condition :

$$(17) \quad M \alpha = 1$$

doit être respectée, essayons d'analyser les variations respectives de M_n et α .

Plaçons-nous dans le cas particulier où $I_{Bext} = 0$, ceci permet de simplifier le raisonnement car alors $\alpha = \gamma$. Si nous exprimons M_n par la relation de Miller, nous pouvons dire que M_n

augmente avec la tension V_{CE} appliquée au composant. Nous avons noté, ci-dessus que γ était constant en faible injection, c'est en fait une approximation car γ varie ; les variations de γ sont faibles dans le domaine de la faible injection et elles sont régies par deux phénomènes :

- les recombinaisons dans la zone dépeuplée de la jonction base-émetteur qui font croître γ dans les conditions de très faible injection quand le courant augmente ;

- l'injection forte qui fait diminuer γ quand la densité de courant augmente.

Ces deux conditions font que la courbe représentant γ en fonction du niveau de courant est croissante pour I_C faible, passe par un maximum puis décroît lorsque I_C devient important. Sur la figure II.12, dans la partie de la caractéristique correspondant à la conduction I_C augmente avec V_{CE} , donc si nous voulons diminuer le niveau de courant dans le transistor, il faut diminuer la tension collecteur-émetteur.

Reprenons la relation (17), si dans le transistor en conduction, et pour de fortes valeurs du courant collecteur (supérieures à $20 \mu A$), I_C (donc V_{CE}) est diminué ; ceci a deux conséquences :

- M_n diminue,
- γ augmente,

et un nouveau point d'équilibre va s'établir pour vérifier la relation

$$M_n \gamma = 1$$

Si le courant est encore diminué γ va passer par son maximum et la relation (17) ne pourra plus être vérifiée car M_n et γ diminuent. Cela va entraîner le blocage du transistor ; la valeur de I_h est de l'ordre de $10 \mu A$ pour nos composants. Il apparaît donc que la conduction d'un transistor en avalanche est réglée par le produit de deux gains (M_n peut être considéré comme un gain en avalanche) d'où l'analogie avec une structure thyristor où c'est une somme de deux gains qui est mise en jeu.

Plaçons-nous maintenant dans le cas où I_{Bext} est non nul et examinons l'effet qu'il a sur la conduction. Si un courant de base est extrait, il diminue la quantité de trous injectés dans l'émetteur et donc le courant collecteur, pour maintenir celui-ci

à sa valeur, il faut augmenter V_{CC} (donc V_{CE}). A priori, rien ne nous empêche de le faire tant que nous ne sommes pas limités par la tenue en tension mais à partir d'un rapport I_{Bext}/I_C de 2.10^{-2} , qui diminue quand I_C augmente, nous constatons soit l'apparition d'oscillations de la tension collecteur-émetteur, soit le blocage du composant.

Pour expliquer ce comportement, il est nécessaire de prendre en compte un phénomène que nous avons négligé jusqu'à présent à savoir le bruit dans le transistor. Il est connu [15,16,17] que le phénomène d'avalanche est électriquement bruyant, il est notamment la source d'un bruit blanc dû aux chocs électrons-atomes (shot-noise). L'expression de la densité spectrale de ce bruit peut être mise sous la forme [16] :

$$(18) \quad \psi = 2q I_{in} M_n^3 \left(1 - (1 - k) \left(\frac{M_n - 1}{M_n} \right)^2 \right)$$

avec q , charge élémentaire

$I_{in} = I_n$ courant injecté dans la zone de multiplication

$k = \alpha_p/\alpha_n$ rapport des vitesses d'ionisation des trous et des électrons.

Dans le silicium, cette expression devient :

$$(19) \quad \psi = 2q I_C \left(1 + 3 \left(\frac{V}{V_B} \right)^n \right)$$

avec n , exposant de Miller ; V , tension aux bornes de la jonction, et

$$\left(\frac{V}{V_B} \right)^n \ll 1$$

La formule (19) montre que les fluctuations dues au bruit peuvent devenir importantes pour les forts niveaux de courant collecteur (I_C et V augmentent). Cependant, ces variations restent tout de même faibles devant les courants principaux et ne peuvent pas nous faire passer en dessous du seuil de conduction (I_h).

Un autre phénomène peut avoir une influence sur le comportement du transistor. READ [18] a en effet montré que, dans des conditions bien précises, des fluctuations de courant dans une zone

de transition pouvaient aboutir à des relaxations dans un circuit, dans le cas du fonctionnement en avalanche les capacités du circuit peuvent suffire à entretenir ces relaxations. Le principe de ces oscillations est celui des diodes IMPATT : lorsque dans une jonction PN polarisée en inverse le potentiel de la couche N est élevé cela provoque une augmentation du coefficient de multiplication et donc du courant inverse. Si les variations de la tension se font instantanément, au temps de relaxation diélectrique près ($\approx 10^{-12}$ s) le courant lui ne variera que lorsque les porteurs générés auront franchi la zone de champ électrique et auront été collectés. Ce retard entre le courant et la tension peut aboutir à un produit $U.I$ négatif favorable à des relaxations.

Nous avons constaté expérimentalement que la fréquence des oscillations diminuait quand I_E était augmenté, cela est dû à l'augmentation de la capacité de diffusion émetteur-base. C'est donc bien un phénomène de ce genre qui se produit dans notre composant ; cette capacité de diffusion reste cependant de l'ordre de 1 pF ce qui autorise des fréquences de relaxation très élevées même avec une résistance de 100 k Ω dans le collecteur.

II.3.3. Synthèse du montage expérimental

Le montage résultant de toutes les considérations précédentes est présenté sur la figure II.13 ; il est essentiellement composé de trois parties que nous allons considérer séparément.

a. Circuit collecteur

Pour des courants inférieurs ou égaux à 1 mA, nous avons placé dans le collecteur du transistor en test une résistance de 82 k Ω , la puissance maximale dissipée par cette résistance étant de 82 mW, nous n'avons à craindre aucun échauffement de ce composant.

La mesure du courant I_C pose le problème général des courants flottants extrêmement difficiles à mesurer précisément, surtout dans notre cas car nous travaillons en impulsions. La méthode classique de différence de deux tensions aux bornes d'une

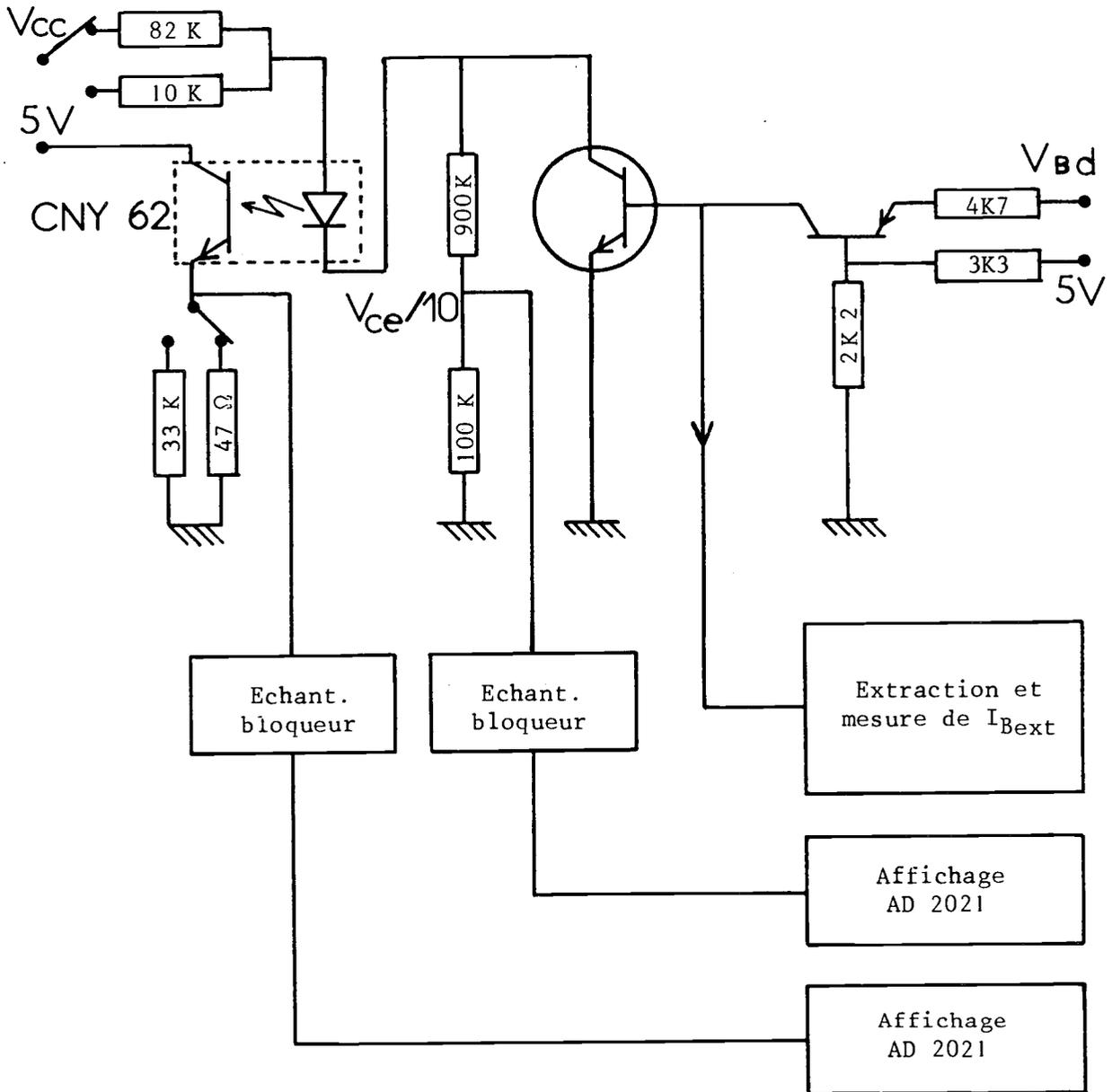


Figure II.13 : Montage expérimental

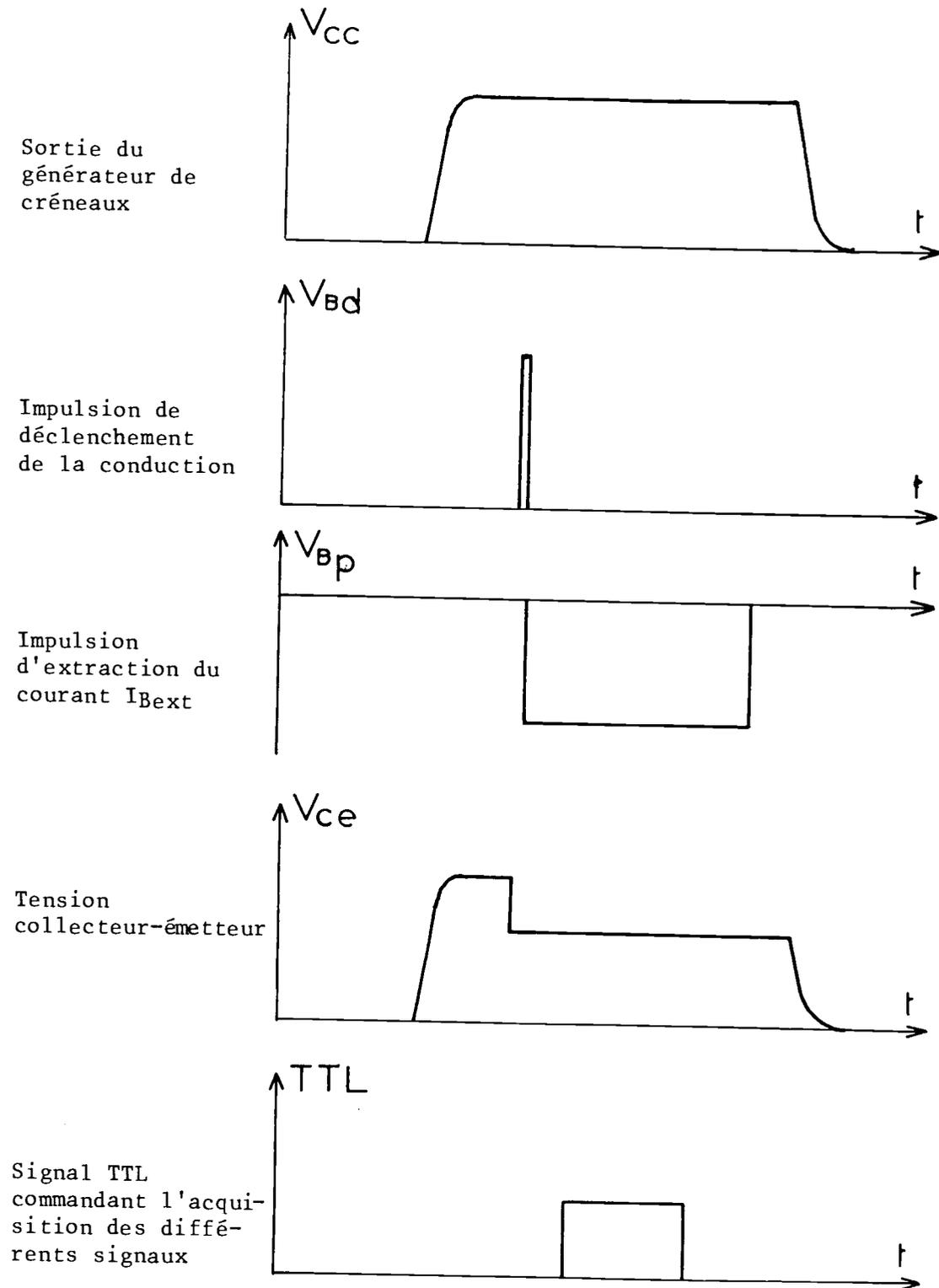
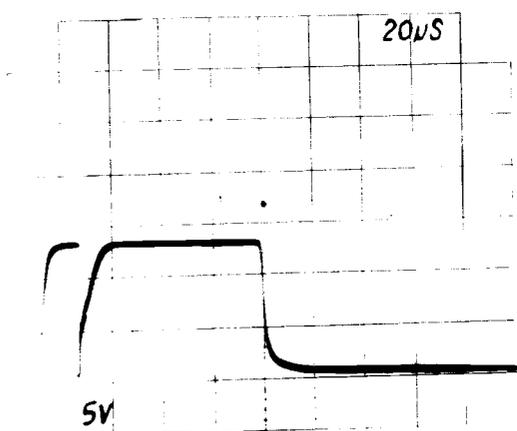
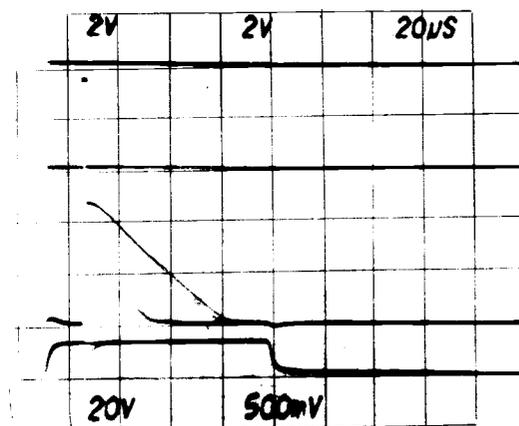


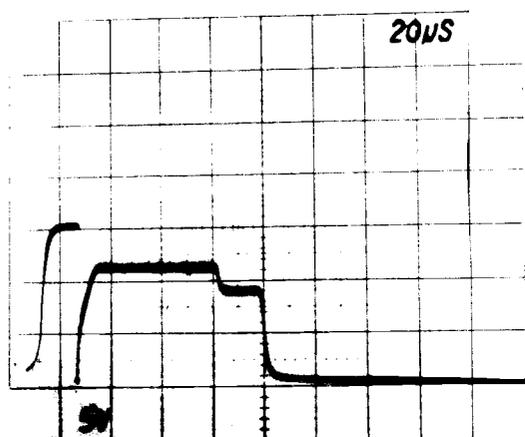
Figure II.14.a : Diagramme de synchronisation des signaux.



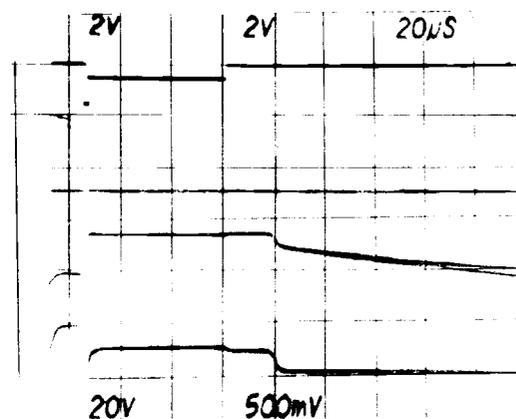
1)



2)



3)



4)

Figure II.14.b : Photographies des impulsions de synchronisation qui montrent respectivement :

(1) le tension VCE quand le composant est bloqué,

(2) de haut en bas, l'impulsion d'extraction du courant I_{Bext} , nulle, l'impulsion de déclenchement de la conduction (très courte), la tension base-émetteur nulle sauf pendant la durée du pic direct,

(3) est le dual de (1) en conduction,

(4) dual de (2) en conduction.

résistance est inapplicable ici car le mode commun est trop élevé (8 Volts). L'idée originale que nous avons développée est d'utiliser un photocoupleur (RTC, CNY 62). Elle présente plusieurs avantages : cela permet de référencer la mesure par rapport à la masse, il y a amplification in situ du signal grâce au phototransistor et surtout une isolation parfaite du circuit de mesure. Aux niveaux de courant auxquels nous travaillons ($> 10 \mu\text{A}$), la sensibilité est suffisante et aucun problème de commutation n'a été constaté. Pour les bas niveaux de courant, le signal de sortie n'étant pas proportionnel à la grandeur d'entrée, cette contrainte nous a obligé à utiliser une courbe d'étalonnage. Nous disposons également de plusieurs résistances dans l'émetteur du phototransistor qui permettent d'obtenir plusieurs gammes de sensibilité. La mesure de la tension sur la résistance d'émetteur qui nous donne la valeur du courant est assurée par un échantillonneur-bloqueur suivi d'un voltmètre de panneau.

b. Déclenchement de la conduction

Nous avons vu que l'application d'un pic direct de courant base pouvait apporter les charges suffisantes pour déclencher la conduction de la jonction base-émetteur. Le système adopté est un transistor PNP monté en base commune sur l'émetteur duquel nous envoyons une impulsion de tension synchrone du créneau de tension collecteur. Aucune mesure de ce courant n'est nécessaire, il suffit que nous nous assurerions que sa durée est courte devant celle du pic de courant inverse, voir figure II.14.b.

c. Extraction de I_{Bext}

Elle est assurée par un système dual du déclenchement de la conduction à savoir un transistor NPN en base commune commandé sur l'émetteur par une impulsion de tension synchrone de la tension V_{CE} , voir figure II.9. Etant donné les niveaux de courant demandés (de 200 nA à $50 \mu\text{A}$) un transistor bas niveau est utilisé (BC 109). Pour la mesure du courant I_{Bext} nous avons choisi de placer une résistance dans l'émetteur du BC 109 et de mesurer la chute de tension à ses bornes. Les deux tensions sont prises par des échantillonneurs-

bloqueurs dont les sorties sont envoyées sur un amplificateur différentiel, cette différence est ensuite lue par un voltmètre de panneau.

d. Remarques

- Pour des courants collecteur supérieurs à 1 mA nous sommes contraints de ramener la résistance dans le collecteur à 10 k Ω ce qui, naturellement, nous pénalise car les oscillations apparaissent plus tôt et ne permettent pas une bonne définition de l'asymptote.

- La mesure de V_{CE} est indiquée sur la figure II.13 ; pour celle de V_{BE} , nous avons la possibilité de brancher directement l'échantillonneur-bloqueur sur la base du transistor mais pour les bas courants ce montage perturbait la mesure, aussi la vérification du niveau de focalisation s'est-elle faite différemment (voir paragraphe II.5).

- Le diagramme de synchronisation des différentes impulsions est présenté sur la figure II.14.a.

e. Conclusion

La conception et la réalisation de montages de mesures bas niveau en impulsions avec des temps de montée courts est une chose délicate, de nombreux problèmes se sont présentés, des solutions originales ont été trouvées. La place qu'a tenu ce montage dans notre travail ne correspond pas à celle qu'il occupe dans ce mémoire, en effet cela nous a demandé beaucoup de temps, le résultat est un banc de mesure en impulsions très rapide et précis.

C'est avec ce montage qu'ont été réalisées la plupart des mesures présentées par la suite.

II.4. MESURES REALISEES

Nous avons essentiellement réalisé les mesures sur des structures dont les dimensions d'émetteur sont $30 \mu\text{m}$ de long, $18 \mu\text{m}$ de large et $0,2 \mu\text{m}$ d'épaisseur. Cela permet d'obtenir une focalisation maximum, en effet, plus l'émetteur est long, c'est-à-dire plus la résistance de base pincée sous l'émetteur est grande, plus la chute de tension le long de la base va être importante et meilleur sera l'effet de focalisation. Une plus grande partie du courant passera donc par le centre de la jonction base-émetteur, nous mesurerons bien ainsi le gain "interne" du transistor, (voir Annexe III).

La figure II.15 représente une courbe $\log V_{CE} = \log(1 - \alpha_{\text{ext}})$ les asymptotes expérimentales ont été tracées en trait interrompu.

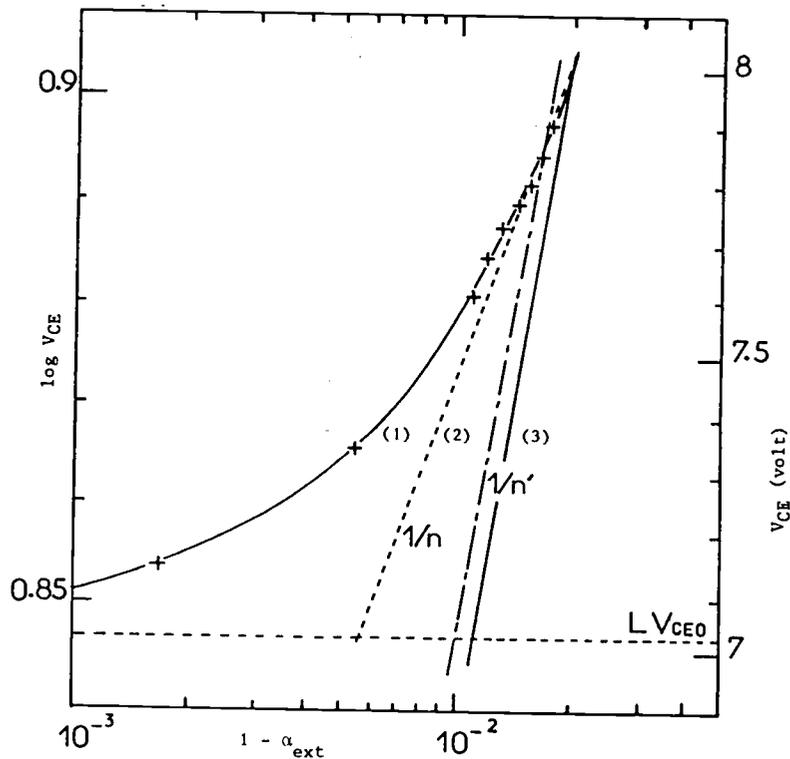


Figure II.15 : Courbe expérimentale $\log V_{CE} = \log(1 - \alpha_{\text{ext}})$ montrant les deux types d'erreurs expérimentales conduisant à une mauvaise définition de l'asymptote.

Les asymptotes (1) et (2) illustrent les deux types d'erreurs expérimentales possibles dues aux oscillations qui empêchent d'obtenir plus de points de mesure quand I_{Bext} augmente :

- la direction asymptotique n'est pas encore atteinte, l'asymptote que nous traçons (1) n'a pas la bonne pente et cela aboutit à la mesure d'une valeur de γ trop grande. La bonne pente de l'asymptote (voir ci-dessous) est $1/n'$ (droite (2)), une correction sur la valeur expérimentale s'impose ;

- même avec cette correction, comme il manque des points expérimentaux un décalage avec l'asymptote réelle (3) peut subsister. Nous allons voir qu'il est possible d'appliquer une correction à la pente $1/n$ de l'asymptote qui permettra une amélioration de la détermination du gain interne. Le principe de cette correction est la mesure de l'exposant de Miller "n", par la méthode développée par KUPER [19]. Avec la nouvelle valeur de n, nous retraçons à partir du dernier point expérimental une nouvelle asymptote, droite (2) sur la figure II.15, nous allons maintenant présenter cette méthode.

La mesure de n repose sur le fait que si le collecteur et la base d'un transistor sont court-circuités, il n'y a pas d'effet de multiplication donc $M_n = 1$. Dans un premier temps, nous imposons un courant d'émetteur grâce à un générateur de courant puis nous mesurons en fonction de la tension collecteur-base V_{CB} la variation du courant I_C et de V_{BE} , figure II.16.a. Nous choisissons la plage de variation de V_{CB} équivalente à celle utilisée pour la mesure en avalanche, dans cet intervalle de tension (par exemple entre 7 et 9 Volts), nous négligeons l'effet Early. Dans un deuxième temps, figure II.16.b, de manière à connaître dans quelle mesure l'accroissement de I_C est dû à la multiplication, lorsque V_{CB} augmente, le courant base I_{B_1} est mesuré en fonction de V_{BE} dans des conditions où il n'y a pas multiplication, c'est-à-dire quand $V_{CB} = 0$. Pour calculer M, coefficient de multiplication, il suffit de retrancher le courant de base dû à l'effet de gain, I_{B_1} , au courant d'émetteur afin qu'il ne subsiste plus que le terme de multiplication ; il vient :

$$M_n (V_{CB}) = \frac{I_C (V_{CB})}{I_E - I_{B_1} (V_{BE})}$$

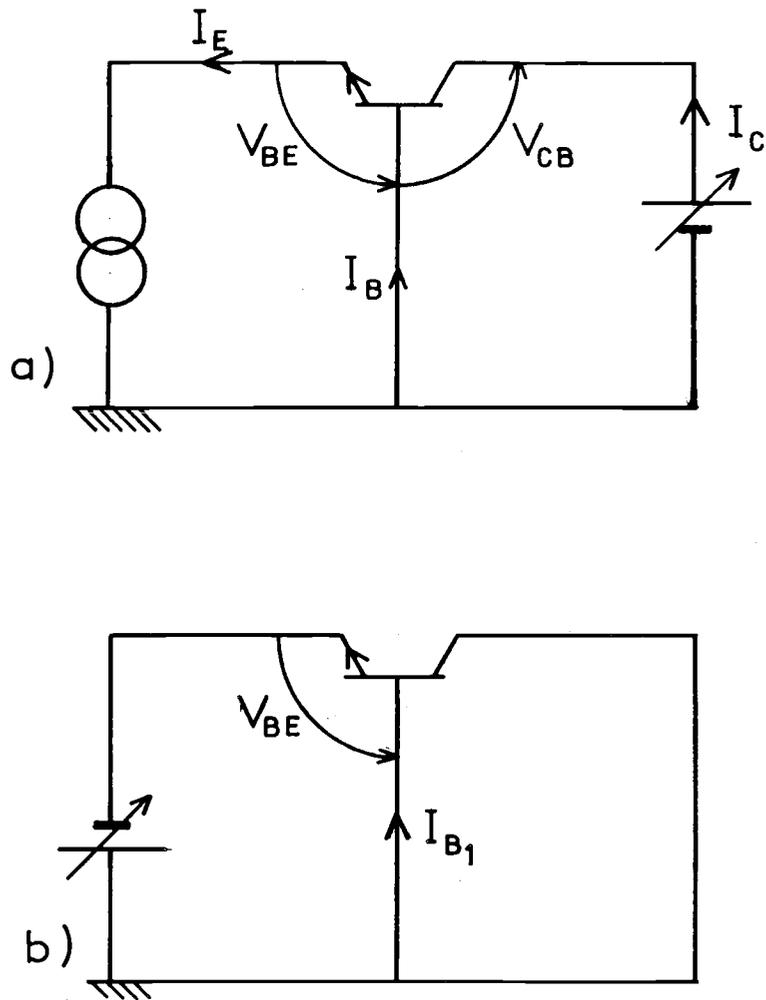


Figure II.16 : Montage expérimentale de mise en oeuvre de la méthode de Kuper.

Enfin, à l'aide d'une formule équivalente à celle de Miller, les courbes obtenues sont approchées et nous en déduisons une nouvelle valeur n' de l'exposant de Miller.

A l'aide de la méthode en avalanche et de la correction de Kuper, nous avons pu tracer sur la figure II.17, le gain interne du transistor en fonction du niveau de courant I_C . Nous avons également porté sur le même diagramme le gain externe classique en émetteur commun du transistor sous 6 V de tension V_{CE} . Il semble a priori que le gain interne soit nettement supérieur au gain externe, toutefois afin de mieux cerner le phénomène physique il est nécessaire de procéder à une modélisation du composant.

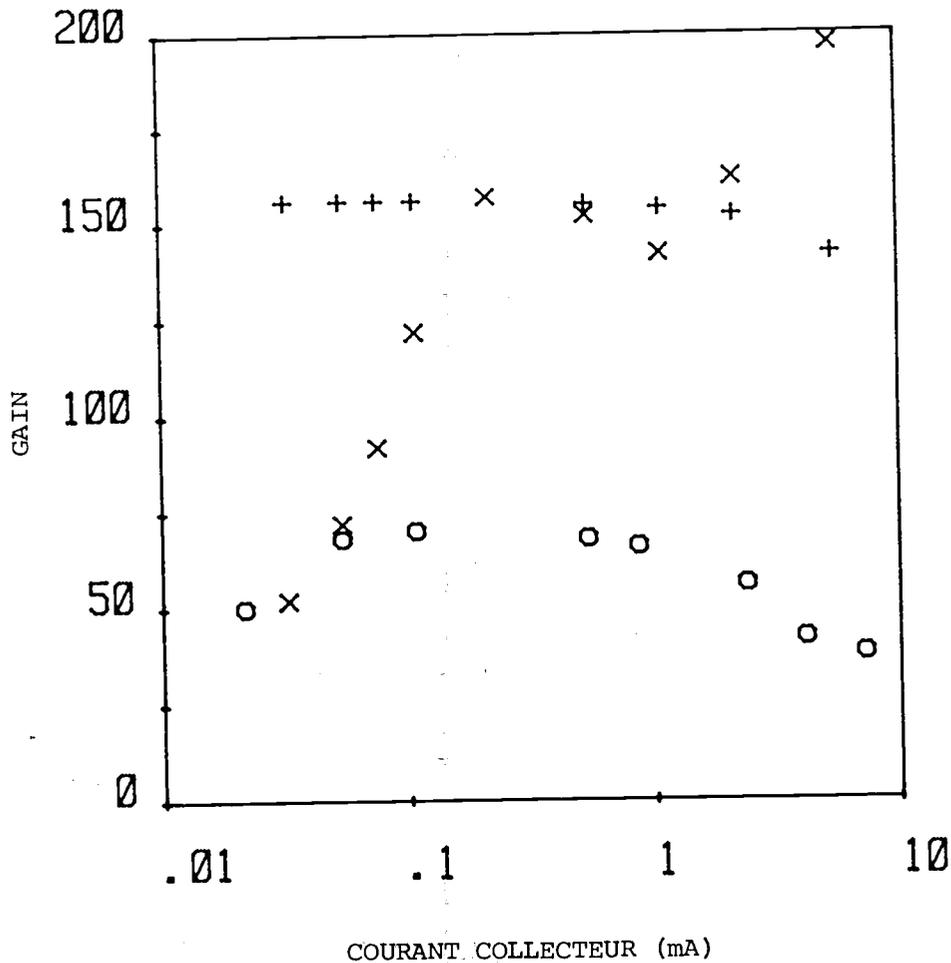


Figure II.17 : Courbes montrant les variations des différents gains du transistor : 0 gain externe en émetteur commun ; X gain interne mesuré ; + gain interne calculé (grâce au modèle § II.5).

II.5. MODELISATION

Dans l'électronique moderne, la complexité et le nombre de paramètres intervenant dans le comportement d'un composant ont fait de la modélisation numérique des dispositifs électroniques un axe essentiel de la recherche dans ce domaine. Très vite pourtant l'application de modèles à des composants de très petites dimensions s'est avérée délicate, en effet dans ces derniers, l'aspect fortement bidimensionnel voire tridimensionnel des phénomènes ajouté à l'impossibilité de mesurer certains paramètres physiques du matériau sont des obstacles difficiles à franchir. Néanmoins de nombreux auteurs ont mis au point des modèles développés des calculs dans les semiconducteurs [²⁰, ²¹, ²², ²³], d'autres ont mesuré les paramètres

physiques des matériaux et notamment l'effet de forts dopages [²⁴,²⁵] mais il demeure extrêmement difficile d'avoir une vue synthétique du problème étant donné la particularité de chacun des travaux publiés.

Dans le cas de nos composants, plusieurs remarques vont nous permettre de faire des hypothèses qui simplifient énormément les calculs que nous aurons à effectuer. Les transistors dont nous disposons sont des structures d'étude, leur géométrie particulière, figure II.18, facilite grandement la modélisation. Chaque dispositif est enfermé

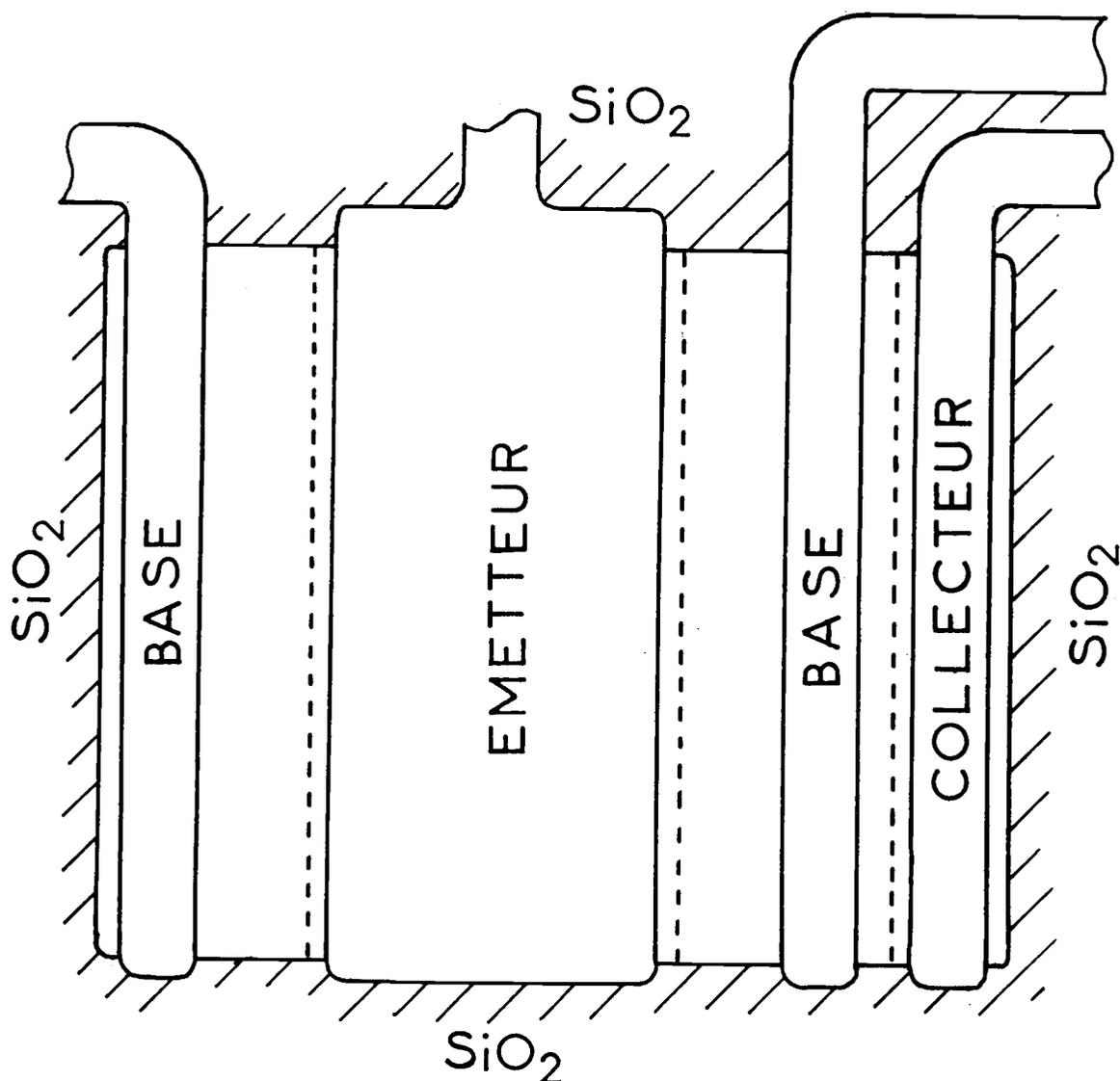


Figure II.18 : Vue de dessus d'un de nos composants montrant le caisson de silice et la configuration simple qui permet d'obtenir des lignes de courant parallèles (les jonctions sont indiquées en trait interrompu).

dans un caisson de silice et la base n'entoure pas l'émetteur, cela permet d'obtenir des lignes de courant parallèles dans la structure ce qui supprime le comportement bidimensionnel. Nous allons donc pouvoir nous contenter d'un modèle unidimensionnel avec tout ce que cela comporte comme avantages sur les temps de calcul et les performances requises du calculateur qui sera ici un calculateur de table HEWLETT PACKARD HP 9825 A. De plus, comme nous considérons dans les calculs qu'il y a focalisation des lignes de courant, les diodes latérales émetteur-base ne sont pas prises en compte et les résistances d'accès de base sont négligées. Finalement, la figure II.19 montre la structure que nous prenons effectivement en compte pour la modélisation, qui, bien que simplifiée permettra cependant de décrire correctement le comportement du composant.

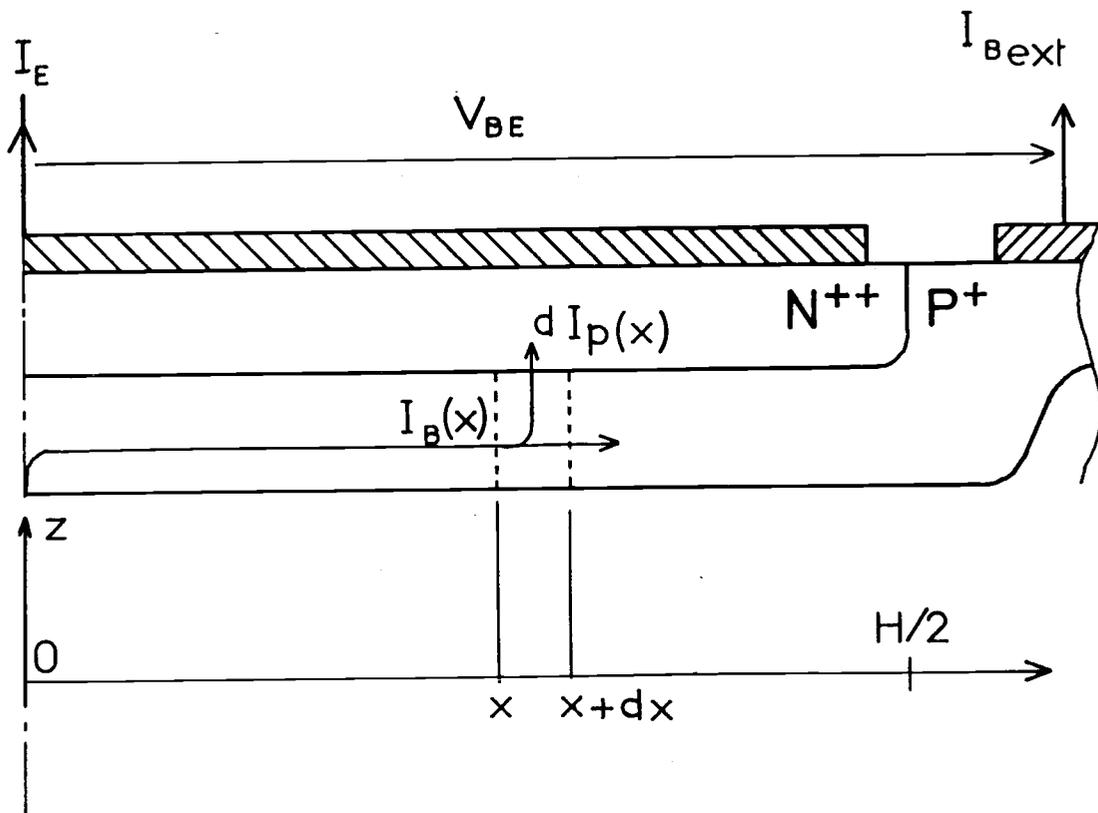


Figure II.19 : Demi-coupe d'un transistor montrant la structure élémentaire utilisée dans les calculs.

Dans un premier temps, nous allons exprimer la focalisation des lignes de courant vers le centre de la jonction émetteur-base. Nous supposons que la génération des porteurs se fait ponctuellement au milieu de la structure aussi n'en considérons-nous que la moitié, car il y a symétrie, les axes seront orientés comme sur la figure II.19. Considérons un élément quelconque du transistor dont la surface est $L \cdot dx$ avec L , largeur de la structure. Le courant de trous $d I_p(x)$ injecté dans cet élément d'émetteur est donné par l'équation [26, 27, 3] :

$$d I_p(x) = \left(- q D_{pE} \frac{d P(x)}{dz} + q \mu_p P(x) \varepsilon \right) L \cdot dx$$

Dans notre cas, la composante de dérive est négligée car le dopage est quasiment constant, l'expression devient

$$d I_p(x) = - q D_{pE} \frac{d P(x)}{dz} L \cdot dx$$

Il convient, à ce niveau du calcul, de faire des hypothèses sur la diode base-émetteur :

- dans la base, nous sommes dans le cas de la diode courte, en effet le dopage maximum de la base est de $5 \cdot 10^{17} \text{ cm}^{-3}$, or à ces valeurs, la longueur de diffusion des électrons est supérieure à $10 \mu\text{m}$ donc bien plus grande que l'épaisseur de la couche P^+ qui est de $0,2 \mu\text{m}$;

- l'épaisseur de l'émetteur est de $0,3 \mu\text{m}$, or les travaux publiés par WIEDER [25] indiquent, pour un dopage de $2 \cdot 10^{20} \text{ cm}^{-3}$, une valeur de la longueur de diffusion des trous dans une couche semiconductrice de type N dopée à l'arsenic de $0,15 \mu\text{m}$. Ces conditions sont pratiquement identiques aux nôtres, nous avons donc choisi d'utiliser plutôt le modèle de la diode longue dans nos calculs.

D'autres résultats de mesure de longueur de diffusion ont été publiés mais souvent uniquement basés sur des modèles ou utilisant des méthodes dont la résolution n'est pas suffisante (EBIC, photogénération) pour être employées dans des matériaux très fortement dopés. Nous pouvons donc exprimer $d P(x)/dz$

$$\frac{d P(x)}{dz} = \frac{1}{L_{pE}} p_{no} \left(\exp \frac{V(x)}{U_T} - 1 \right)$$

L_{pE} : longueur de diffusion des trous dans l'émetteur ; U_T : potentiel thermique ; $p_{no} = n_{iE}^2 / N_{DE}$

Avec n_{iE} , concentration intrinsèque dans l'émetteur, N_{DE} , dopage d'émetteur, $V(x)$ est la tension base-émetteur au point x , nous considérons que l'émetteur, fortement dopé et peu résistif, est équipotentiel à la tension de référence, $V(x)$ sera donc en fait le potentiel de la base au point x . Finalement, nous obtenons l'expression de $d I_p(x)$:

$$(17) \quad d I_p(x) = \frac{-q D_{pE} L n_{iE}^2 dx}{L_{pE} N_{DE}} \left(\exp \frac{V(x)}{U_T} - 1 \right)$$

Effectuons maintenant un bilan des courants dans un élément de transistor

$$I_B(x + dx) + d I_p(x) = I_B(x)$$

d'où

$$(18) \quad d I_p(x) = - d I_B(x)$$

Nous pouvons exprimer la chute de tension ohmique entre x et $x + dx$

$$V(x + dx) - V(x) = - d R(x) I_B(x)$$

que nous pouvons également écrire :

$$(19) \quad \frac{d V(x)}{dx} dx = - d R(x) I_B(x)$$

Nous allons maintenant donner l'expression de $d R(x)$

$$d R(x) = \rho_B \frac{dx}{L \cdot Z_B}$$

avec Z_B , épaisseur de la base ; ρ_B , résistivité de la base ; nous considérons que cette résistivité est constante et nous verrons par la suite que cette condition est bien réalisée, exprimons ρ_B :

$$\rho_B = \frac{1}{Z_B} \int_0^{Z_B} \frac{1}{q \mu_p(z) P(z)} dz$$

Cette intégrale sera résolue numériquement par un relevé de $P(z)$, l'expression (19) peut s'écrire :

$$\frac{d V(x)}{dx} = - \frac{\rho_B}{L \cdot Z_B} I_B(x)$$

Dérivons cette égalité, il vient

$$(20) \quad \frac{d^2 V(x)}{dx^2} = - \frac{\rho_B}{L \cdot Z_B} \frac{d I_B(x)}{dx}$$

D'après (18) et (20), nous pouvons écrire

$$(21) \quad d I_p(x) = \frac{L \cdot Z_B}{\rho_B} \frac{d^2 V(x)}{dx^2} dx$$

Si nous égalisons les expressions (17) et (21), nous obtenons :

$$\frac{-q D_{pE} L n_{iE}^2}{L_{pE} N_{DE}} \left(\exp \frac{V(x)}{U_T} - 1 \right) = \frac{L \cdot Z_B}{B} \frac{d^2 V(x)}{dx^2}$$

d'où

$$\frac{d^2 V(x)}{dx^2} + K \left(\exp \frac{V(x)}{U_T} - 1 \right) = 0$$

avec

$$K = \frac{q B D_{pE} n_{iE}^2}{L_{pE} N_{DE} Z_B}$$

Nous obtenons donc l'équation donnant la variation de la tension base-émetteur en fonction de la position sous ce dernier.

La résolution de cette équation peut se faire analytiquement mais nous avons préféré une solution numérique par différences finies qui est très simple à réaliser et souple à utiliser. La seule condition aux limites expérimentale utilisable dans cette relation est la tension base extérieure qui sera dans l'équation :

$$V \left(\frac{H}{2} \right)$$

H étant la longueur de l'émetteur divisée par deux pour prendre en compte la symétrie de la structure.

A partir de la distribution des potentiels, figure II.20 et en reportant ces valeurs dans l'équation (17), nous obtenons facilement la répartition du courant de trous sous l'émetteur.

Pour simuler un cas réel, nous disposons de trois conditions aux limites expérimentales :

- la tension base-émetteur extérieure : $V(H/2)$
- le courant I_{Bext} extrait de la base : $I_B(H/2)$
- le courant d'émetteur auquel nous travaillons : $I_E \approx I_C$

(en faible multiplication).

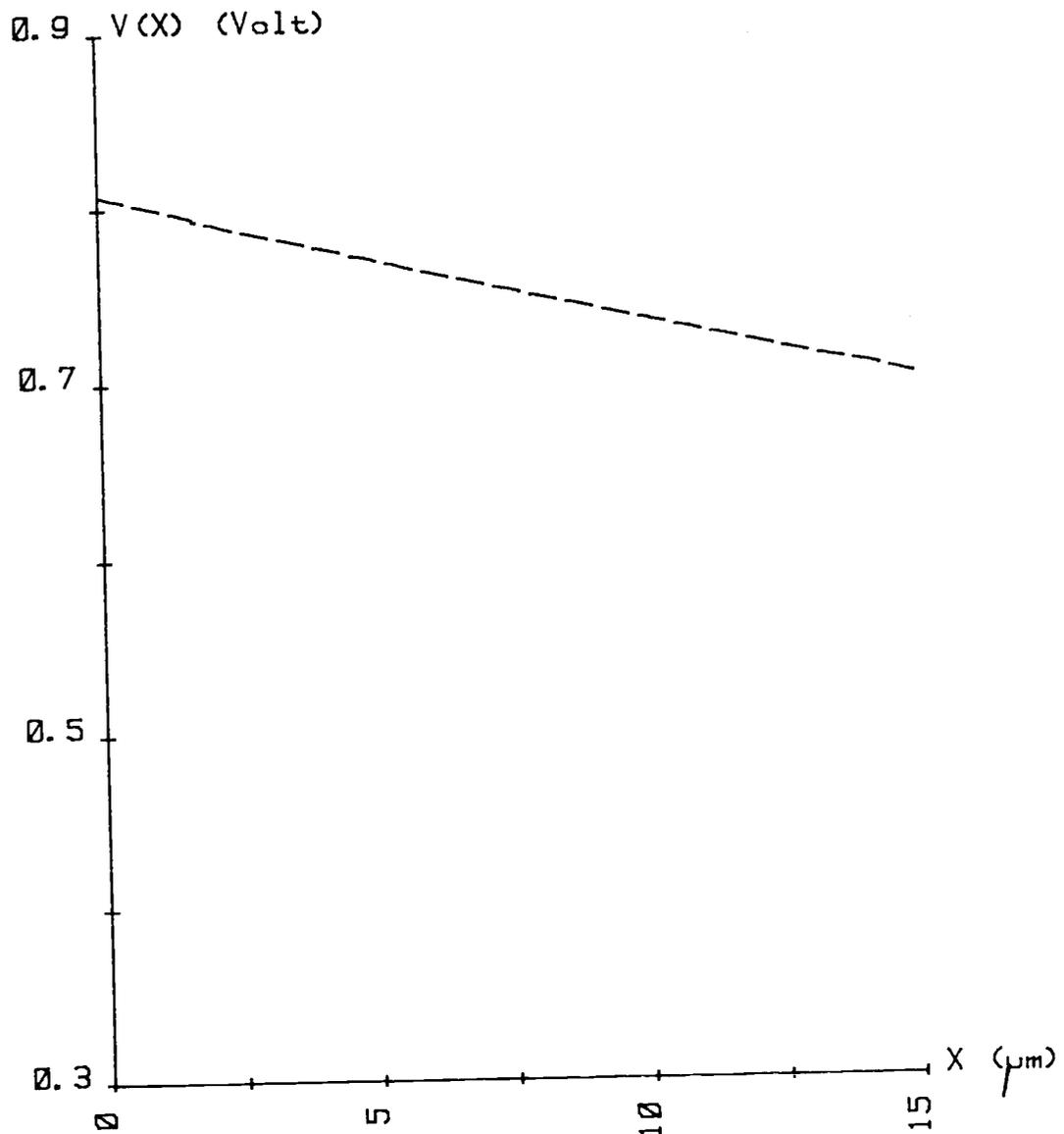


Figure II.20 : Répartition du potentiel le long de l'émetteur ($I_{Bext} = 40 \mu A$).

Grâce aux équations ci-dessus, nous pouvons ajuster notre modèle par rapport à la tension base extérieure et au courant de base extrait. La valeur du courant d'émetteur n'est pas prise en compte, il faut donc trouver une relation entre le courant d'émetteur I_E et nos deux autres conditions, cette relation est le gain du transistor que nous allons donc calculer. Comme il est susceptible de varier le long de l'émetteur du fait de la répartition non uniforme de la densité de courant qui peut provoquer, par exemple, le phénomène de forte injection, nous calculons donc le gain du transistor en chaque point de la structure. Nous appellerons ce gain interne local $\nabla(x)$ et le gain total de la structure sera donné par :

$$\beta_{\text{int}} = \frac{\int_0^{H/2} d I_n(x)}{\int_0^{H/2} d I_p(x)}$$

$$(22) \quad \beta_{\text{int}} = \frac{\int_0^{H/2} \nabla(x) d I_p(x)}{\int_0^{H/2} d I_p(x)}$$

La formulation utilisée, développée par ailleurs [4], est une expression commode du gain en fonction des différentes charges dans la jonction base-émetteur que nous noterons :

- Q_E : charge des atomes ionisés dopant l'émetteur électriquement actif, c'est-à-dire répartis sur la longueur de diffusion des trous L_{pE} , nous avons considéré le dopage constant dans l'émetteur, aussi Q_E s'écrit-elle :

$$Q_E = q N_{DE} L_{pE}$$

- Q_B : charge des atomes dopant la base, nous avons vu qu'il existait un gradient de concentration, aussi Q_B sera-t-elle donnée par l'intégrale des charges dans la base

$$Q_B = \int_0^{z_B} P(z) dz$$

$P(z)$ dopage de la base en fonction de la position.

- Q_{SE} : charge stockée dans l'émetteur

$$Q_{SE} = \frac{q L_{pE} n_{iE}^2}{2 N_{DE}} \left(\exp \frac{V(x)}{U_T} - 1 \right)$$

- Q_{SB} : charge stockée dans la base :

$$Q_{SB} = \frac{q Z_B n_{iB}^2}{2 \bar{P}_A} \left(\exp \frac{V(x)}{U_T} - 1 \right)$$

n_{iB} : concentration intrinsèque dans la base ($1,4 \cdot 10^{10} \text{ cm}^{-3}$)

\bar{P}_A : dopage moyen de la base.

Toutes les charges ci-dessus sont exprimées par unité de surface (C/cm^2) et, le calcul du gain étant effectué en annexe IV, nous obtenons l'expression de $\nabla(x)$:

$$\nabla = \frac{\frac{D_{nB} n_{iB}^2 Q_E}{D_{pE} n_{iE}^2 Q_B}}{1 + \frac{Q_{SB}}{Q_B} + \frac{D_{nB} n_{iE}^2 Q_{SE}}{Q_{nE} n_{iE}^2 Q_B}}$$

L'effet de forte injection intervient dans cette expression par le dénominateur où nous retrouvons les charges stockées.

Si les expressions des différentes charges sont portées dans l'équation ci-dessus, nous obtenons :

$$(23) \quad \nabla(x) = \frac{\frac{D_{nB} n_{iB}^2 N_{DE} L_{pE}}{D_{pE} n_{iE} \int_0^{Z_B} P(z) dz}}{1 + \frac{Z_B n_{iE}^2 \exp\left(\frac{V(x)}{U_T} - 1\right)}{2 \bar{P}_A \int_0^{Z_B} P(z) dz} + \frac{D_{nB} n_{iB}^2 L_{pE} \exp\left(\frac{V(x)}{U_T} - 1\right)}{2 N_{DE} D_{nE} \int_0^{Z_B} P(z) dz}}$$

A partir des relations (17), (22), et (23) nous pouvons obtenir la valeur du gain interne, β_{int} . Nous avons vu antérieurement que pour une expérimentation, il existe trois conditions aux limites qui sont :

- V_{BE}' ,
- I_{Bext}' ,
- I_E

Elles vont donc pouvoir être introduites dans notre programme de simulation qu'il faudra faire converger vers le cas réel. Pour le calcul, nous fixons I_{Bext} et I_E , puis nous incrémentons ou décrétons $V(H/2)$ suivant le cas, lorsque la valeur de I_E fixée au départ est atteinte, nous comparons $V(H/2)$ trouvée avec la valeur expérimentale de V_{BE} en avalanche. L'ajustement des valeurs mesurées et calculées se fait par action sur les paramètres physiques du matériau (n_{iE} , D_{pE} , D_{nB} ...). Nous avons porté sur la figure II.21, les courbes expérimentale et théorique de la variation de V_{BE} en fonction du courant I_C pour $I_{Bext} = 0$, nous constatons que la concordance est excellente et que le modèle représente parfaitement le comportement du transistor.

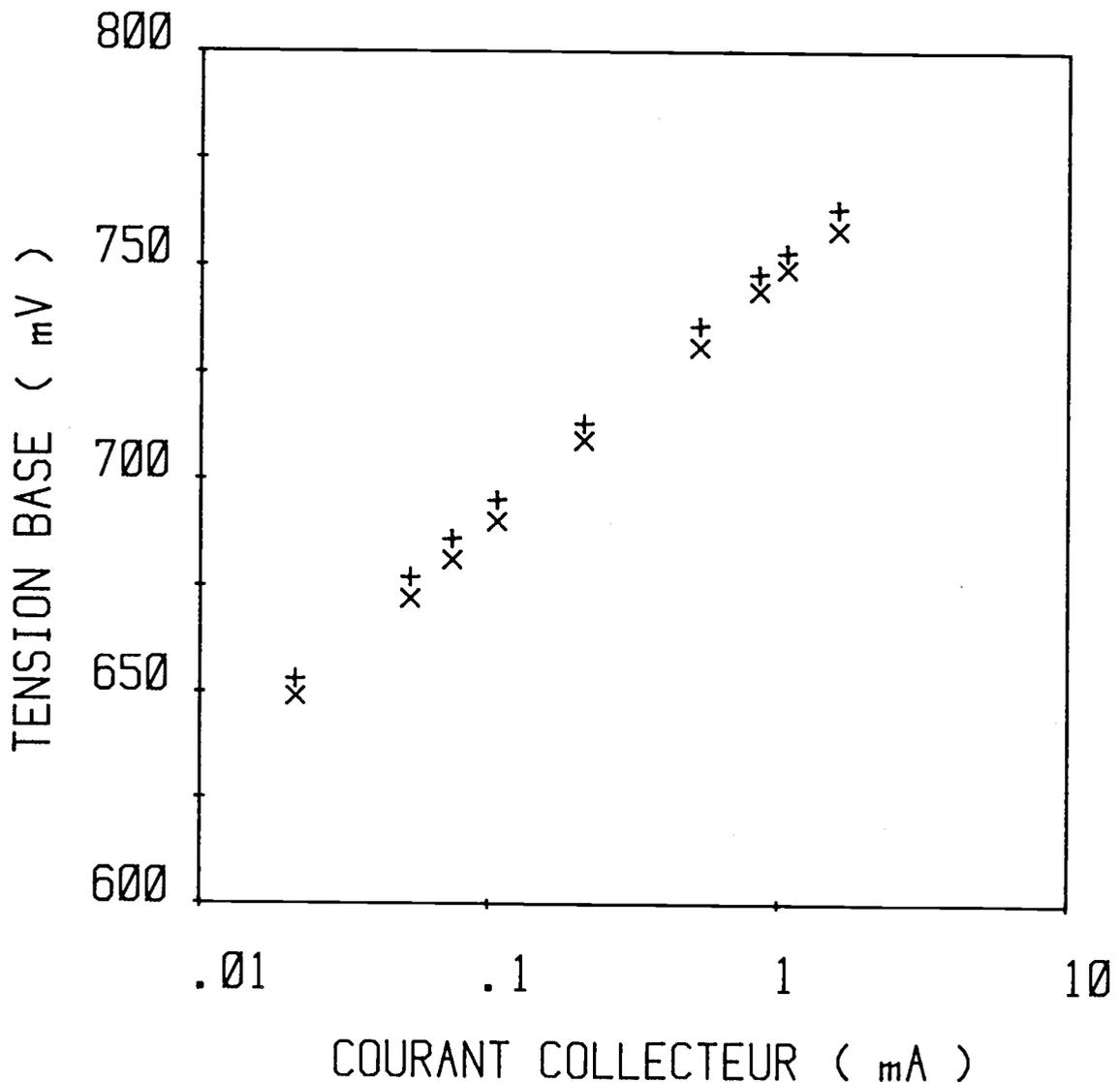


Figure II.21 : Courbes $V_{BE} = f(I_C)$ en conduction en avalanche avec $I_{Bext} = 0$ obtenues expérimentalement (+) et par le modèle (x).

Nous avons également tracé les variations du gain interne mesuré et calculé sur la figure II.17 ainsi que celles du gain en émetteur commun du transistor (appelé gain externe).

Sur la courbe II.17, à faible niveau, le gain calculé reste constant car nous ne tenons pas compte des recombinaisons.

Examinons maintenant les valeurs obtenues pour les paramètres physiques du matériau dans notre modèle :

- n_{iE} : la concentration intrinsèque est difficile à obtenir dans un matériau dégénéré. Les expériences de mesure de diminution du gap et de calcul de la concentration intrinsèque ont toujours été réalisées sur des composants d'étude de grandes dimensions. Il n'est a priori, pas certain, que nous puissions extrapoler ces résultats pour les dispositifs dont nous disposons. En effet, la concentration intrinsèque peut varier à niveau de dopage égal avec la proximité d'un interface ou avec la forme du gradient de dopage. Grâce à notre modèle, nous obtenons $n_{iE} = 7,4 \cdot 10^{10} \text{ cm}^{-3}$. Cette valeur peut être rapprochée de celle obtenue, dans des conditions équivalentes, par Van OVERSTRAETEN à l'aide du programme FUN [4] qui est $6 \cdot 10^{10} \text{ cm}^{-3}$. Ces deux valeurs sont voisines et montrent que notre modèle permet de donner un ordre de grandeur de la concentration intrinsèque dans l'émetteur.

- D_{nB} : la valeur du coefficient de diffusion des électrons dans la base que nous trouvons est de $7 \text{ cm}^2/\text{s}$, cette valeur correspond aux différents travaux publiés [9].

- D_{pE} enfin, le coefficient de diffusion des trous dans l'émetteur, là encore, les données de la littérature sont rares, toutefois WIEDER [25] donne, dans des conditions sensiblement identiques aux nôtres, une valeur de $0,9 \text{ cm}^2/\text{s}$. Or, nous avons obtenu dans notre modèle une valeur de $0,64 \text{ cm}^2/\text{s}$, proche de la précédente.

Remarque : dans nos manipulations, la température extérieure était de l'ordre de 30°C ; pour le calcul, nous avons pris $26,4 \text{ mV}$ pour le potentiel thermique, ce qui correspond à une température de $32,5^\circ\text{C}$.

Nous allons pouvoir interpréter nos mesures à partir des courbes de répartition du courant sous l'émetteur qui sont rassemblées en annexe V.

II.6. INTERPRETATION DES MESURES

A partir des calculs développés ci-dessus, nous savons précisément dans quelles conditions travaille le composant. Sur la figure II.17, il apparaît que le gain interne calculé commence à décroître à partir de 2 mA de courant collecteur en avalanche. Si nous regardons maintenant les courbes de répartition de la densité de courant sous l'émetteur qui sont rassemblées en annexe V ; il apparaît qu'effectivement, pour ces valeurs de l'intensité dans le collecteur, la densité maximale de courant dans la structure (au centre de l'émetteur) peut atteindre une valeur de 1500 A/cm^2 . Dans ce cas, la charge stockée dans la base commence à devenir importante et entraîne une diminution du gain dans cette partie de l'émetteur, diminution qui se répercute sur le gain total théorique de la manière indiquée sur la figure II.17.

Sur la même figure par contre, à partir de 2 mA de courant collecteur, le gain interne mesuré augmente. Il faut voir là un effet de la mauvaise définition de l'asymptote aux forts niveaux de courant due aux oscillations qui ne sont plus repoussées aussi loin du fait de la résistance collecteur plus faible comme nous l'avons vu au paragraphe II.3. Pour les courants supérieurs à 2 mA, les valeurs que nous avons mesurées sont donc beaucoup trop élevées.

Entre 1 mA et $100 \mu\text{A}$, le gain interne mesuré reste approximativement constant. Dans cette plage de valeurs, la forte injection n'est pas sensible, voir courbes en annexe V. Il est donc logique que le gain varie peu. Si nous comparons la valeur du gain interne mesuré, qui est de l'ordre de 150, à celle du gain en émetteur commun (70), voir figure II.17, il apparaît que le rapport entre les deux est notable puisqu'il est supérieur à 2.

Considérons maintenant le très bas niveau de courant : dans ce cas, le gain interne passe de 50 à 150 entre $30 \mu\text{A}$ et $100 \mu\text{A}$; si nous comparons avec la courbe donnant le gain externe sur la même figure, il augmente également dans cette plage de valeurs. Nous pouvons penser que cet accroissement est dû au courant de génération-recombinaison dans la jonction émetteur-base. La valeur relative de ce courant diminue lorsque I_C augmente et si elle

intervient aux faibles valeurs de I_C , elle devient négligeable à partir de $I_C = 100 \mu A$. Mais si nous examinons les courbes de répartition du courant d'électrons sous l'émetteur correspondant à ces niveaux de courant (annexe V), nous pouvons émettre une autre hypothèse quant à l'augmentation du gain interne. En effet, pour $30 \mu A$, la focalisation est quasiment nulle et elle augmente au fur et à mesure que I_C augmente ; pour $100 \mu A$, elle commence à être notable.

Essayons d'analyser les conséquences que cette situation peut avoir notamment sur le gain. Sur la figure II.22, il apparaît lorsque le transistor conduit sur les côtés de la jonction base-émetteur qu'il y a conduction sous un interface Si-SiO₂ ayant une vitesse de recombinaison en surface qui peut être importante. Si la densité de courant est augmentée, l'influence de ces recombinaisons diminue. Dans le cas de la conduction en avalanche non seulement la densité de courant augmente avec I_C mais également le niveau de focalisation. Ceci implique que la partie latérale de la jonction base-émetteur est traversée par une partie moins importante du courant d'électrons. Nous voyons donc que la focalisation des lignes de courant fait diminuer d'autant plus vite l'influence des recombinaisons de surface. A la limite si la diode latérale ne conduit plus, il ne circule sous l'interface Si-SiO₂ qu'un courant de majoritaires, il n'y a plus de recombinaisons.

Nous avons cerné le comportement en avalanche de ce composant en fonction des différents niveaux de courant collecteur. D'après nos résultats, le gain interne de la structure serait de 150 au lieu de 70 pour le gain externe, cependant un paramètre n'a pas été pris en compte dans la mesure de β_{int} : c'est l'effet du rétrécissement de la base. En effet, les mesures en avalanche sont réalisées par définition avec une tension collecteur-émetteur de forte valeur (8-9 Volts) alors que la mesure du gain externe ne peut se faire qu'à V_{CE} plus faible (5-6 Volts). Entre ces deux valeurs de V_{CE} , l'effet Early peut être sensible, aussi à partir du modèle de la jonction collecteur-base présenté en annexe I,

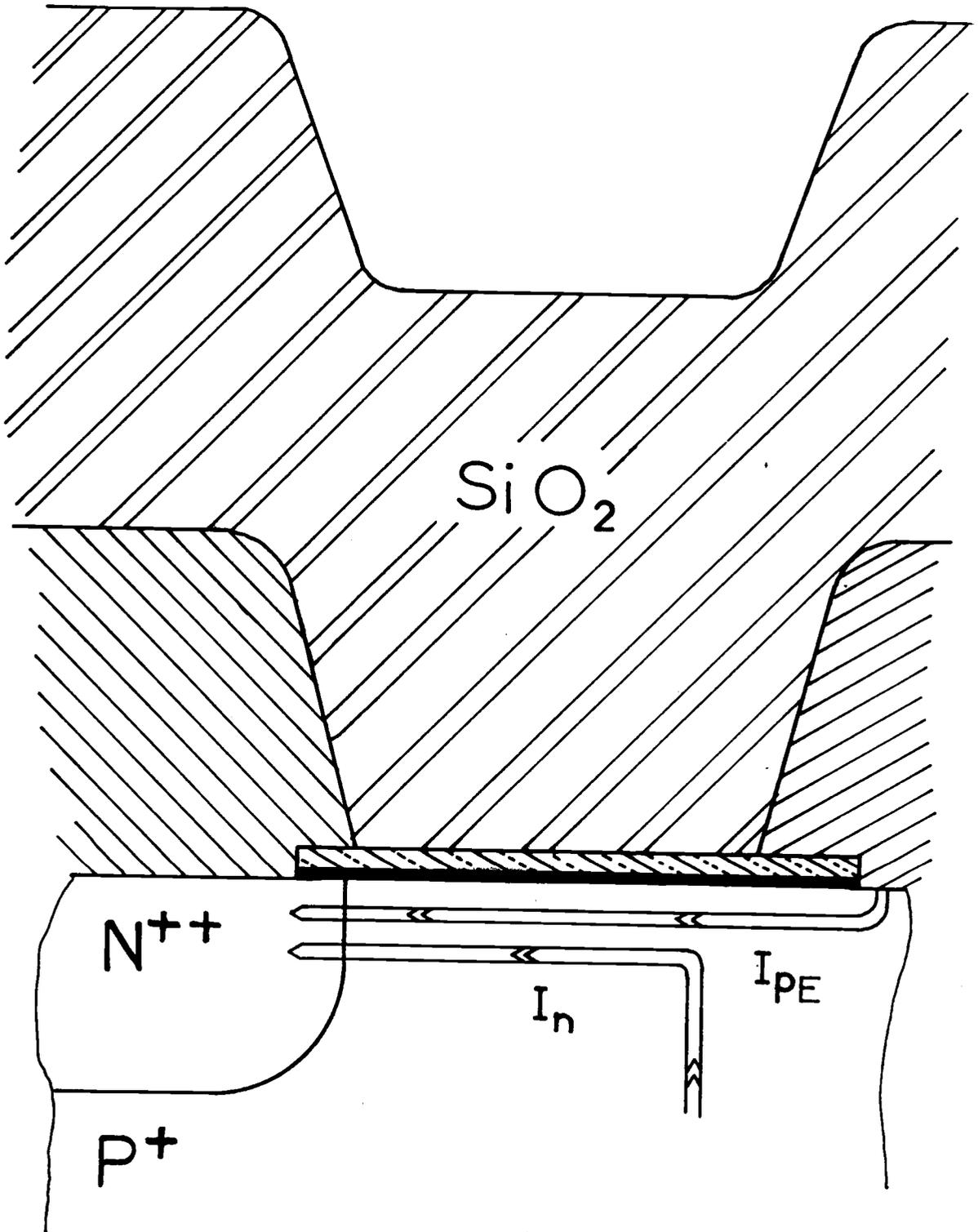


Figure II.22 : Jonction latérale émetteur-base

avons-nous calculé l'influence du rétrécissement de la base sur le gain du transistor (voir figure II.23). Nous voyons qu'entre 8 V et 5 V, le gain passe de 150 à 130. Cette correction amène donc le gain interne à une valeur légèrement inférieure.

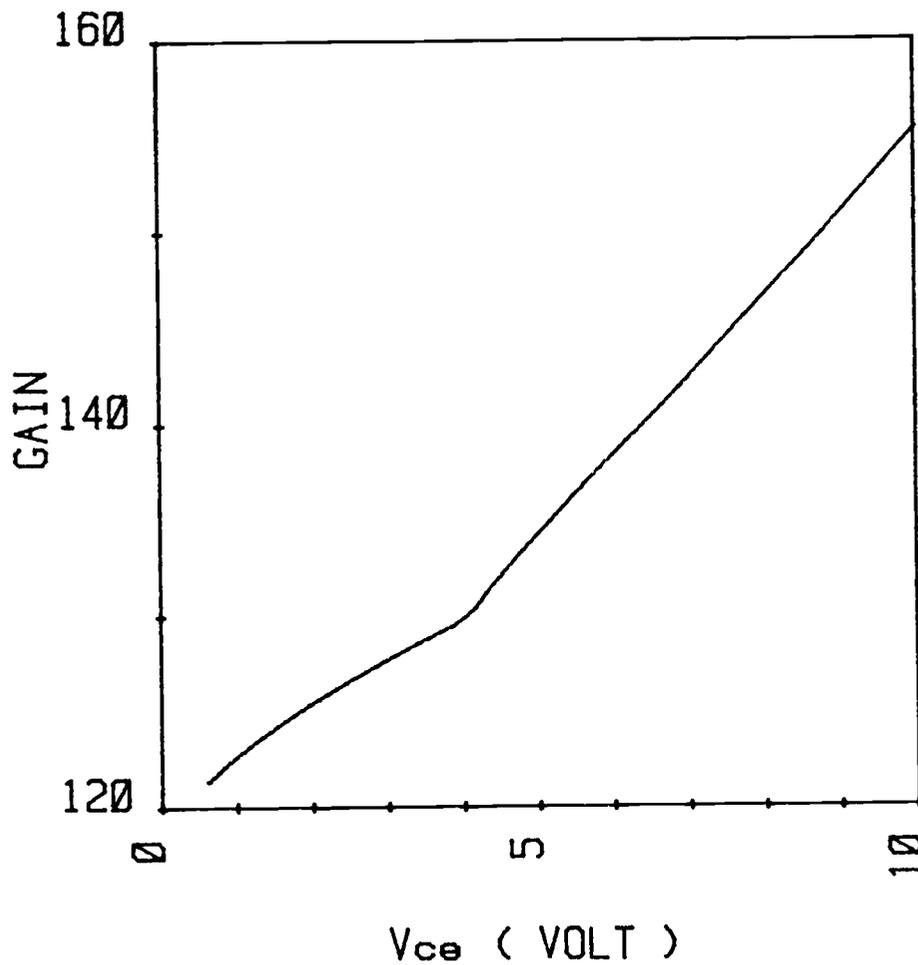


Figure II.23 : Variation du gain par effet Early en fonction de la tension collecteur-émetteur.

II.7. CONCLUSION

La méthode de mesure du gain interne d'un transistor bipolaire, fonctionnant en avalanche en faible multiplication, développée au laboratoire pour des composants discrets de grande dimension a été adaptée à la caractérisation des transistors à très haute densité d'intégration (V.L.S.I.). Cette adaptation s'est avérée délicate du fait de la nécessité d'effectuer des mesures de courants de très faible intensité en impulsion. Des solutions techniques à ces problèmes ont été apportées. La méthode développée présente deux limitations :

- elle n'est applicable qu'aux transistors de type NPN,
- elle ne permet la mesure du gain interne qu'à la tension de claquage,

mais elle offre l'avantage incontestable de pouvoir effectuer la mesure du gain interne sur des transistors standards. La comparaison des résultats obtenus avec ceux donnés par une méthode de photo-génération également mise en oeuvre au laboratoire montre que les valeurs trouvées dans notre cas semblent encore un peu trop élevées. L'imprécision, comme nous l'avons signalée, est due à une définition approchée de l'asymptote oblique permettant de déterminer le gain ; la limitation étant due à l'apparition d'oscillations inhérentes aux conditions de mesure en avalanche.

Malgré les restrictions que nous venons de rappeler les mesures doivent permettre de comparer l'influence des différents paramètres physiques de la jonction émetteur-base sur l'efficacité d'injection. Parmi ceux-ci nous pouvons citer :

- l'épaisseur de l'émetteur,
- son niveau de dopage,
- la technique de dopage employée pour la base et l'émetteur,
- la nature du contact sur la couche d'émetteur.

La modélisation de la jonction nous a donné la répartition du potentiel et donc une image de la focalisation pour les différents niveaux de courant. Une coïncidence entre modèle et expé-

rience est obtenue et nous permet de retrouver des valeurs de paramètres physiques données par d'autres auteurs. Nous citerons principalement la concentration intrinsèque dans l'émetteur très dopé et les coefficients de diffusion des électrons et des trous dans la base et l'émetteur respectivement.

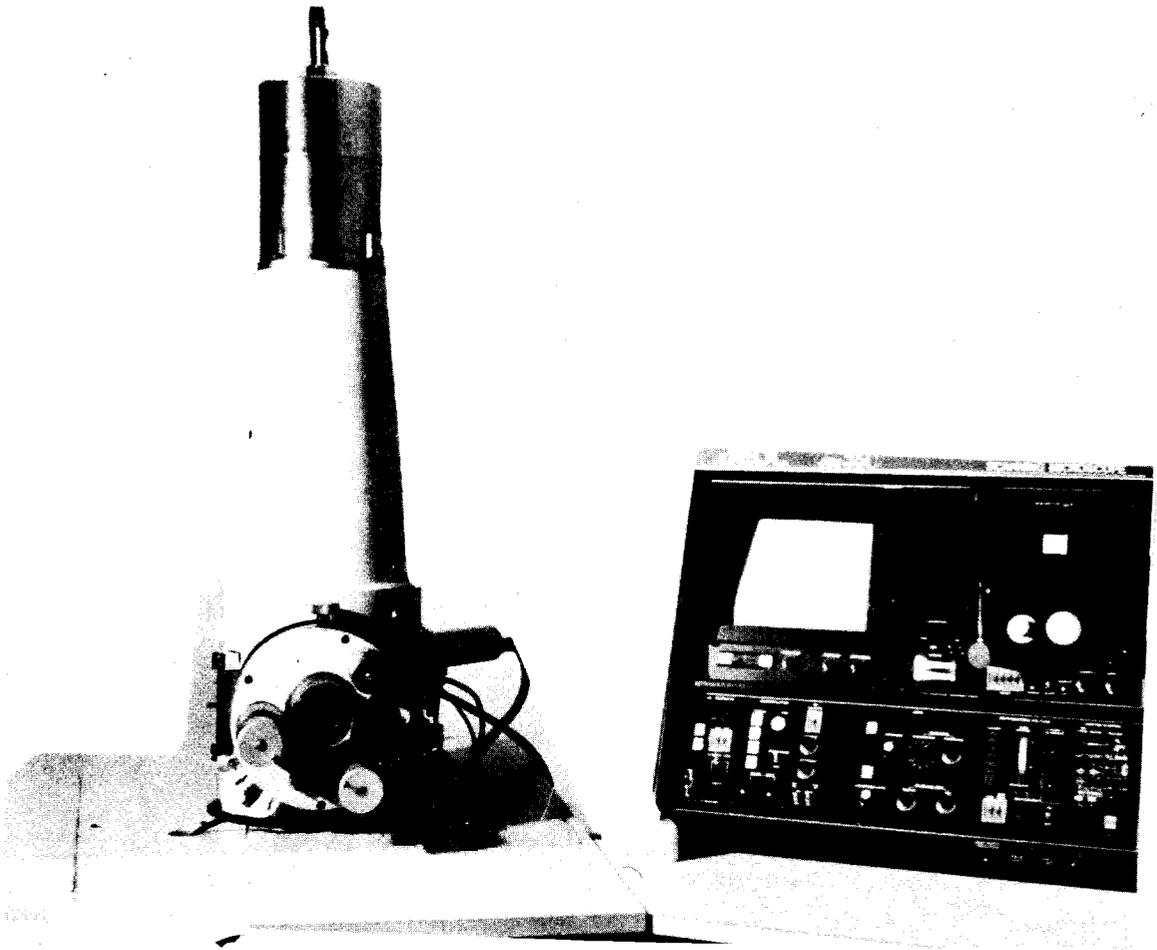
La modélisation montre qu'aux faibles intensités la focalisation des lignes de courant vers le centre de la jonction diminue pour s'estomper pratiquement entièrement lorsque l'intensité atteint 30 μ A. Le gain mesuré dans ces conditions est toujours appelé gain interne mais intègre, en fait les propriétés de l'ensemble de la jonction et notamment les bords de celle-ci. Les résultats expérimentaux montrent que ce gain "bas niveau" est plus faible qu'en présence d'une focalisation importante alors même que le courant de génération-recombinaison ne devrait pas ou peu intervenir. Nous concluons à une influence non négligeable des bords de jonction ou des recombinaisons à la surface près de la remontée de la jonction émetteur-base vers la surface.

Dans le type de composant que nous avons étudié, l'effet des bords de jonction émetteur-base peut devenir très sensible lors de la diminution des dimensions en surface. La méthode utilisée nous a permis de le mettre en évidence et une étude des extrémités de jonction fait l'objet du chapitre suivant.

CHAPITRE III

ANALYSE DES PHÉNOMÈNES DE SURFACE

DANS UN TRANSISTOR V.L.S.I.



MICROSCOPE ÉLECTRONIQUE À BALAYAGE UTILISÉ

CHAPITRE III

ANALYSE DES PHENOMENES DE SURFACE DANS UN TRANSISTOR V.L.S.I.

III.1. INTRODUCTION

Le comportement d'un transistor obéit aux lois de la théorie de Shockley qui donnent pour une jonction PN, dont les paramètres physiques sont connus, la relation entre courant et tension. Si ce mode de calcul est utilisé pour analyser un transistor de type "planar" et plus particulièrement une structure maigrie, il apparaît, notamment aux bas niveaux de courant, que le comportement réel du transistor ne suit plus les expressions de la théorie de Shockley.

En effet, dans les équations classiques d'analyse du comportement d'un transistor, seul les phénomènes volumiques sont pris en compte que ce soient les courants de diffusion, de dérive ou les recombinaisons dans la zone de transition. Ce type de conduction s'appliquera donc parfaitement à une jonction plane infinie, comme une structure MESA par exemple. Dans un composant VLSI les jonctions sont loin d'être infinies et nous verrons donc dans ce cas intervenir de effets de bord non contenus dans la théorie de la diffusion. Le rôle des extrémités des jonctions sera d'autant plus sensible que le rapport du périmètre à la surface de la jonction augmentera, ce qui est le cas dans les composants VLSI. Ces effets de bord se traduisent, en général, par un courant de recombinaison anormalement élevé. Il a essentiellement deux origines possibles :

- l'effet tunnel au niveau de la remontée de la jonction vers la surface ; la figure III.1 montre que près de la surface, le dopage du côté P de la diode latérale augmente, nous pouvons ainsi aboutir à une jonction dégénérée des deux côtés, situation favorable à l'apparition d'un courant tunnel,
- les recombinaisons de surface à l'interface silicium-isolant (dans notre cas, la silice) où le réseau cristallin du silicium présente des perturbations qui peuvent entraîner l'apparition de défauts constituant des centres recombinants.

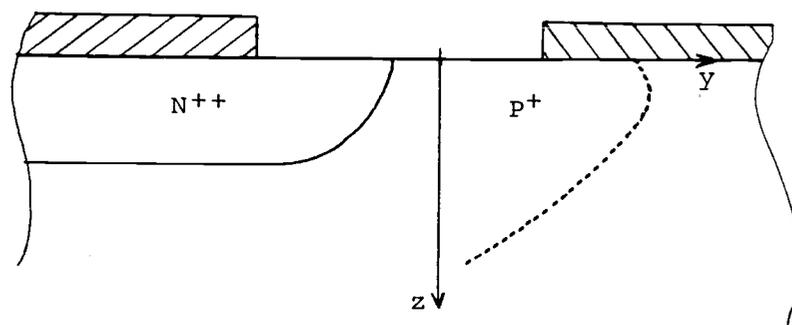


Figure III.1 : La courbe pointillée montre l'évolution du dopage P ; l'axe Y donne le niveau de dopage ; z, la profondeur.

Dans les travaux publiés sur ces phénomènes d'effets de bord [²⁸, ²⁹], les auteurs considèrent en général que la composante de recombinaison de surface reste prédominante devant celle d'effet tunnel, tout au moins tant que nous ne nous plaçons pas dans les conditions extrêmes définies ci-dessous.

La silice est un matériau caractérisé par un fréquent piégeage de charges positives (notamment des ions sodium) qui vont donc perturber l'interface Si-SiO₂. Ce piégeage est plus ou moins important suivant les précautions prises pendant la fabrication, il paraît donc intéressant de caractériser l'interface Si-SiO₂ de nos composants au niveau de la diode latérale émetteur-base afin de vérifier l'éventuelle présence de charges dans la silice. De plus, ces manipulations vont permettre d'illustrer l'importance prise par les recombinaisons de surface dans nos dispositifs.

III.2. INTERFACE Si-SiO₂

La silice qui recouvre le transistor au niveau de la diode latérale, voir figure III.2, est obtenue par oxydation du silicium. La qualité de l'interface obtenue ainsi que sa reproductibilité dépendent donc du processus technologique employé. Cette difficulté

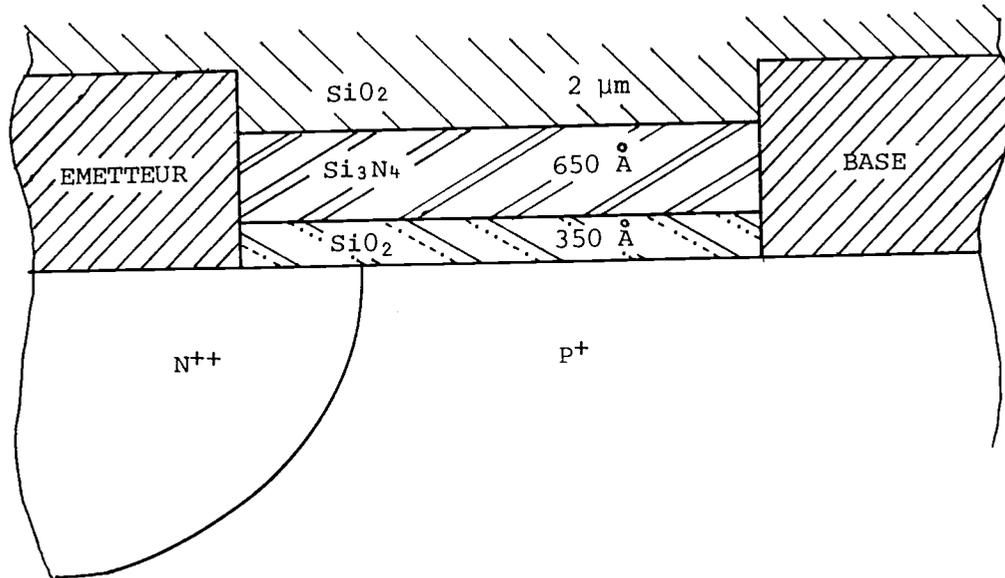


Figure III.2 : Schéma de l'interface au niveau de la jonction latérale émetteur-base.

de fabrication est illustrée par les courbes 2 et 3 de la figure III.3 qui représentent les caractéristiques courant-tension de deux diodes émetteur-base de même surface. Vers les plus forts niveaux de courant les courbes coïncident ; par contre, en dessous de 1 nA de courant base un courant de recombinaison apparaît et les courbes diffèrent.

La valeur du rapport entre ces courants peut atteindre 5. Ces caractéristiques montrent que la reproductibilité de l'interface Si-SiO₂ est extrêmement difficile à obtenir, en effet, le courant de recombinaison observé est dû à des effets de surface qui sont différents d'un transistor à l'autre, issus de diverses puces.

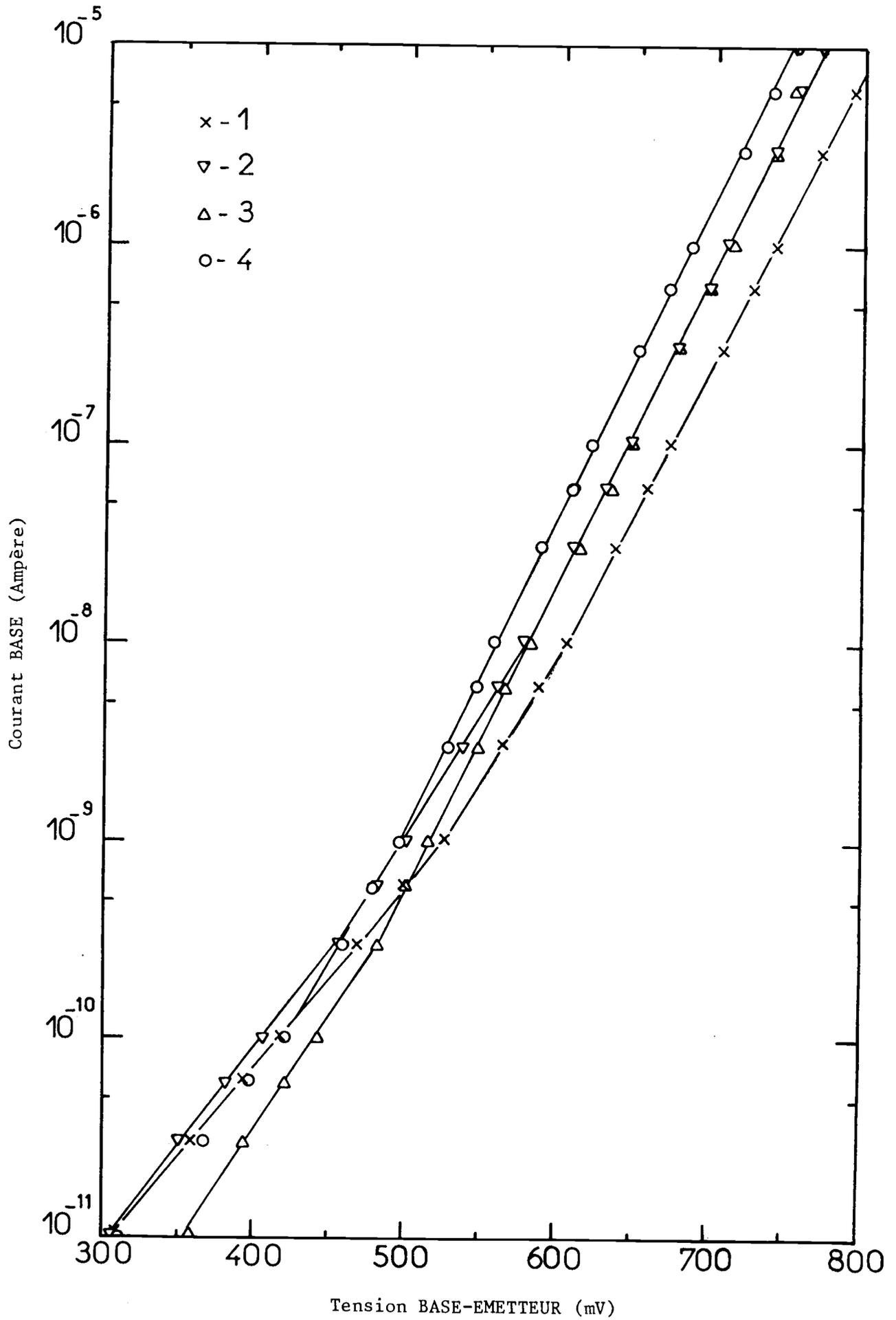


Figure III.3

III.2.1. Origine des recombinaisons de surface

La recombinaison d'un trou et d'un électron dans un semiconducteur peut se faire de plusieurs manières :

- soit bande à bande, un électron passe, par exemple, directement de la bande de conduction à la bande de valence mais ce phénomène est peu probable,

- la plupart du temps la recombinaison d'un trou et d'un électron se fait par un mécanisme dit de Shockley Read Hall (S.R.H.) où intervient un niveau piège dans la bande interdite du matériau ; nous savons qu'en fait seuls les pièges situés au milieu de la bande interdite sont considérés comme étant électriquement actifs. Dans cette hypothèse, l'expression du taux de recombinaison prend la forme :

$$U = \sigma V_{th} N_t \frac{pn - n_i^2}{n + p + 2 n_i}$$

avec σ : section de capture, considérée identique pour les trous et les électrons ; V_{th} : vitesse thermique des porteurs ; N_t : densité surfacique de pièges ; p, n : concentration de trous et d'électrons libres.

Dans le cas des recombinaisons de surface, les pièges ont essentiellement pour origine des défauts créés à l'interface Si-SiO₂. Plusieurs types de pièges peuvent exister : d'une part des états dits rapides de densité surfacique notée N_{SS} interagissent directement avec les porteurs libres dans le silicium, et provoquent l'augmentation du courant de recombinaison ; ils sont situés en général très près de l'interface (quelques Angström) ; d'autre part des états lents situés dans l'isolant à une centaine d'Angström de l'interface n'interagissent pas avec les porteurs libres dans le semiconducteur ; ils ont un effet sur le bruit électrique dans le composant.

De plus, il faut que les deux types de porteurs circulent près de l'interface, pour qu'il y ait recombinaison ; elles seront donc maximales si deux conditions sont remplies :

- dans la zone de transition, le champ électrique doit être parallèle à l'interface,

- dans la zone neutre, le semiconducteur doit être dans les conditions de bandes plates, c'est-à-dire qu'aucun champ de dérive perpendiculaire à l'interface ne doit exister.

Pour les deux cas ci-dessus, aucun champ perpendiculaire à l'interface discriminateur des deux types de porteurs n'existe, cela favorise la présence d'électrons et de trous libres près de l'interface. En pratique, dans une jonction PN du type de la figure III.2, il est impossible d'obtenir les conditions de bandes plates des deux côtés, mais comme c'est une diode base-émetteur, ce dernier est très dopé et les bandes sont très difficiles à courber ; le maximum des recombinaisons se produit en fait quand la base est en bandes plates.

III.2.2. Transistor tétrode

L'étude expérimentale des recombinaisons en surface est généralement menée à l'aide d'un composant spécial appelé "transistor tétrode". La figure III.4 montre que ce composant est en fait un transistor bipolaire classique muni d'une grille de contrôle au droit de la jonction latérale base-émetteur. La largeur de cette grille est généralement d'une dizaine de microns.

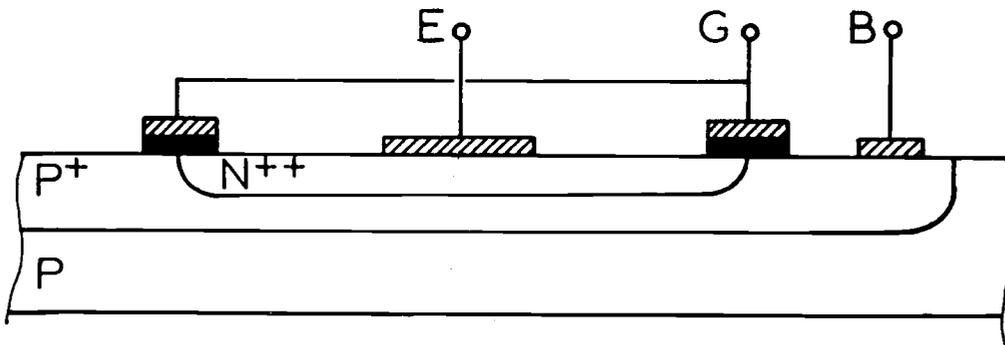


Figure III.4 : Schéma d'un transistor tétrode
(en noir : oxyde de grille)

La figure III.5 montre comment la polarisation de grille modifie le forme de la zone de charge d'espace au niveau de la jonction latérale émetteur-base. Sur les schémas, la jonction

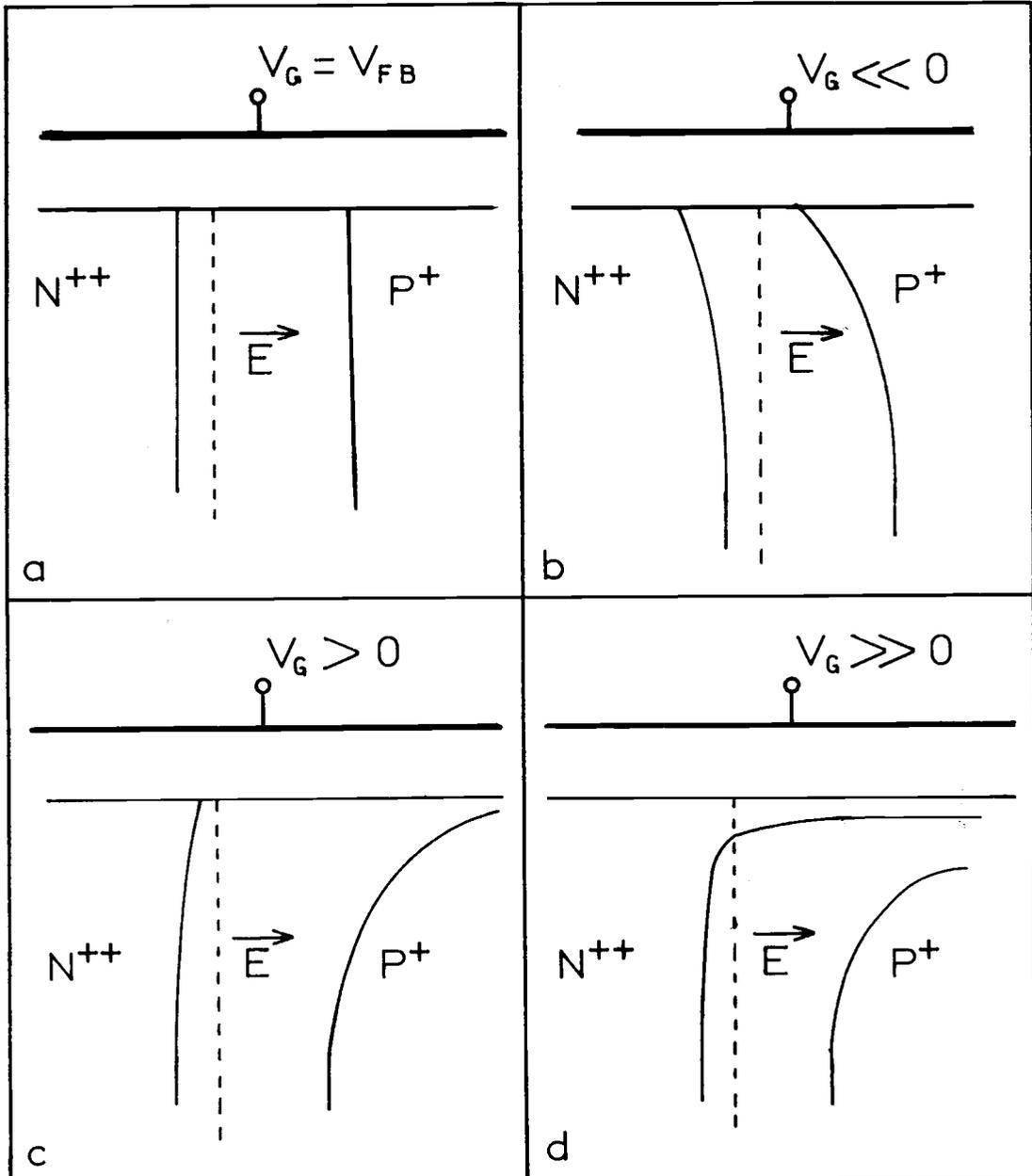


Figure III.5 : Zone de charge d'espace au niveau de la diode latérale émetteur-base.

métallurgique est représentée en pointillés et les limites de la zone de transition en trait continu ; quatre cas ont été considérés :

a) le potentiel de surface de la base est nul, elle est donc dans les conditions de bandes plates, la zone de transition n'est pas modifiée et le champ électrique est parallèle à l'interface,

b) une polarisation fortement négative est appliquée sur la grille, la base P est accumulée et peut même devenir dégénérée en surface. L'émetteur quant à lui est dépeuplé, mais son dopage est tel qu'en fait on n'arrive pas à lever la dégénérescence. Cette situation peut donc aboutir à une diode dégénérée des deux côtés avec apparition d'effet tunnel ;

c) la grille est polarisée positivement, l'émetteur est enrichi tandis que la base se dépeuple, la zone de transition s'élargit donc du côté de la base P. Le courant de recombinaison dans la zone dépeuplée d'une jonction PN augmente avec sa largeur, lorsque la tension grille croît (avec $V_G > 0$), le courant de recombinaison de la diode en polarisation directe varie dans le même sens ;

d) la polarisation de grille augmente encore, cette fois, la base est inversée en surface, il y a donc création d'un émetteur induit sous la grille, la zone de charge d'espace prend la forme indiquée sur la figure. Nous pouvons remarquer que dans l'émetteur induit la courbure des bandes est très forte, ce qui entraîne, dans cette zone, un champ de dérive, perpendiculaire à la surface, très intense. De plus, la largeur de la zone de transition est beaucoup plus faible que dans le cas précédent mais, par contre, la surface de la jonction est artificiellement augmentée.

Les variations du courant de base en fonction de la tension grille sont portées sur la courbe III.6, la diode est polarisée en directe avec $V_{BE} = \text{cste}$ et c'est V_G qui varie, nous observons ainsi la variation du courant de recombinaison. Lorsque V_G est négatif, I_B varie peu car la zone de charge d'espace varie peu en largeur (cas de la figure III.5.b) ; pour $V_G \ll 0$, un courant tunnel pourrait apparaître mais souvent la tension critique dans l'oxyde intervient avant. Si V_G devient positif et augmente nous avons vu (figure III.5.c) que cela correspond à un élargissement de la zone de transition et donc à une augmentation du courant de recombinaison, c'est bien le phénomène observé. Pour V_G fortement positif, le courant I_B

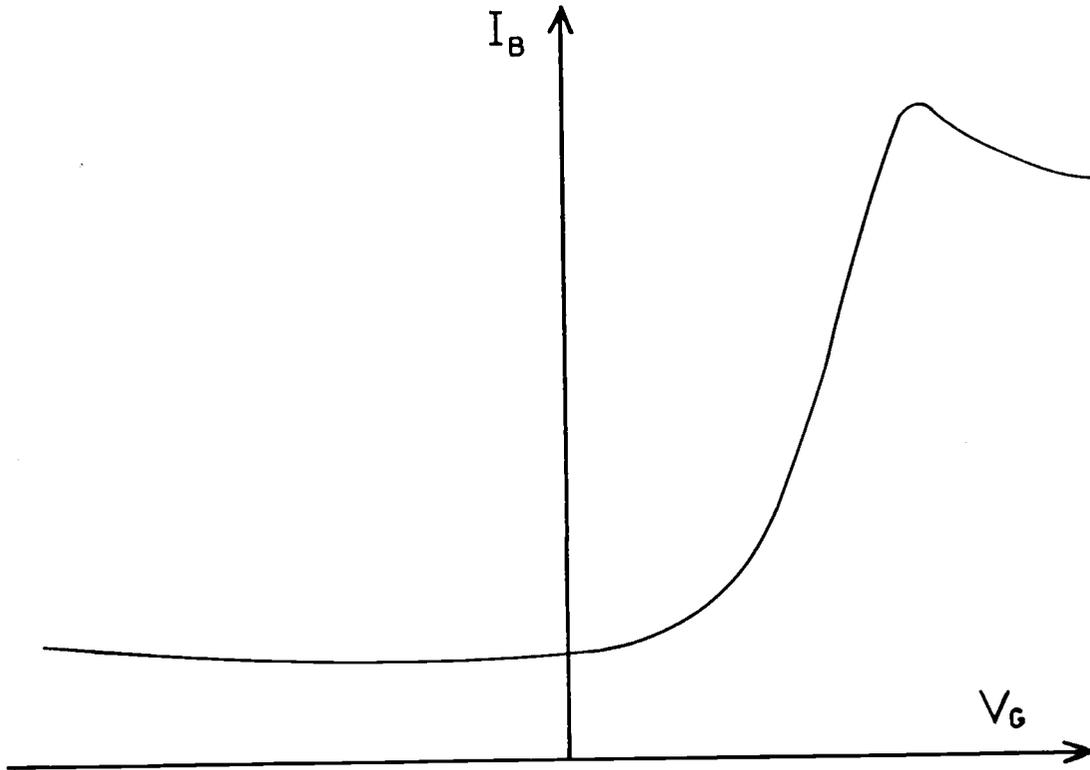


Figure III.6 : Caractéristique $I_B = f(V_G)$ avec $I_C = \text{cste}$ pour un transistor tétrode.

passe par un maximum, puis décroît sans reprendre la valeur correspondant à $V_G = 0$. Ce maximum correspond à l'inversion de la base en surface ; en effet, entre les figures III.5.c et d, nous avons vu que la largeur de la zone de transition décroît brusquement, ce qui diminue le courant de recombinaison, par contre la surface de la jonction, plus grande, tend à augmenter le courant de recombinaison. De ces deux effets, c'est le premier qui l'emporte, ce qui explique que le courant décroisse sans toutefois retrouver sa valeur pour $V_G = 0$.

Cette caractéristique s'entend pour un composant dont l'oxyde n'a pas de charges piégées.

Nous allons maintenant considérer le même transistor tétrode dont l'interface Si-SiO₂ est perturbée, cela vient essentiellement de charges positives piégées dans l'oxyde. L'effet de ces charges est double :

- elles créent des niveaux pièges à l'interface qui peuvent augmenter la vitesse de recombinaison en surface ;

- elles attirent dans le silicium une charge image opposée qui provoque une courbure des bandes du semiconducteur surtout sensible dans la base P qui est donc dépeuplée.

Si, pour un tel composant, la caractéristique $I_B = f(V_G)$ est tracée la courbe de la figure III.7 est obtenue, nous avons rappelé le tracé (en pointillé) obtenu avec une interface exempte de pièges.

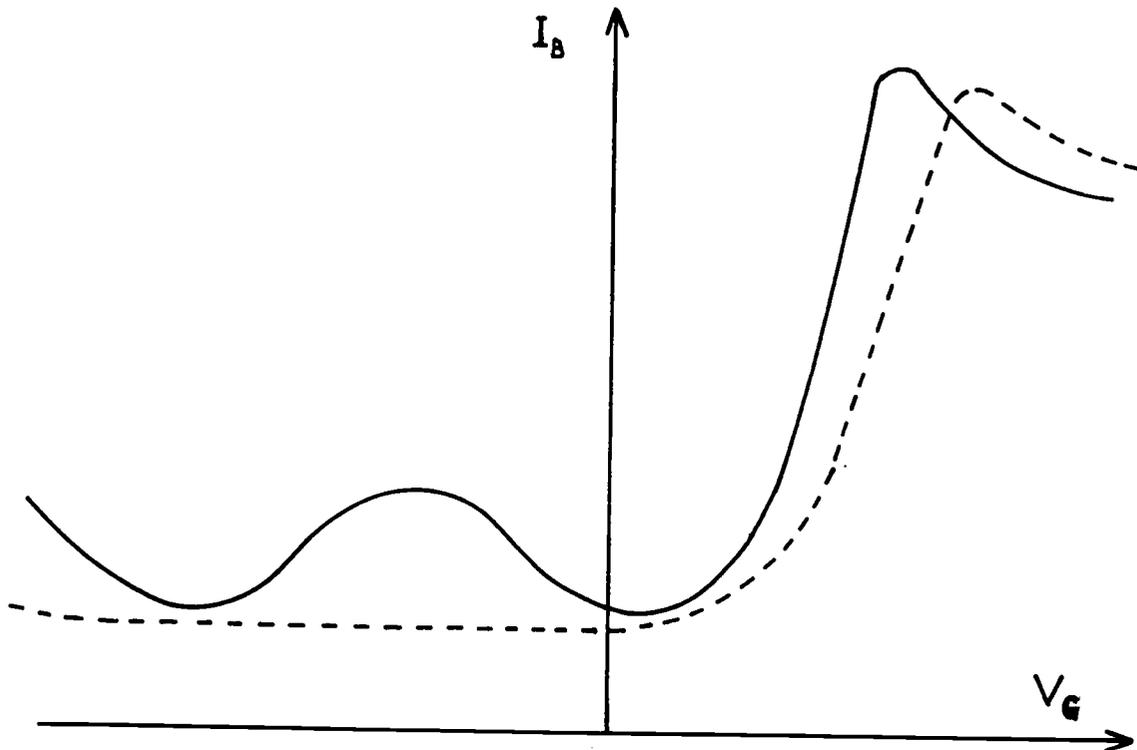


Figure III.7 : Caractéristique $I_B = f(V_G)$ de 2 transistors tétrodes ; en trait continu : silice non chargée ; en trait interrompu : silice chargée positivement.

Du côté des tensions positives, la courbe a la même allure que précédemment, le pic de courant est simplement décalé vers des V_G inférieurs. Nous avons vu, ci-dessus que l'état de charge de la silice dépeuple la base, donc courbe les bandes, cela correspond à l'application d'une tension positive sur la grille. Cette tension vient s'ajouter à la polarisation de grille, nous aurons donc les mêmes phénomènes que ceux décrits précédemment mais pour des valeurs de V_G plus faibles, ceci explique le décalage vers la gauche de la caractéristique pour $V_G > 0$.

Sur la figure III.5.a, lorsque $V_G = V_{FB}$, la base est en bandes plates, dans ce cas, à cause de la charge piégée, ce ne sera plus vrai et les conditions de bandes plates dans la base sont obtenues pour :

$$V'_{FB} = V_{FB} - V_{CP}$$

V_{CP} correspond à la tension équivalente aux charges piégées dans l'oxyde, dans la plupart des cas, nous avons :

$$V_{CP} \gg V_{FB}$$

ce qui donne pour la nouvelle valeur de la tension de bandes plates :

$$V'_{FB} < 0$$

La condition de bandes plates sera obtenue pour V_G négatif, nous avons vu qu'avec cette condition, les recombinaisons en surface dans la zone neutre de la base sont maximales. Cet effet sera sensible si la quantité de pièges actifs à l'interface est suffisante or, les charges piégées dans la silice courbent les bandes du semiconducteur et créent également des niveaux pièges à l'interface.

C'est bien l'effet que nous observons sur la courbe figure III.7, où un pic de courant apparaît pour les tensions V_G négatives, nous pouvons donc dire que le maximum du courant mesuré correspond à la condition de bandes plates dans la base.

Si $|V_G|$ est encore augmentée le courant croît à nouveau, ceci est dû probablement à un courant tunnel, il apparaît plus tôt que dans le cas de la figure III.6 car la grande concentration en centres actifs à l'interface favorise l'effet tunnel assisté par défauts.

Remarque :

L'introduction de charges à l'interface d'une jonction base-émetteur de transistor tétrode peut être réalisée en faisant conduire la diode en inverse sous forte polarisation de grille. Cet effet, réversible, est utilisé pour la fabrication de mémoires reprogrammables électriquement [30].

Nous allons maintenant examiner la possibilité de réaliser des expérimentations équivalentes à celles décrites dans ce paragraphe avec les composants dont nous disposons.

III.3. UTILISATION DU MICROSCOPE ELECTRONIQUE A BALAYAGE (M.E.B.)

III.3.1. Présentation du problème

Nos dispositifs ne sont pas des transistors tétrodes, nous n'avons donc pas la possibilité de modifier la courbure des bandes à l'interface Si-SiO₂ par une tension grille. Pour réaliser le même type de mesure qu'au paragraphe III.2.2., il est nécessaire d'employer une autre méthode.

Un effet équivalent à une tension grille peut être obtenu en implantant des charges dans l'isolant épais de passivation (figure III.2). La courbure des bandes dans le silicium se fait par influence des charges piégées sur les porteurs mobiles dans le silicium. Des ions positifs équivaudront à une tension positive et vice versa pour des charges négatives.

A priori, la solution paraît simple ; n'importe quel canon à ions positifs ou à électrons pourra jouer le rôle d'implanteur de charges, mais si nous ne voulons influencer que la jonction latérale

base-émetteur, la zone à bombarder est de petites dimensions. La figure III.8 montre, vue de dessus, la taille de cette fenêtre (hachurée) : ses dimensions sont approximativement $4 \times 18 \mu\text{m}^2$.

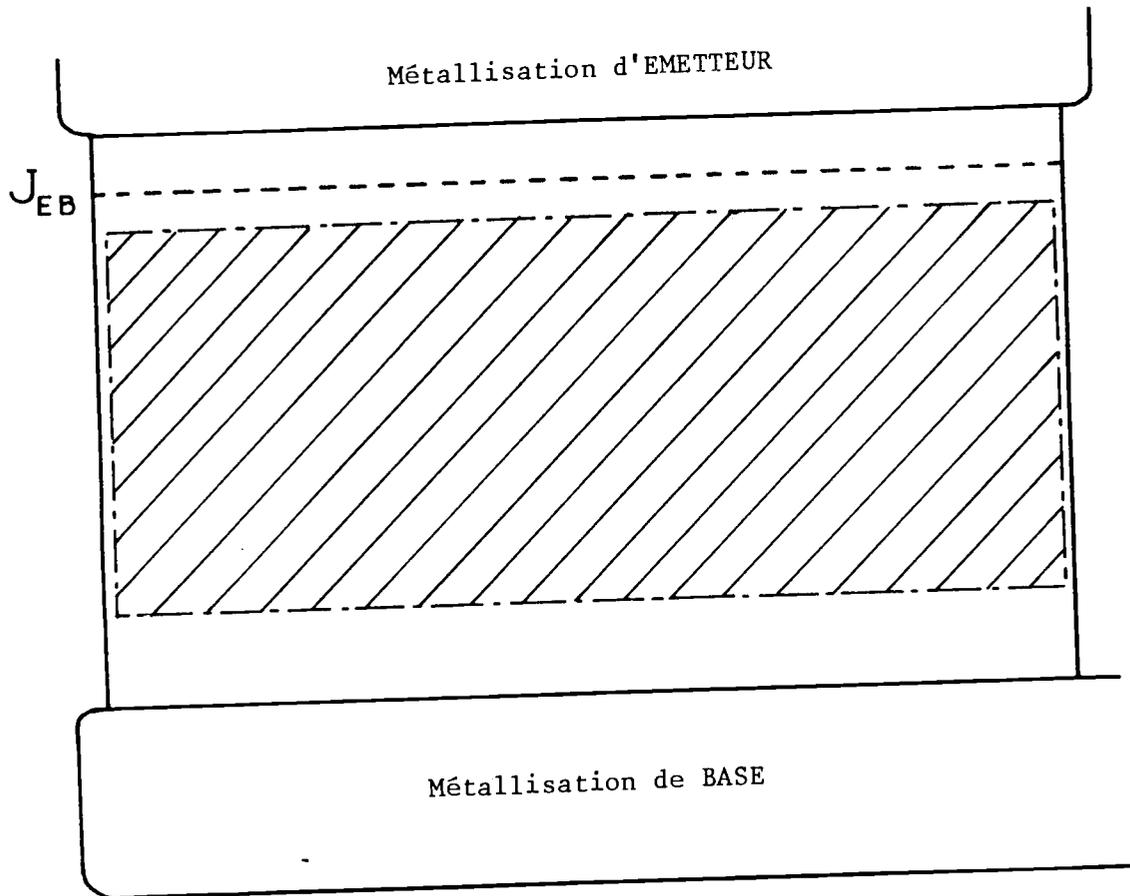
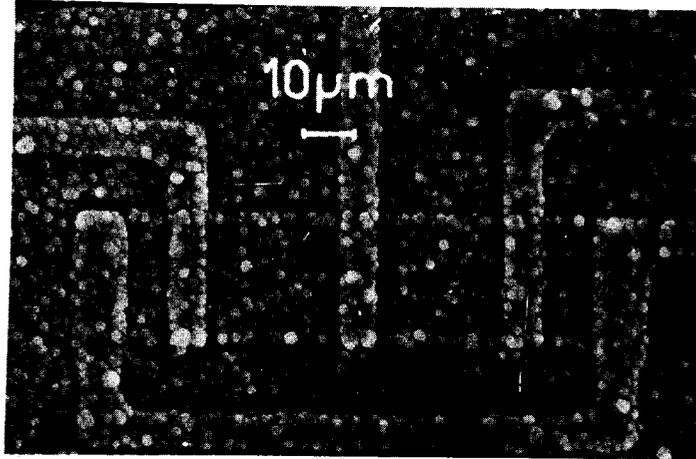


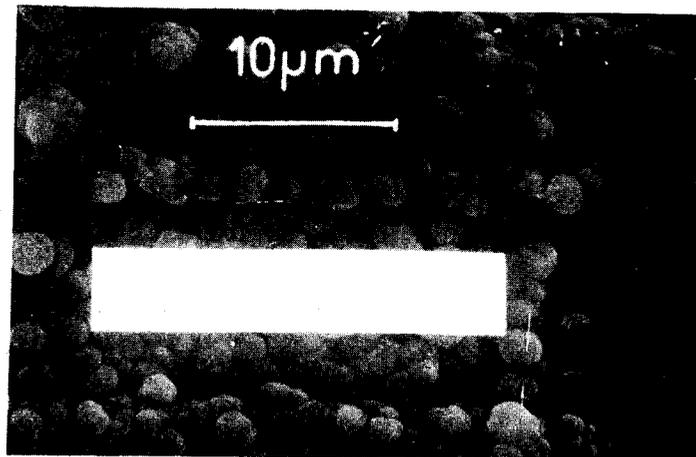
Figure III.8 : La jonction latérale émetteur-base est représentée en pointillé.

Pour obtenir une qualité de visée aussi fine, il faut un instrument précis, nous avons donc utilisé un MEB dont la précision est largement suffisante.

Cet appareil présente l'avantage de grouper les deux fonctions nécessaires à cette expérimentation, c'est-à-dire ; visée et bombardement. En effet, les électrons vont servir à la fois à former l'image (électrons secondaires) et à implanter la charge (électrons incidents absorbés).



Transistor irradié, entre les contacts d'émetteur et de base.



Détail de la zone irradiée (en blanc), entre le contact d'émetteur (en haut) et un contact de base.

Toutefois, si cette manipulation est de mise en oeuvre facile pour les charges négatives, la limitation apparaît immédiatement pour les charges positives. Il n'existe pas de microscope à balayage de charges positives, aussi, nous n'avons réalisé cette expérience que pour l'équivalent de tensions de grilles négatives, c'est-à-dire avec des électrons. Il se trouve heureusement que les phénomènes les plus intéressants se produisent pour ces tensions.

III.3.2. Conditions d'irradiation

Avant de réaliser ces expériences, il faut fixer les conditions d'irradiation du composant. Nous ne voulons pas que les charges implantées atteignent l'interface mais simplement qu'elles créent une charge négative qui repoussera les électrons et attirera les trous, provoquant ainsi l'enrichissement de la base et le dépeuplement de l'émetteur.

De nombreux modèles ont été développés sur l'interaction électron-matière [³¹,³²]. Il est en général admis que les collisions électrons-électrons sont responsables de la perte d'énergie et que les changements de trajectoire sont dus à des collisions électrons-atomes. Le modèle développé par KANAYA [³³] est le plus communément utilisé ; la zone de pénétration des électrons est représentée par une sphère de centre situé à une distance z sous la surface, voir figure III.9. La pénétration maximale, R , perpendiculairement à la surface est donnée par les expressions classiques du pouvoir d'arrêt des matériaux pour les électrons [³²] que nous allons donner plus loin.

- Sphère de KANAYA, figure III.9 : la distance z est exprimée par :

$$\frac{z}{R} = \frac{1}{1 + \omega}$$

avec

$$\omega = 0,187 \cdot Z^{2/3}$$

Z étant le numéro atomique de l'élément considéré.

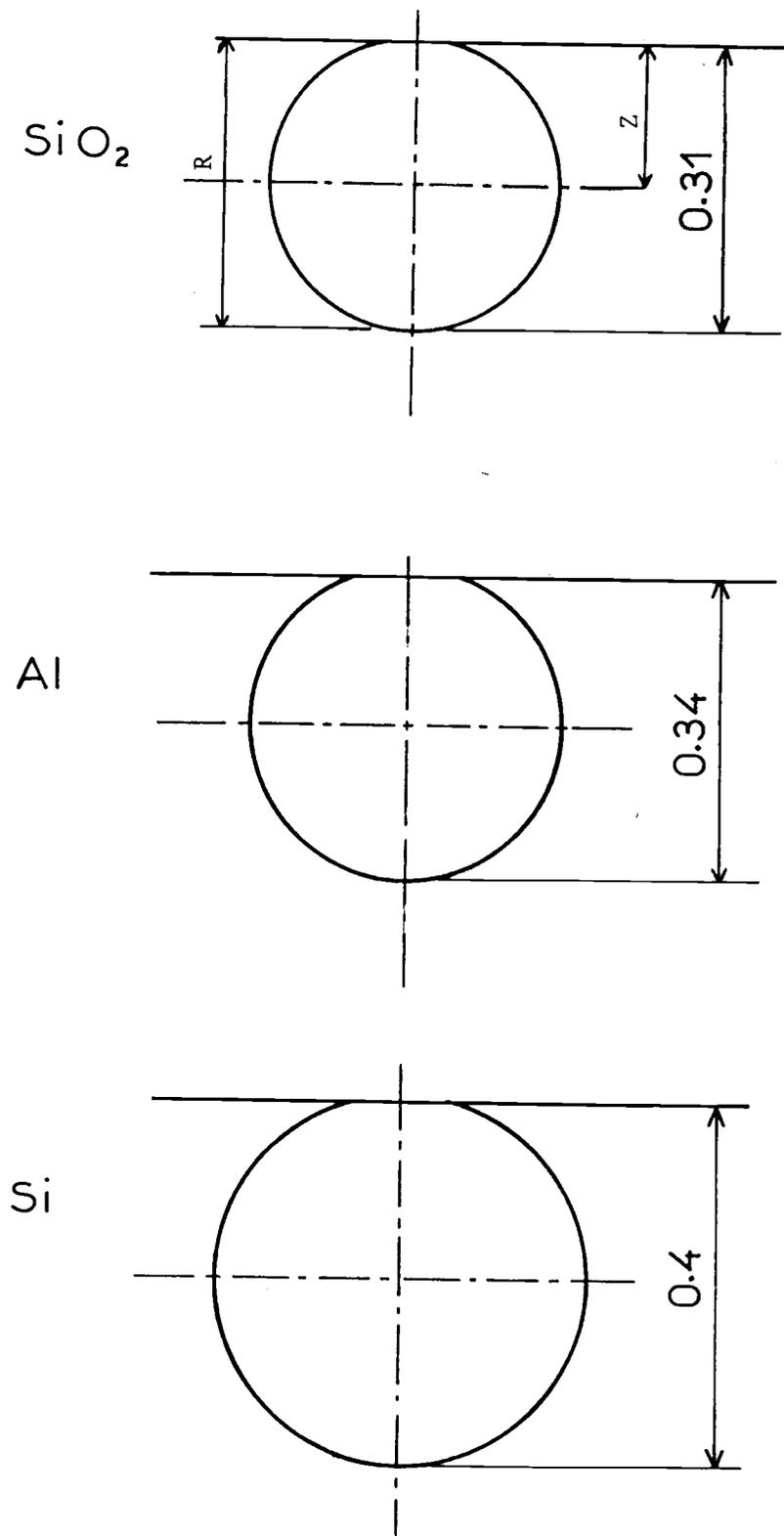


Figure III.9 : Modèle de KANAYA : interaction électron-matière pour des électrons de 5 keV d'énergie incidente. Les distances sont exprimées en micron.

Ces sphères ont été tracées pour l'aluminium, le silicium ; et la silice pour ces trois éléments il y a peu de différence et la sphère peut être pratiquement considérée comme tangente à la surface ($z = R/2$)

Dans la formule ci-dessus, il apparaît que z/R augmente quand Z diminue, les éléments légers seront donc moins dispersants que les éléments lourds.

- Pouvoir d'arrêt des matériaux

L'expression ci-dessous permet de calculer une valeur moyenne de la profondeur maximale R , de pénétration des électrons dans un matériau quelconque [32] :

$$\frac{1}{\rho} \frac{dV}{ds} = 3,076 \times 10^2 \frac{1}{\beta^2} \times \sum_i C_i \frac{Z_i}{A_i} \left[\ln \left(\frac{V}{I_i} \sqrt{\gamma+1} \right) + 0,153 - \frac{1}{2} \beta^2 \right. \\ \left. + \frac{1}{16} \left(\frac{\gamma-1}{\gamma} \right)^2 - 0,693 \frac{2\gamma-1}{2\gamma^2} \right]$$

avec

$$\beta = \sqrt{1 - \frac{1}{\gamma^2}}$$

$$\gamma = \frac{V}{511} + 1$$

V est l'énergie des électrons incidents en keV,

ρ est la densité du matériau en g/cm^3 ,

s est la longueur parcourue dans le matériau par l'électron.

Pour chaque élément i constituant le matériau

C_i est la fraction massique,

Z_i est le numéro atomique,

A_i est la masse atomique,

I_i est l'énergie moyenne d'ionisation (keV).

Les valeurs de l'énergie d'ionisation de quelques éléments sont données dans le tableau ci-dessous en électron-volt

Z	7	8	10	13	17	22
$\frac{I}{Z}$	12,8	12,8	13,8	12,4	10,4	10,3

Nous avons rassemblé en annexe VI, les courbes de pénétration des électrons dans quelques matériaux nous intéressant plus particulièrement.

D'après les considérations ci-dessus, nous avons choisi une énergie de 5 keV pour laquelle la profondeur de pénétration du faisceau incident dans la silice est de $0,3 \mu\text{m}$. Notre passivation ayant une épaisseur de $2 \mu\text{m}$, nous disposons donc d'une marge de sécurité. La profondeur de pénétration calculée est une valeur moyenne et des électrons peuvent parcourir une longueur supérieure mais il est peu probable qu'un électron de 5 keV parcourt $2 \mu\text{m}$ dans de la silice. Si un électron implanté n'a pas la possibilité d'atteindre l'interface Si-SiO₂, par contre les électrons libres créés dans la silice pourraient diffuser jusqu'au silicium. Mais, dans la structure SiO₂-Si₃N₄-SiO₂ au droit de la zone irradiée, le nitrure de silicium forme un puits de potentiel qui empêche les porteurs libres d'atteindre l'interface Si_p-SiO₂, voir figure III.10. Néanmoins, un faible courant de court-circuit a été mesuré pendant le bombardement. Il a été interprété comme étant dû à des électrons injectés directement de la silice de passivation dans les métallisations.

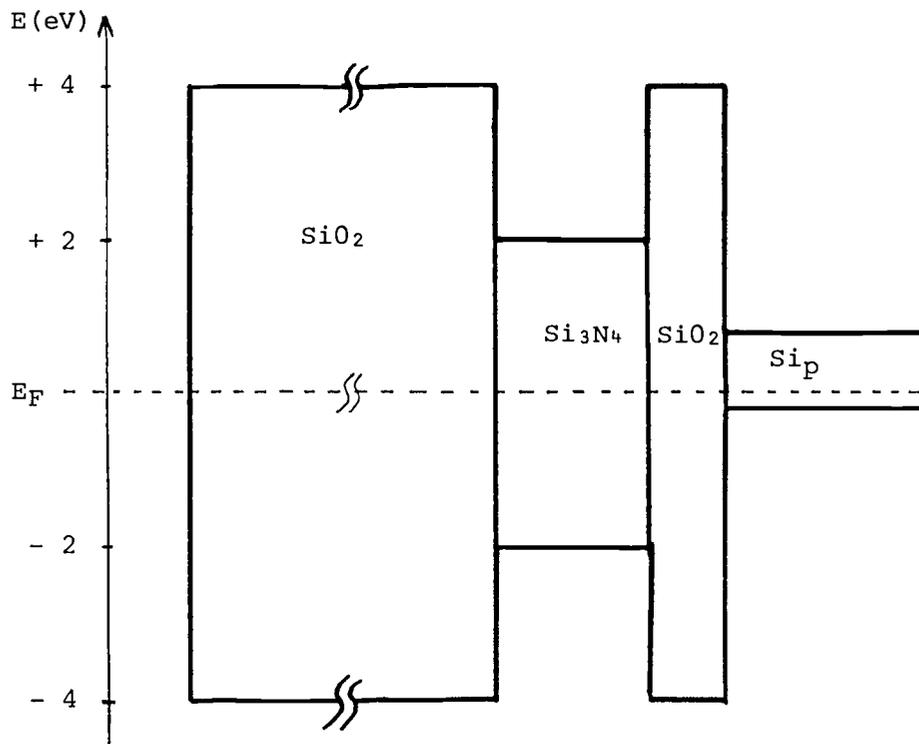


Figure III.10 : Schéma des bandes au niveau de la diode latérale.

Pour un effet identique, le temps d'irradiation du composant dépend essentiellement du courant de faisceau. La figure III.11 montre l'intensité d'électrons qu'il est possible d'obtenir en fonction de l'énergie des électrons incidents. Il apparaît que plus l'énergie sera forte plus le courant sera important, par exemple à 15 keV, le bombardement dure quelques dizaines de secondes alors qu'à 5 keV, il dure 30 minutes.

Nous choisissons 5 keV comme énergie des électrons incidents car les temps, plus longs, sont facilement mesurables et de plus, le temps de visée de la cible (≈ 20 s) peut être négligé devant celui de l'irradiation. Enfin, cette valeur de l'énergie permet de former une image correcte.

Nous nous sommes également préoccupés de savoir si le bombardement auquel nous soumettons le transistor ne risque pas de l'endommager. Nous avons donc calculé l'élévation maximale de température possible dans le composant. La figure III.11 montre qu'à 5 keV, le courant maximum qu'il est possible de débiter est de 5 pA. Dans les conditions où nous travaillons, le diamètre du spot est au minimum de 0,1 μm , cela donne un flux d'énergie déposée :

$$W_0 = 318 \text{ W/cm}^2$$

Plaçons-nous maintenant dans les hypothèses les plus défavorables : toute l'énergie déposée dans l'oxyde se retrouve à la surface du silicium. Cette solution n'est pas du tout réaliste mais elle va nous donner un maximum de l'élévation de température dans le composant. Nous allons également considérer que la conduction ne se fait que dans une direction verticale, là encore cette simplification de calcul va maximiser la température car, en fait, la chaleur diffuse dans toutes les directions dans le silicium. L'équation de conduction en régime permanent s'écrit :

$$-\lambda \frac{d\theta}{dz} = \phi_z$$

λ : conductivité thermique du silicium,

ϕ_z : flux de chaleur suivant z.

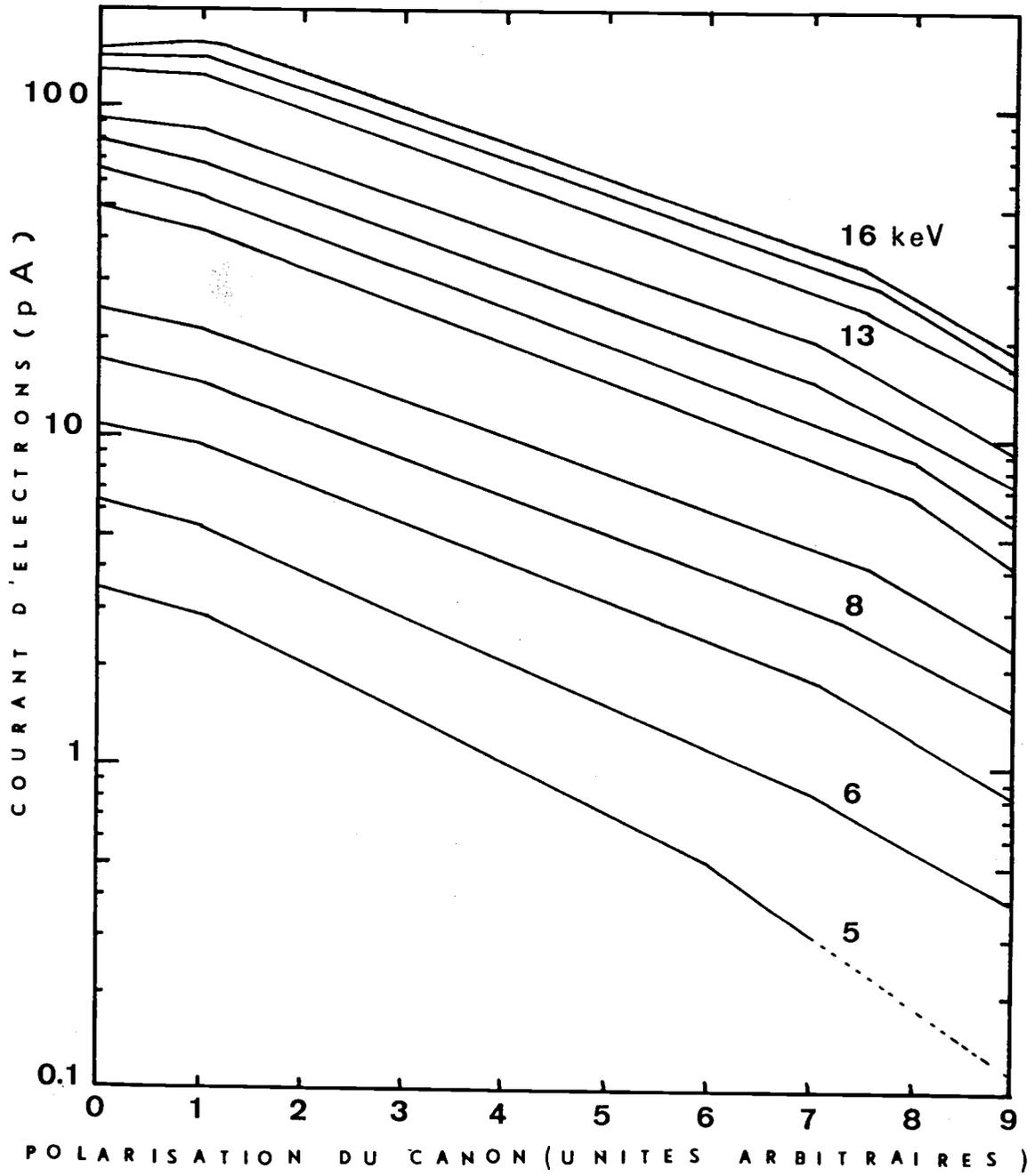


Figure III.11 : Courbe d'étalonnage du MEB

$$\phi_z = W_0 = 318 \text{ W/cm}$$

il vient

$$\int_0^e d\theta = - \frac{W_0}{\lambda} \int_0^e dz$$

0 à l'interface Si-SiO₂ l'origine de l'axe des z qui est orienté vers le silicium

e : épaisseur de la puce (200 μm)

λ = 1,5 W/cm°C

d'où l'élévation de température dans l'épaisseur de la puce :

$$\theta_0 - \theta_e = 5 \text{ °C}$$

Cette dernière est faible, d'autant plus que nous avons vu que la valeur calculée est maximisée. Dans nos manipulations, nous pourrions donc négliger le paramètre température.

III.4. EXPERIMENTATION

III.4.1. Mise en évidence des recombinaisons

Nous avons vu, figure III.3, que pour deux transistors identiques issus de deux puces distinctes le courant bas niveau peut différer, courbes 2 et 3. Considérons maintenant trois de nos composants ayant des surfaces d'émetteur différentes, la structure particulière de ces transistors fait qu'ils ont la même largeur (c'est la longueur de l'émetteur qui varie), la zone où se produisent les recombinaisons de surface est donc identique pour ces trois transistors. Leurs caractéristiques $I_B(V_{BE})$ ont été tracées sur la figure III.3, courbes 1, 2, 4. Pour les forts niveaux, les courants sont bien dans le même rapport que les surfaces d'émetteur car le phénomène de diffusion prédomine. A polarisation directe faible, les courants pour les trois composants sont pratiquement égaux. Ceci s'explique car nous sommes en présence d'un courant dû aux recombinaisons de surface et nous avons vu que la zone où elles se produisent est identique pour les trois transistors. Ces dispositifs étant issus de la même puce, la qualité de l'interface au niveau des jonctions latérales est identique donc les vitesses de recombinaison sont voisines.

III.4.2. Résultats obtenus

Nous avons testé les transistors dont la surface d'émetteur est de $12 \times 18 \mu\text{m}^2$, leur caractéristique avant bombardement est portée sur la figure III.3, courbe (2). Le microscope dont nous disposons n'est pas muni de sorties électriques, la caractéristique de la diode base-émetteur ne peut donc pas s'effectuer in situ ; l'irradiation est interrompue toutes les cinq minutes afin de tracer les caractéristiques suivantes :

$$- I_B = f(V_{BE})$$

$$- I_C = f(I_B)$$

avec $V_{CB} = 0$.

Pour chaque temps d'irradiation, les courbes $I_B = f(V_{BE})$ ont été portées sur la figure III.12. Afin de mieux visualiser l'évolution du courant bas niveau, ses variations en fonction du temps d'irradiation ont été tracées sur la figure III.13 pour plusieurs valeurs du courant base.

Il apparaît sur ces courbes que, à bas niveau de courant, la tension V_{BE} passe par un minimum pour approximativement 10 mn d'irradiation, puis V_{BE} ré-augmente jusqu'à environ 15 mn d'irradiation. La tension base atteint alors un maximum et si l'irradiation est encore prolongée V_{BE} diminue énormément pour finalement atteindre un niveau de saturation pour un temps de bombardement de 25 mn.

Nous remarquons également que cet effet est particulièrement sensible aux faibles courants de base. Cela est logique car si, comme nous le supposons, cette variation de V_{BE} en fonction du temps d'irradiation est due à une variation du courant de recombinaison en surface, ce phénomène sera masqué au fur et à mesure que le courant volumique de diffusion va prendre de l'importance : c'est-à-dire quand I_B va augmenter.

Finalement, par exemple, pour $I_B = 1 \mu\text{A}$, les variations de V_{BE} en fonction du temps sont quasiment inexistantes, dans ce cas, nous avons conduction essentiellement par diffusion dans le volume, c'est-à-dire dans une zone non perturbée par l'exposition au flux d'électrons.

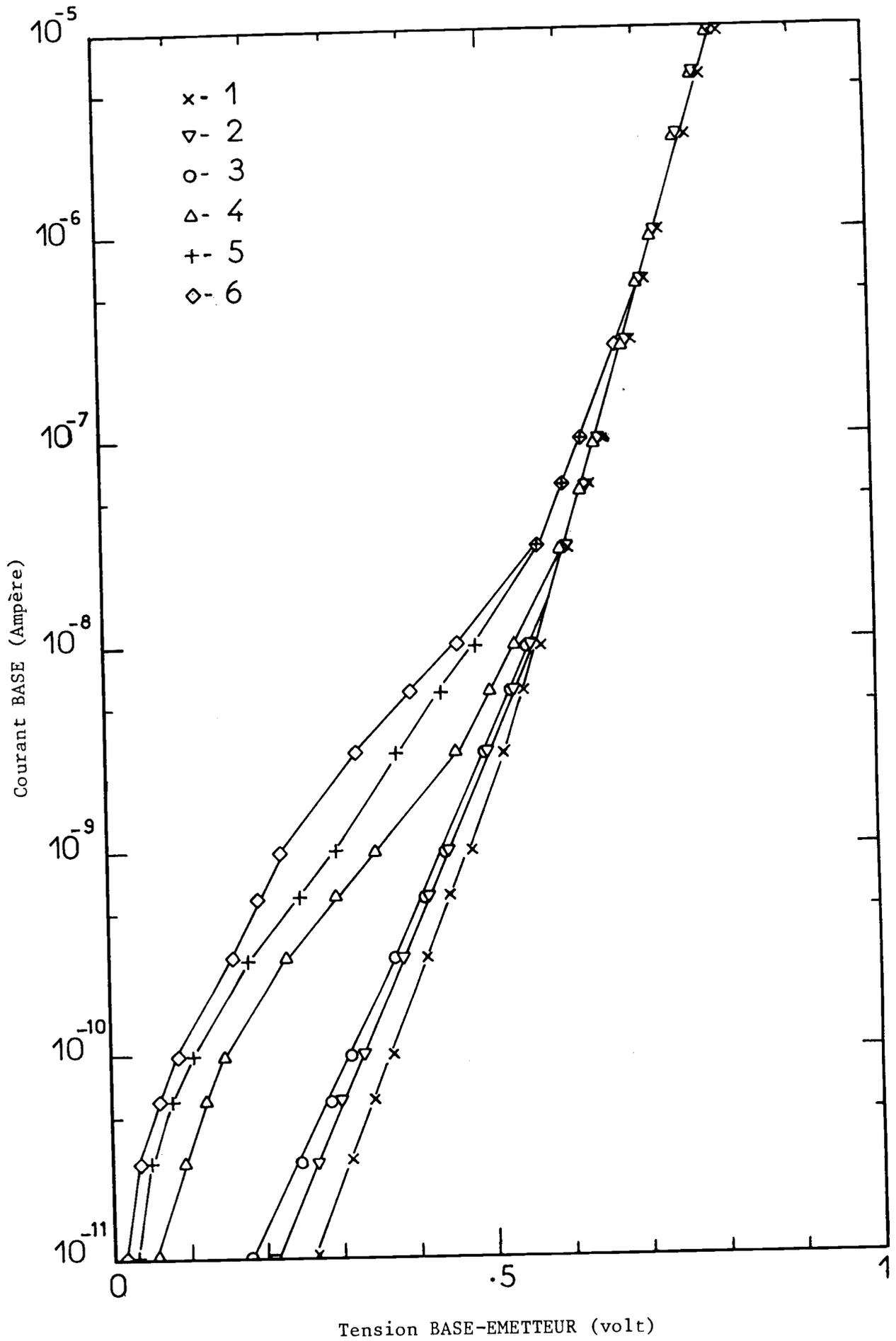


Figure III.12

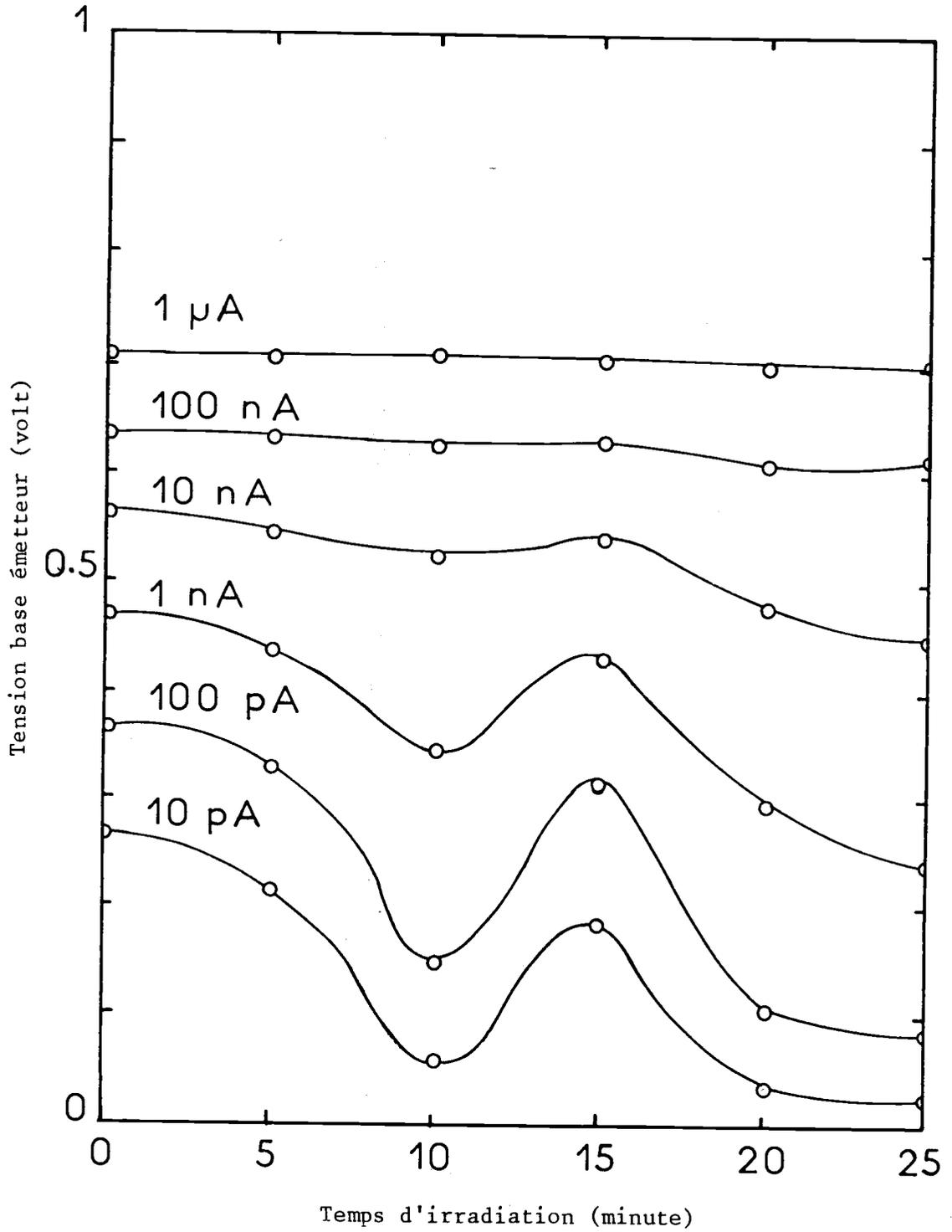


Figure III.13

III.4.3. Interprétation des mesures

Sur la figure III.13, les variations de V_{BE} , pour un courant base constant, en fonction du temps d'irradiation ont été représentées. Les variations de la tension base-émetteur nous renseignent sur l'importance du courant de recombinaison : un maximum de V_{BE} signifie un minimum de recombinaisons en surface et vice versa.

De plus, comme nous l'avons vu, le temps d'irradiation détermine la quantité de charges implantées dans la silice de passivation. Nous pouvons donc dire qu'un déplacement sur l'axe des temps d'irradiation a le même effet sur l'interface de nos composants que la variation de la tension grille sur celle d'un transistor tétrode. Sachant que les charges implantées sont de signe négatif, la courbe de la figure III.13 correspond à celle de la figure III.6 pour des tensions grilles négatives. La variation de V_{BE} est équivalente à celle de I_B dans le cas du transistor tétrode. Pour le maximum de recombinaisons (minimum de V_{BE}) nous pouvons affirmer que la base P est dans les conditions de bandes plates. Sur la courbe III.13, cela se produit pour 10 mn d'irradiation : nous pouvons donc en conclure qu'une charge positive est piégée dans la silice.

Pour des temps de bombardement supérieurs, V_{BE} croît pour atteindre un maximum puis décroît fortement jusqu'à une valeur très faible pour des temps d'irradiation de l'ordre de 20 mn.

Dans ces conditions, le courant de fuite est très important et la figure III.12 montre qu'à bas niveau, la caractéristique $I_B(V_{BE})$ est quasiment ohmique. Nous avons également réalisé une mesure en polarisation inverse faible où la pente est la même, ceci nous amène à penser qu'un courant tunnel est responsable de ce phénomène. En effet pour les fortes valeurs du temps d'irradiation, la base P est fortement accumulée et peut être dégénérée en surface, situation favorable à l'apparition d'un courant tunnel car l'émetteur est trop fortement dopé pour que la dégénérescence puisse être levée. De plus, dans cette région, il existe une grande quantité de défauts facilitant l'apparition d'un effet tunnel assisté par des défauts situés dans la zone de charge d'espace de la jonction près de l'interface Si_P-SiO_2 [34, 35].

La figure III.12 montre que cette caractéristique rejoint les autres quand I_B augmente ; ceci est dû à l'apparition du courant volumique de surface qui domine le courant tunnel.

III.5. CONCLUSION

Dans les composants VLSI, les recombinaisons en surface peuvent jouer un rôle important, aussi l'interface Si-SiO₂ est-il réalisé par de la silice thermique de manière à perturber le moins possible le réseau cristallin du silicium.

La caractérisation de cette interface sur un composant standard achevé est impossible par l'analyse "classiques" (DLTS, C(V)...), l'originalité de notre méthode est d'utiliser le MEB comme sonde afin de modifier l'état électrique de la surface du silicium et d'en tirer des renseignements sur la qualité de l'interface.

Les résultats obtenus correspondent au phénomène physique mis en jeu. Nous avons vu, toutes choses égales par ailleurs, que le décalage du minimum de V_{BE} sur l'axe des temps caractérise la quantité de charges piégées dans l'oxyde. De même l'amplitude de ce minimum donne une indication sur la valeur du courant de recombinaison.

Ces renseignements sont qualitatifs mais peuvent cependant permettre de comparer différents processus technologiques par exemple.

Néanmoins, il est possible d'imaginer un composant permettant de quantifier nos mesures ; par exemple, un transistor MOS sans grille dont la variation de conductance serait mesurée en fonction du temps d'irradiation aux électrons de l'oxyde.

CONCLUSION - PERSPECTIVES

CONCLUSION - PERSPECTIVES

Le but de ce travail était la caractérisation de l'effet de la réduction des dimensions tant en profondeur qu'en surface d'un transistor bipolaire sur les caractéristiques électriques (gain en courant par exemple) de ce type de dispositifs. Pour cela, nous avons utilisé une méthode de mesure du gain interne en faible multiplication développée précédemment au laboratoire [7] pour des structures de grandes dimensions du type composants discrets.

Nous pouvons dire que ce but a été atteint en dépit des nombreuses difficultés pratiques rencontrées comme par exemple l'obligation de travailler en impulsion, ou l'apparition d'oscillations dans le circuit de mesure, des solutions techniques à ces problèmes ayant été trouvées.

Les résultats obtenus sont cohérents avec ceux du modèle développé. L'emploi d'une telle méthode peut s'avérer précieuse pour la comparaison de l'influence de différents paramètres physiques de la jonction base-émetteur sur son efficacité d'injection tels que :

- la technique de dopage employée,
- l'épaisseur de l'émetteur,
- son niveau de dopage,
- l'influence d'un contact d'émetteur en silicium polycristallin....

Nous pouvons d'ores et déjà dire que sur les composants dont nous disposons l'effet des bords de la diode émetteur-base est conséquent puisqu'une réduction de 50 % du gain a été constatée.

De plus, une étude de l'interface $\text{Si}_p\text{-SiO}_2$ vers la remontée de la jonction émetteur-base a été entreprise sur nos dispositifs, la modification de l'état électrique de la surface du silicium a été réalisée à l'aide d'un microscope électronique à balayage. Les résultats obtenus correspondent au phénomène physique mis en jeu. La caractérisation de l'interface par cette technique est qualitative mais permet la comparaison de dispositifs élaborés suivant des techniques différentes.

Les techniques de mesure développées au laboratoire autorisent le test rapide de composants standards, cela peut permettre la comparaison de différents processus technologiques. Nous nous sommes trouvés dans l'impossibilité de disposer de structures différentes aussi l'avenir de nos méthodes de caractérisation qui sont opérationnelles est-il fortement hypothéqué par cet état de fait.

Le désintéressement pour le secteur des circuits intégrés bipolaires constaté ces dernières années semble maintenant s'atténuer, de récents travaux [36] montrent que le transistor bipolaire sur silicium pourra dans peu de temps soutenir la comparaison avec les meilleurs composants à effet de surface et notamment le MESFET sur GaAs ou le MOS sur InP.

En effet, le problème essentiel est de trouver le compromis optimal entre l'épaisseur de la base et son niveau de dopage afin d'éviter le percement et d'améliorer la tenue en tension des transistors maigris [5].

Si nous nous référons aux derniers travaux dans ce domaine [36], il semble que pour la logique ECL, une structure de transistor tout à fait classique, du type de celle utilisée pour notre travail, puisse être utilisée. L'épaisseur de la base d'un tel transistor peut être de 500 Å avec un pic de dopage de base inférieur à $4.10^{18} \text{ cm}^{-3}$; ce composant permet de réaliser une porte NOR à 3 entrées avec un temps de propagation de 75 ps et une dissipation de 0,1 pJ. De plus, il sera possible d'obtenir des surfaces d'émetteur de l'ordre de $0,5 \times 1,25 \mu\text{m}^2$ soit des capacités de transition émetteur-base de 2,2 fF.

Il apparaît immédiatement que les performances énoncées ci-dessus sont comparables avec celles des différentes autres filières technologiques (MOS-Si, MESFET GaAs, MOS-InP). L'avantage du circuit intégré silicium tel qu'il a été défini ci-dessus est que son approche et son analyse sont de type tout à fait classique et les méthodes utilisées dans notre mémoire seraient encore applicables. De plus, le fait d'utiliser une technologie classique présente l'avantage de préserver l'acquis au niveau de la fiabilité et de la densité d'intégration entre autre.

Il subsiste néanmoins quelques problèmes quant à la réalisation de couches très minces pour de tels dispositifs. Mais il est probable que, dans un avenir proche, les circuits intégrés VLSI bipolaires ultra-rapides sur silicium retrouvent un lustre que personne ne leur aurait prédit il y a quelques années.

ANNEXES

ANNEXE I

MODÈLE DE LA JONCTION COLLECTEUR-BASE

*(article paru dans l'ONDE ELECTRIQUE
du mois de mars 1982)*

Tenue en tension d'un transistor à très haute densité d'intégration

par M. LE HELLEY⁽¹⁾, D. SEBILLE⁽²⁾ et J. P. CHANTE⁽¹⁾

RÉSUMÉ

Dans cet article, une structure expérimentale de transistor intégré destiné à la logique ECL est présentée. Des mesures électriques simples donnent la variation de la résistance pincée de base sous l'émetteur en fonction de la tension base-collecteur. A partir de ces mesures, un modèle unidimensionnel est développé. La comparaison des valeurs de l'intégrale d'ionisation et de l'épaisseur de base active calculées en fonction de la tension collecteur-base indique si la tenue en tension du composant est limitée par le claquage par avalanche de la jonction base-collecteur ou par le percement de la base. L'utilisation de ce modèle pour la conception de transistors à très haute densité d'intégration est discutée.

SUMMARY

Breakdown voltage of a very large scale integrated transistor

This paper presents an experimental integrated structure intended for Emitter-Coupled-Logic circuits. By means of simple electric measurements, the transverse base resistance is plotted versus the base-collector voltage. A one-dimension-model has been developed from these measurements. The ionization integral and the active base thickness are computed as functions of the base-collector voltage; by comparing the variations of these quantities, it becomes possible to determine which phenomenon induces the base-collector breakdown: either avalanche multiplication or base punchthrough. The use of this model in the design of very large scale integrated circuits is discussed.

I. INTRODUCTION

L'électronique actuelle exige des circuits intégrés travaillant à des vitesses de plus en plus grandes. Ces impératifs de rapidité qui nécessitent une sélection des dimensions des composants utilisés exigent par là-même, d'ajuster leurs paramètres physiques à des valeurs bien précises, tout écart par rapport à ces dernières pouvant entraîner un mauvais fonctionnement ou même une destruction du composant. Comme exemple nous citerons l'influence des paramètres physiques propres à la base d'un transistor sur son comportement; la diminution de l'épaisseur et du dopage moyen de la base améliore les performances de réponse en fréquence et de gain mais peut entraîner un claquage prématuré de la structure par percement de la base. Le choix des valeurs de ces deux paramètres est donc essentiel dans la recherche d'un composant de bonne qualité.

Nous présentons, dans cet article, un modèle mathématique simple, unidimensionnel permettant de relier l'épaisseur de base active, c'est-à-dire non dépeuplée, à la tension base-collecteur appliquée à une structure de type $N^+P^+PN^+$ utilisée en technologie VLSI. Par le choix des différentes valeurs numériques entrées dans notre programme, dimensions géométriques et profils de dopage, nous pouvons déduire une limite de fonctionnement du dispositif soit par percement de la base, soit par claquage par avalanche de la jonction base-collecteur. Le modèle donnant aussi la variation de la résistance de base active en fonction de la tension collecteur-base pourra donc être vérifié par des mesures expérimentales de cette résistance.

II. PRÉSENTATION DU COMPOSANT ÉTUDIÉ

La tenue en tension des transistors bipolaires intégrés est essentiellement assurée par la structure de la jonction

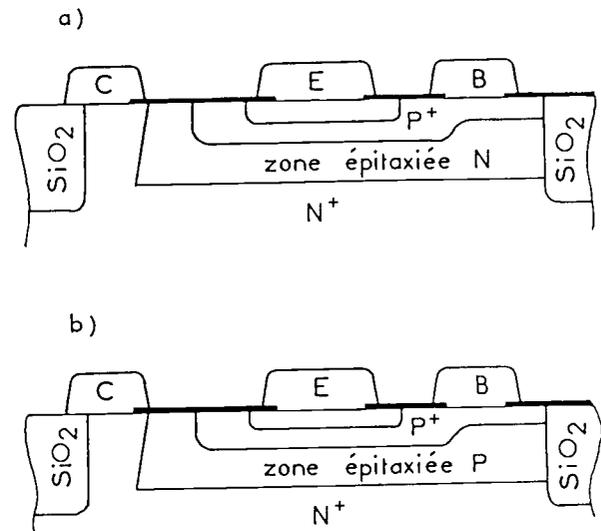


FIG. 1. — Schéma des deux types de structures possibles :
a) avec épitaxie N. b) avec épitaxie P.

collecteur-base. La figure 1 montre les deux types de transistors intégrés NPN pouvant être conçus, la jonction collecteur-base étant soit du type N^+NP^+ soit du type N^+PP^+ . La zone épitaxiée intermédiaire peu dopée (10^{16} cm^{-3}) permet d'améliorer la tenue en tension en pénalisant au minimum les performances gain-fréquence de transition du composant; en effet, son épaisseur et son dopage sont prévus pour qu'elle soit dépeuplée en fonctionnement normal. Dans les deux types de structure, le dopage de la couche enterrée N^+ de collecteur est considéré comme ayant une valeur constante (10^{19} cm^{-3}) et le passage à la zone épitaxiée se fait de manière abrupte; le profil de dopage de la zone active de base est de type gaussien avec une valeur maximale de $4 \times 10^{17} \text{ cm}^{-3}$.

Suivant le type de la couche épitaxiée, la jonction collecteur-base se comportera différemment :

— Si la zone tampon est de type N, il apparaît sur la figure 1a que la région où le champ électrique prend ses plus fortes valeurs se trouve du côté de la base active P^+ au voisinage de la jonction métallurgique P^+N qui est loin

⁽¹⁾ Maître-Assistant à Lyon.

⁽²⁾ Ingénieur INS à Lyon.

d'être plane. La tenue en tension sera donc limitée par le claquage des parties courbes. De plus, lorsque la région N sera complètement dépeuplée (reachthrough), l'extension de la zone de charge d'espace dans la couche enterrée de collecteur sera pratiquement bloquée; cela va entraîner une augmentation beaucoup plus rapide du champ maximal à la jonction, provoquant le claquage quasi immédiat.

— Si la zone peu dopée est de type P, le champ maximal sera localisé à la limite de la couche enterrée de collecteur là où la jonction est beaucoup plus plane, ce qui améliore d'autant la tenue en tension. Il convient de remarquer également que l'effet de *reachthrough* sera moins violent dans ce cas, car la zone P⁺ de base est moins dopée que la couche enterrée de collecteur et présente, en outre, un profil de dopage moins abrupt.

Ce type de structure présente donc une bonne reproductibilité des caractéristiques de tenue en tension car il y a claquage d'une jonction plane. Des manipulations faites au laboratoire, [1, 2], ont montré qu'en conduction par avalanche, il y avait focalisation naturelle des lignes de courant, ce qui montre que la diode collecteur-base claque bien en son centre dans la partie plane.

Les transistors étudiés sont donc du type N⁺P⁺PN⁺, ils ne sont pas reliés à un circuit mais isolés et toutes les connexions sont accessibles électriquement, en particulier les contacts de base B₁ et B₂ (fig. 2).

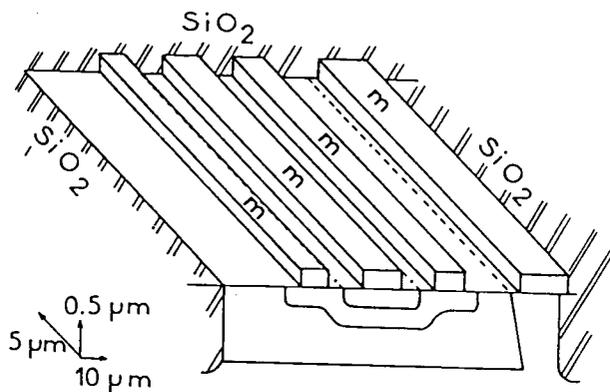


FIG. 2. — Vue en perspective du transistor donnant ses dimensions, les métallisations sont repérées par la lettre « m », les jonctions sont en pointillé, le caisson de silice dans lequel est enfermé le composant est représenté (hachuré).

En technologie VLSI, la densité d'intégration est telle qu'un isolement entre composants par une diode en inverse n'est plus possible; aussi, est-ce une isolation diélectrique qui est choisie, sur la figure 2 apparaît le caisson de silice dans lequel est enfermé le transistor. Dans un tel composant, toutes les lignes de courant transversales dans la base sont parallèles et perpendiculaires aux grandes dimensions des métallisations (voir figure 2). Ce comportement particulier permettra de simplifier les calculs en nous autorisant à utiliser un modèle unidimensionnel.

III. MESURES RÉALISÉES

Si un transistor est polarisé par un courant base, I_B, constant, une augmentation de I_C est constatée lorsque la tension collecteur-émetteur V_{CE}, est augmentée. Cette

variation est l'effet de deux phénomènes qui sont toujours intimement liés dans un transistor bipolaire :

- l'effet Early,
- la multiplication par effet d'avalanche.

Il apparaît donc délicat de relier simplement la mesure des variations de I_C en fonction de V_{CE} avec la diminution de l'épaisseur de base.

La méthode présentée ici repose sur la mesure de la variation de la résistance de base pincée sous l'émetteur en fonction de la tension inverse collecteur-base, V_{CB}, appliquée au composant. Le montage de mesure est présenté sur la figure 3, le courant I_{B₁B₂} est imposé par une source de courant, il a été choisi faible afin d'induire une chute de tension V_{B₁} - V_{B₂} aussi faible que possible (quelques mV). Une source de tension impose la valeur de V_{CB}, le courant délivré par cette source est mesuré; dès qu'il devient trop important, cela signifie que la multiplication intervient. Par cette méthode, et tant que l'effet de multiplication reste faible, c'est bien le rétrécissement de la base active qui est mesuré; pendant les mesures l'émetteur reste en l'air. Pour la modélisation, nous considérerons que les résistances d'accès R_A et R_A, sont négligeables (voir figure 3). La résistance de base est donnée par :

$$R_{B_1 B_2} = \frac{V_{B_1} - V_{B_2}}{I_{B_1 B_2}}$$

La figure 4 montre les variations de R_{B₁B₂} en fonction de V_{CB}.

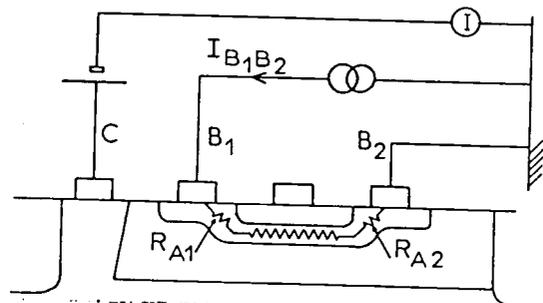


FIG. 3. — Dispositif expérimental permettant la mesure de R_{B₁B₂} en fonction de V_{CB}, les résistances d'accès R_A et R_A ont été représentées.

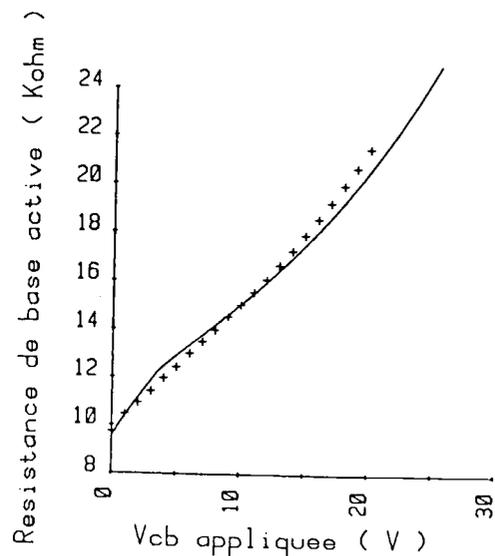


FIG. 4. — Variation de la résistance de base active en fonction de la tension V_{CB} appliquée; + : valeurs expérimentales; en trait continu : modélisation.

IV. MODÉLISATION

1. Calcul de l'épaisseur de base active en fonction de la tension base-collecteur

La différence de potentiel base-collecteur est obtenue par une double intégration de l'équation de Poisson à une dimension dans la zone de transition de la jonction base-collecteur :

$$\frac{d^2V}{dx^2} = - \frac{dE}{dx} = - \frac{\rho(x)}{\epsilon}$$

ϵ étant la permittivité électrique absolue du silicium ($1,04 \times 10^{-12}$ Farad/cm). En fait le dopage de la région de collecteur étant plus élevé que celui de la région voisine de base, (voir *figure 5b*), la zone dépeuplée de la jonction base-collecteur pénètre très peu dans le collecteur, nous pouvons alors écrire :

$$V_{CB}(r) = - \frac{1}{\epsilon} \int_r^{w_1} dx \int_r^x \rho(x') dx'$$

La densité des charges électriques dans la région de base dépeuplée est donnée par la concentration des atomes accepteurs ionisés.

$$\rho(x) = - qP(x)$$

q étant la valeur absolue de la charge électrique de l'électron ($1,6 \times 10^{-19}$ coulomb). Les dopages dans les régions P⁺ diffusée ou implantée et P épitaxiée de base sont respectivement :

$$P(x) = P^+(x) = A \exp - \frac{x^2}{D^2}$$

avec $A = 4 \times 10^{17} \text{ cm}^{-3}$ et $D = 0,134 \mu\text{m}$,

$$P(x) = B = 2 \times 10^{16} \text{ cm}^{-3}$$

Pour calculer $V_{CB}(r)$ nous devons considérer deux cas :

a) La région P n'est pas complètement dépeuplée. Le profil du champ électrique, triangulaire dans cette région car le dopage est constant, donne une variation parabolique du potentiel selon la loi (voir *figure 5c*, profil 1) :

$$V_{CB}(r) = \frac{1}{2} \frac{qB}{\epsilon} (W_2 - r)^2.$$

b) La région P est complètement dépeuplée. Le profil du champ électrique est alors trapézoïdal dans la région P mais il n'est pas triangulaire dans la région P⁺ car le dopage n'est pas constant. La chute de potentiel dans la région P est donnée par l'aire du trapèze de bases $E_1(r)$ et $E_2(r)$ et de hauteur $W_2 - W_1$ (voir *figure 5c*, profil 2), elle a donc pour expression :

$$V_P(r) = \frac{1}{2} [E_1(r) + E_2(r)] \times (W_2 - W_1)$$

$E_1(r)$ et $E_2(r)$ sont les valeurs du module du champ électrique aux abscisses W_1 et W_2 respectivement, obtenues par intégration simple de l'équation de Poisson d'abord dans la région P⁺.

$$E_1(r) = \frac{qA}{\epsilon} \int_r^{w_1} \exp - \frac{x^2}{D^2} dx$$

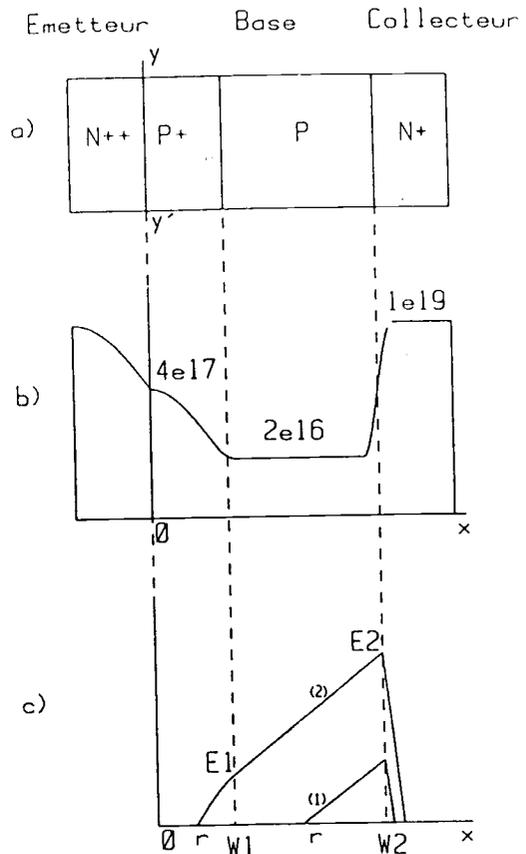


FIG. 5. a) Structure N⁺⁺P⁺PN⁺ étudiée. b) Profils de dopage de la structure étudiée. c) Profils de champ dans la jonction collecteur-base.

puis dans la région P

$$E_2(r) = E_1(r) + \frac{qB}{\epsilon} (W_2 - W_1)$$

La chute de potentiel dans la région P⁺ est donnée par

$$V_{P^+}(r) = \frac{qA}{\epsilon} \int_r^{w_1} dx \int_r^x \exp - \frac{x'^2}{D^2} dx'$$

et nous avons évidemment

$$V_{CB}(r) = V_P(r) + V_{P^+}(r)$$

Les intégrales sont calculées numériquement.

2. Calcul de la résistance R_{B,B₁} de base active en fonction de V_{CB}

Nous calculons les variations de la résistance R_{B,B₁} de base active en fonction de la tension base-collecteur V_{CB} par l'intermédiaire du paramètre r représentant l'épaisseur de la base active (voir *figure 5c*).

Pour calculer la résistance R_{B,B₁}, nous supposons que toutes les lignes de courant sont parallèles à la direction y'y (voir *figure 5a*) et que les charges mobiles sont réparties uniformément dans des plans perpendiculaires à la direction Ox avec une densité $\rho(x)$. La résistance R_{B,B₁} est alors constituée par la mise en parallèle d'une infinité de résistances élémentaires de longueur L égale à la longueur de l'émetteur (30 μm), de section adx , a représentant la

largeur de la structure (18 μm). L'expression de la résistance élémentaire est donc :

$$dR = \frac{L}{q\mu(x)p(x)a dx}$$

la résistance totale est donc

$$R_{B,B_1} = \frac{L}{qa \int_0^r \mu(x)p(x) dx}$$

La densité des porteurs libres (trous) dans la région de base non dépeuplée est prise égale à la concentration d'impuretés

$$p(x) = P(x)$$

La mobilité $\mu(x)$ est fonction de l'abscisse x car elle dépend de la densité d'impuretés P . Les valeurs de μ sont choisies d'après les résultats de Sze et Irvin [4].

La résistance R_{B,B_1} est calculée numériquement pour r variant de 0 à la valeur W_2 au moyen de la formule suivante :

$$R_{B,B_1}(r) = \frac{L}{qa[\partial\mu_p B(r - W_1) + \int_0^z \mu_p \cdot P^+(x) dx]}$$

avec $z = W_1$, $\partial = 1$ lorsque la région P n'est pas complètement dépeuplée, $r > W_1$ (profil 1, figure 5c) et $z = r$, $\partial = 0$ lorsque la zone de transition pénètre dans la région P^+ , $r < W_1$ (profil 2, figure 5c).

Nous obtenons alors $R_{B,B_1}(V_{CB})$ sous une forme tabulaire, la courbe représentative est tracée figure 4.

La cassure observée pour une tension collecteur-base égale à 3 volts correspond au dépeuplement total de la couche épitaxiée P , pour les tensions supérieures à cette valeur la zone de transition va pénétrer dans la région P^+ de base. Pour les fortes valeurs de V_{CB} , la divergence entre les valeurs mesurées et calculées provient de la multiplication par avalanche. En effet, lorsque le champ dans la zone de transition collecteur-base prend des valeurs élevées, la génération de paires électron-trou par impact d'ionisation augmente, les trous sont injectés dans la base provoquant ainsi une augmentation du potentiel V_{B_1} . Cette augmentation vient s'ajouter à celle due au rétrécissement de la base.

3. Calcul de l'intégrale d'ionisation

La comparaison de l'intégrale d'ionisation I et de l'épaisseur de base active r nous indique quel phénomène limite le fonctionnement du composant. L'intégrale d'ionisation s'exprime par :

$$I = 1 - \frac{1}{M}$$

M étant le coefficient de multiplication des porteurs dans la zone de transition. Dans le cas présent, la jonction étant de type PN^+ , le claquage sera dû à la multiplication par

électrons; l'expression de l'intégrale devient alors :

$$I = 1 - \frac{1}{M_n} = \int_0^W \alpha_n \left[\exp - \int_0^x (\alpha_n - \alpha_p) dx' \right] dx$$

W étant l'extension de la zone de transition dans les régions P ou P^+ . Les expressions des vitesses d'ionisation des électrons et des trous, α_n et α_p ont été données en fonction du champ électrique $E(x)$ [4].

$$\alpha_n = A_n \exp - \frac{b_n}{E(x)}$$

$$\alpha_p = A_p \exp - \frac{b_p}{E(x)}$$

Les valeurs numériques des coefficients sont [5]

$$A_n = 7,03 \times 10^5 \text{ cm}^{-1}$$

$$b_n = 1,231 \times 10^6 \text{ V/cm}$$

$$A_p = 6,71 \times 10^5 \text{ cm}^{-1}$$

$$b_p = 1,693 \times 10^6 \text{ V/cm}$$

Pour calculer l'expression du champ électrique nous devons envisager les cas suivants :

a) la zone P épitaxiée est complètement dépeuplée, $r < W_1$,

- dans la couche P^+ de base, nous avons

$$E(x) = \frac{q}{\epsilon} \int_r^x p^+(x) dx, \quad r < x < W_1$$

- dans la couche P

$$E(x) = \frac{q}{\epsilon} \int_r^{W_1} P^+(x) dx + \frac{qB}{\epsilon} (x - W_1), \quad W_1 < x < W_2.$$

b) la zone P épitaxiée n'est pas complètement dépeuplée, $r > W_1$

$$E(x) = \frac{qB}{\epsilon} (x - r), \quad r < x < W_2$$

L'intégrale d'ionisation I peut donc être calculée numériquement en fonction de r . D'autre part, au paragraphe IV.1, la relation $V_{CB}(r)$ a été calculée, il est donc possible d'établir les relations $I(V_{CB})$ et $r(V_{CB})$.

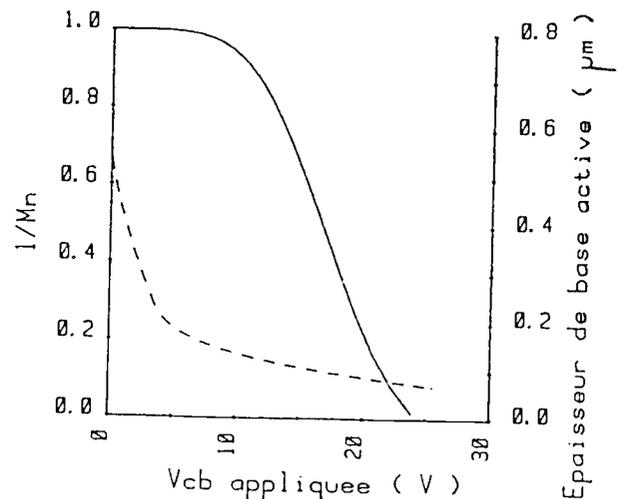


FIG. 6. - En pointillé : variation de l'épaisseur de base active en fonction de V_{CB} ; en trait continu : variation de $1/M_n = f(V_{CB})$.

La figure 6 montre les variations de r et de $1/M_n = 1 - I$ en fonction de V_{CB} . Pour le transistor étudié, le claquage de la jonction base-collecteur se produit avant le percement de la base pour une tension V_{CB} égale à 25 V qui est en bon accord avec le résultat expérimental (26 V).

Dans le fonctionnement en transistor, du fait du gain en courant β et de la continuité électrique exprimée par $M\alpha = 1$, le claquage par avalanche entre collecteur et émetteur surviendra pour $1/M = 0,95$, pour un β de 50, et par conséquent pour une tension V_{CE} voisine de 10 V (fig. 5) et donc bien inférieure à la tension de percement. Le choix des paramètres de base (dopage et profondeur) nous permet de réaliser un transistor dont le claquage se fera par avalanche et non par percement de la base.

V. CONCLUSION

La modélisation développée dans cet article, basée sur des mesures électriques simples nous permet de représenter de façon satisfaisante le comportement d'un transistor de petites dimensions. Nous avons utilisé des valeurs classiques pour les paramètres physiques du silicium [3] et avons réalisé une approche unidimensionnelle du problème au moyen d'un matériel informatique léger (Calculateur Hewlett Packard HP 9825 A et table traçante HP 9872 A). Ce modèle simple qui nous donne une bonne connaissance de la tension de claquage d'un transistor intégré peut aussi être utilisé pour fixer la valeur des paramètres de base.

Les résultats obtenus ($V_{CEO} = 10$ V) pour une épaisseur de base active de 2 500 Å permettent de penser que des épaisseurs de l'ordre de 1 000 Å pourraient être réalisées en évitant le percement tout en conservant une tension de claquage par avalanche compatible avec le fonctionnement des circuits logiques. De plus, le temps de réponse d'un transistor étant une fonction inverse de l'épaisseur de sa base une diminution de celle-ci améliorera donc la rapidité des circuits.

Bibliographie

[1] SEBILLE D., BONNAUD O., CHANTE J. P. — Electric measurement and modelling of the emitter base junction behaviour of VLSI Silicon transistor. *Sol-State Electron*, 1981, 24, 1053-1058.

- [2] SEBILLE D. — Thèse de Docteur-Ingénieur (A soutenir en mars 1982).
 [3] WIEDER A. W. — Emitter effects in shallow bipolar devices measurements and consequences. *IEEE Trans. on Electron Devices*, 1980, ED 27, 1402.
 [4] SZE S. M., IRVIN J. C. — Resistivity, mobility and impurity levels in GaAs. Ge, Si at 300 K. *Sol-State Electron*, 1968, 11, 599.
 [5] CHYNOWETH A. G. — Ionization rates for electrons and holes in Silicon. *Phys. Rev.*, 1958, 109, 1537.
 [6] Van OVERSTRAETE R., DeMAN H. — Measurement of the ionization rates in diffused silicon $p-n$ junctions. *Sol-State Electron*, 1970, 13, 583.

ANNEXE II

AMPLIFICATEUR \pm 120 V

Nous avons réalisé, en composants discrets, un amplificateur avec entrée, V_e , sur un étage différentiel et un étage de sortie push-pull. La contre-réaction est réalisée par la résistance a , le potentiomètre g règle le zéro de l'amplificateur.

Nous donnons la liste des composants utilisés :

- Résistances :

$$a = 50 \text{ k}\Omega$$

$$b \text{ et } c = 33 \text{ }\Omega$$

$$d = 47 \text{ k}\Omega$$

$$e = 2,2 \text{ k}\Omega$$

$$f, g \text{ et } h = 1 \text{ M}\Omega$$

$$i = 33 \text{ k}\Omega$$

- Transistors :

$$T_1, T_2, T_3, T_5, T_7, T_{11} \rightarrow 2N \text{ 3439 ou 3440}$$

$$T_4, T_8 \rightarrow 2N \text{ 5416}$$

$$T_6, T_9 \rightarrow 2N \text{ 1711}$$

$$T_{10} \rightarrow 2N \text{ 2905}$$

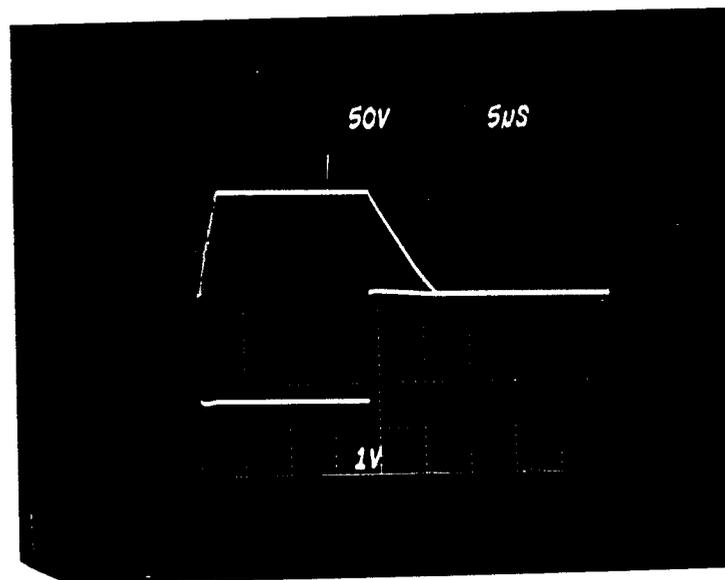


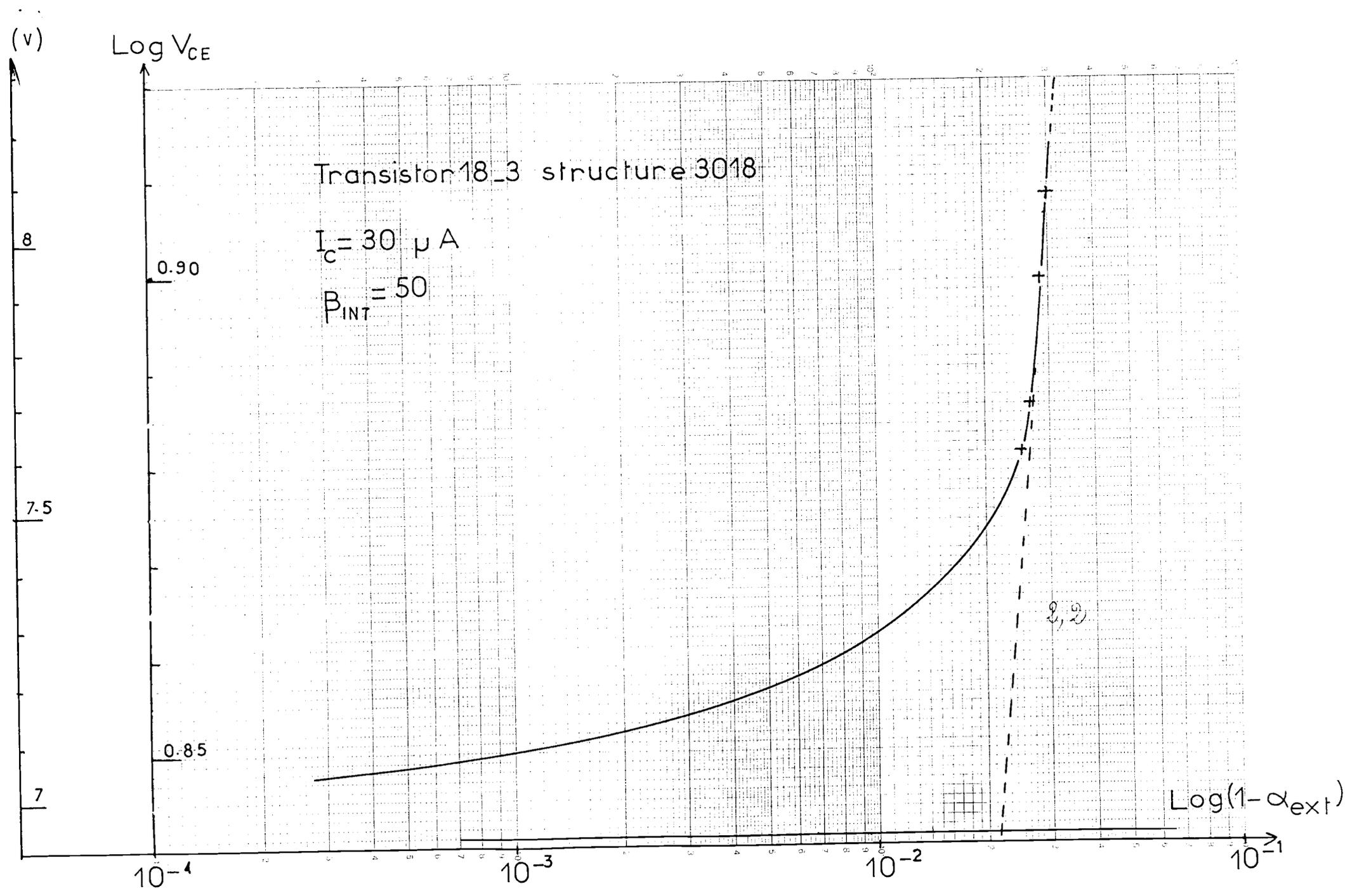
Figure A.II.2 : Commutation de l'amplificateur, le niveau zéro est au milieu ; le niveau négatif est le signal d'entrée, le positif, la sortie. Le gain est de -50 , la tension commutée est de 120 V sur une résistance de charge de $22\text{ k}\Omega$ (soit un courant de 5 mA). La vitesse de balayage est de $60\text{ V}/\mu\text{s}$ à la montée.

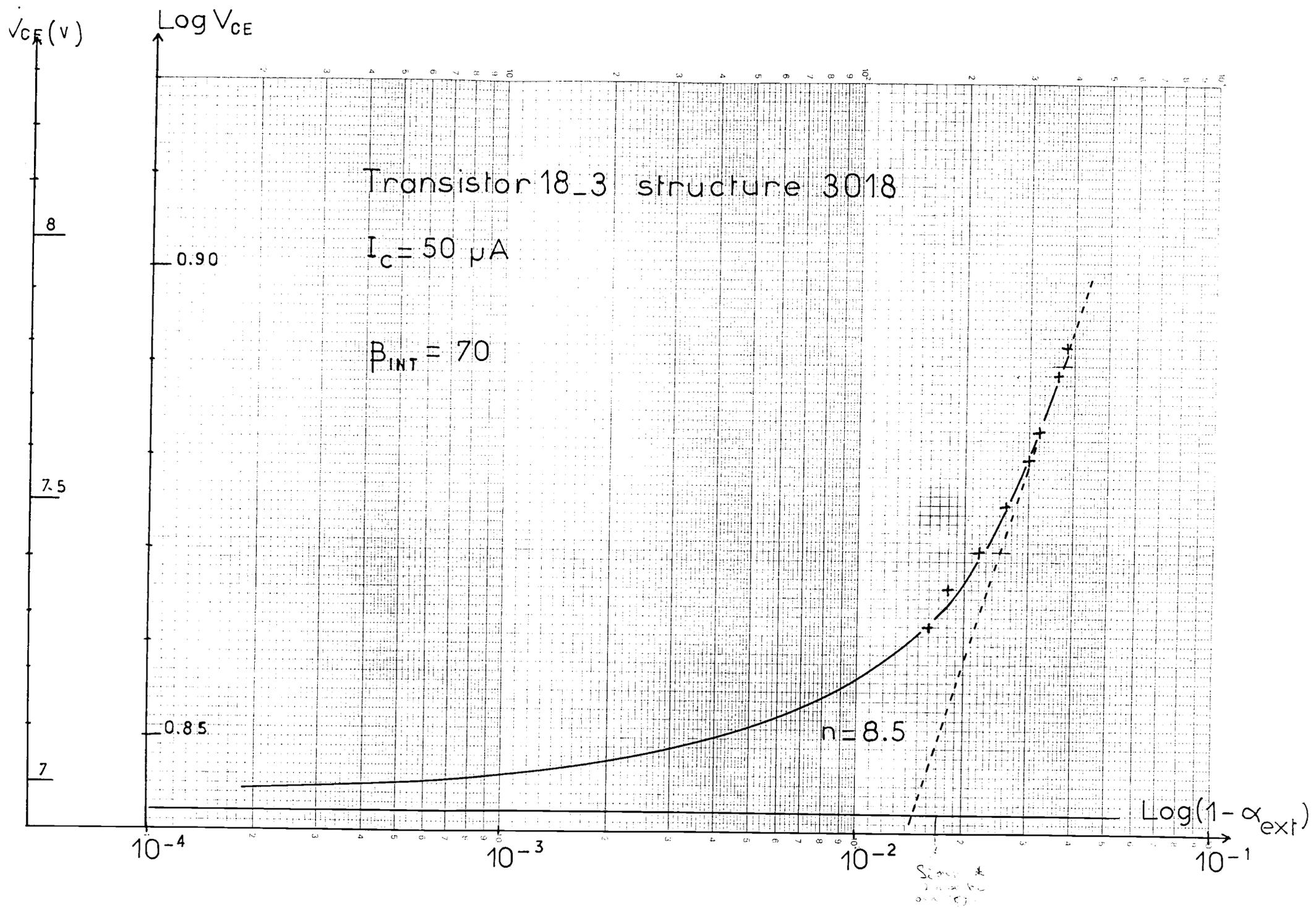
ANNEXE III

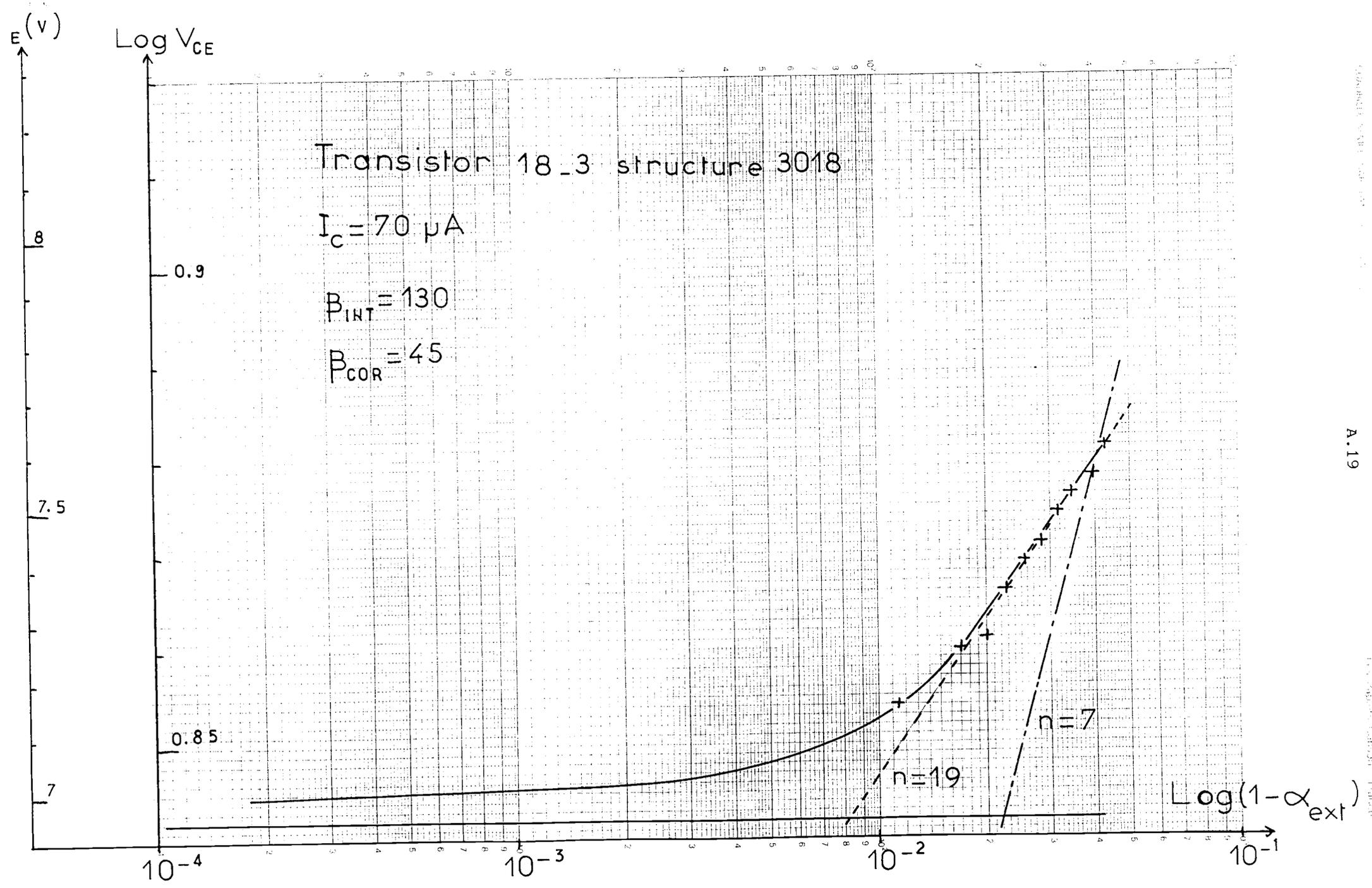
COURBES EXPÉRIMENTALES

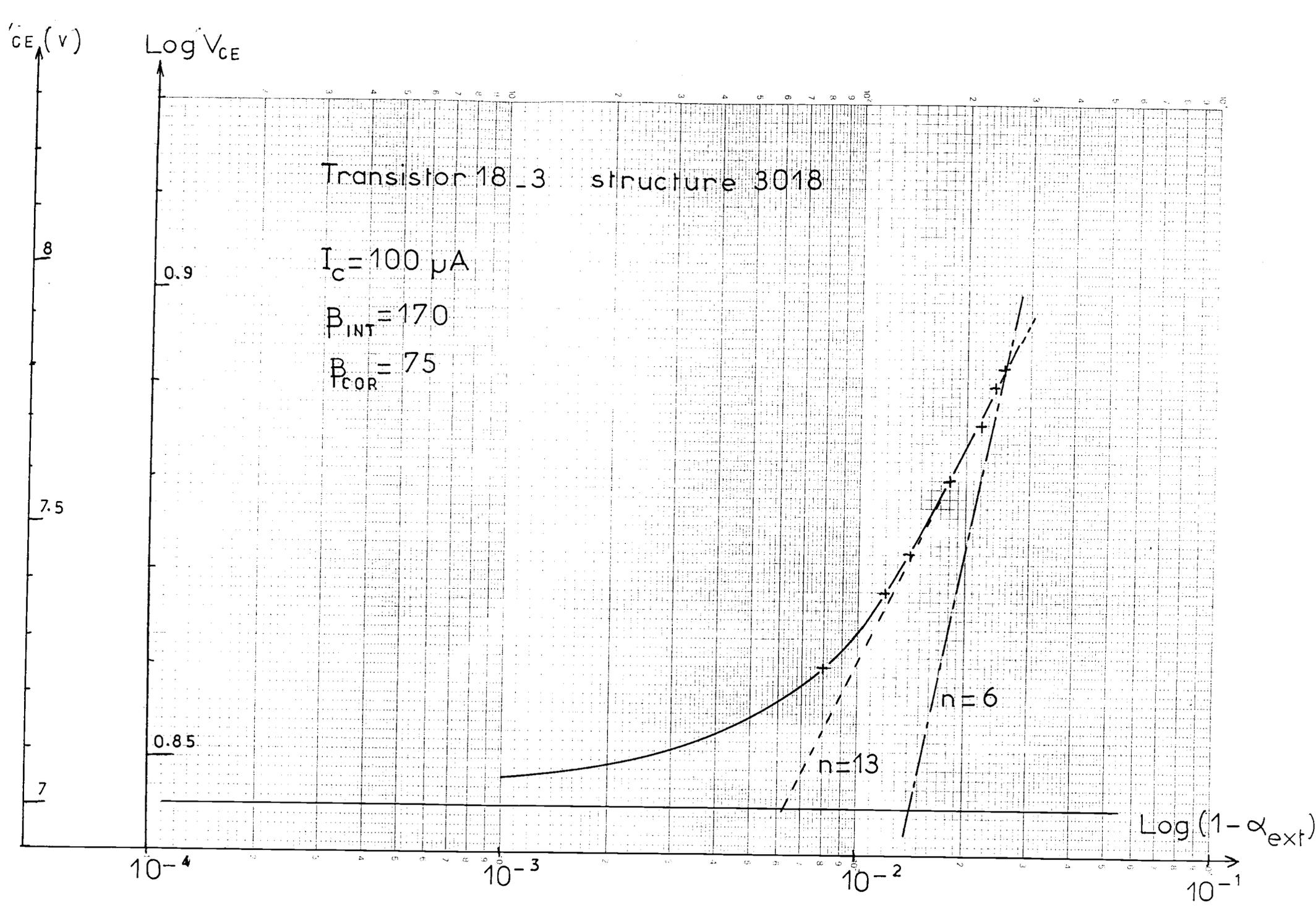
$$\text{LOG } V_{CE} = F \text{ LOG}(1 - \alpha_{EXT})$$

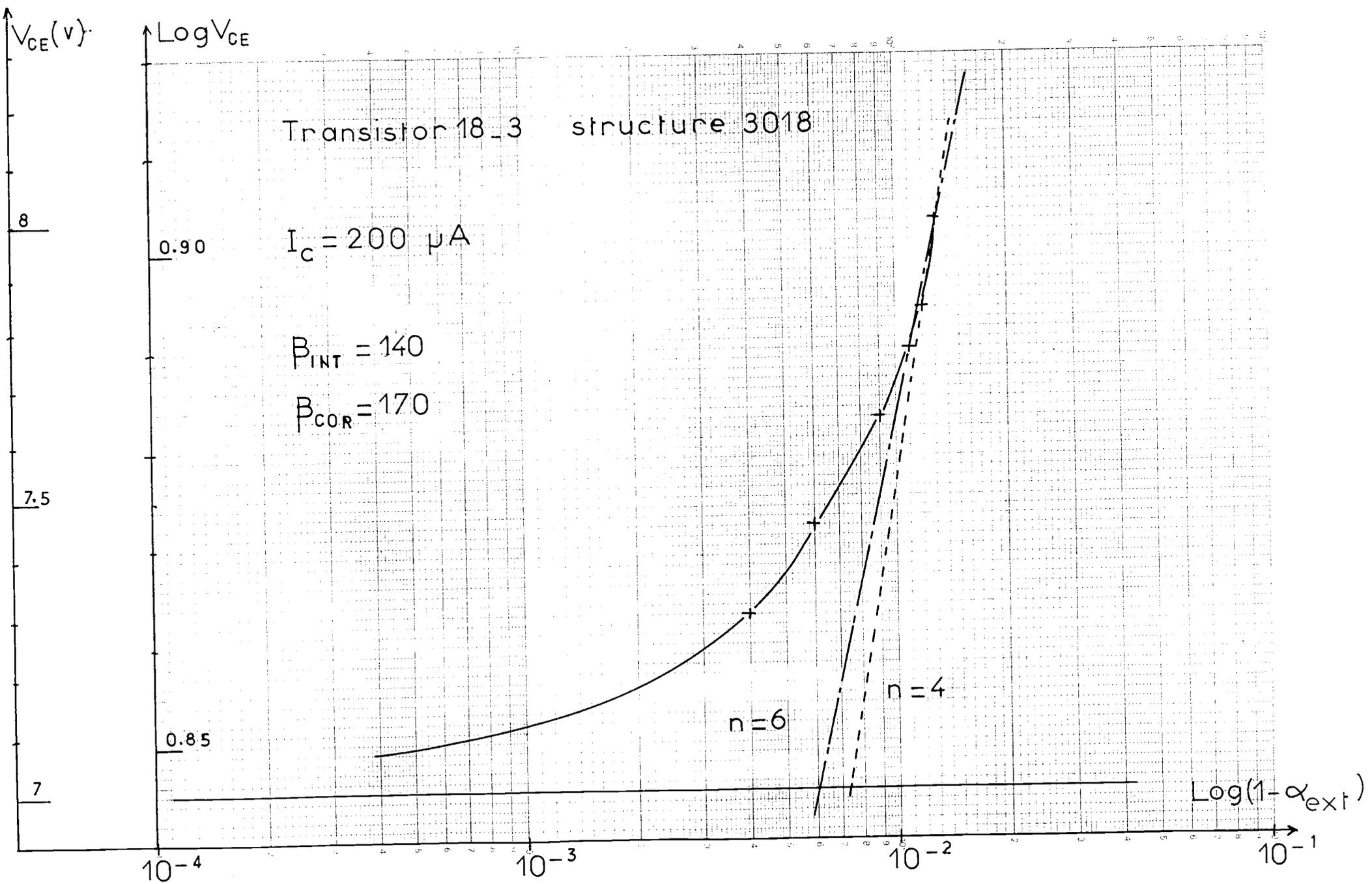
*Les asymptotes obliques corrigées
(trait mixte) ont été portées*

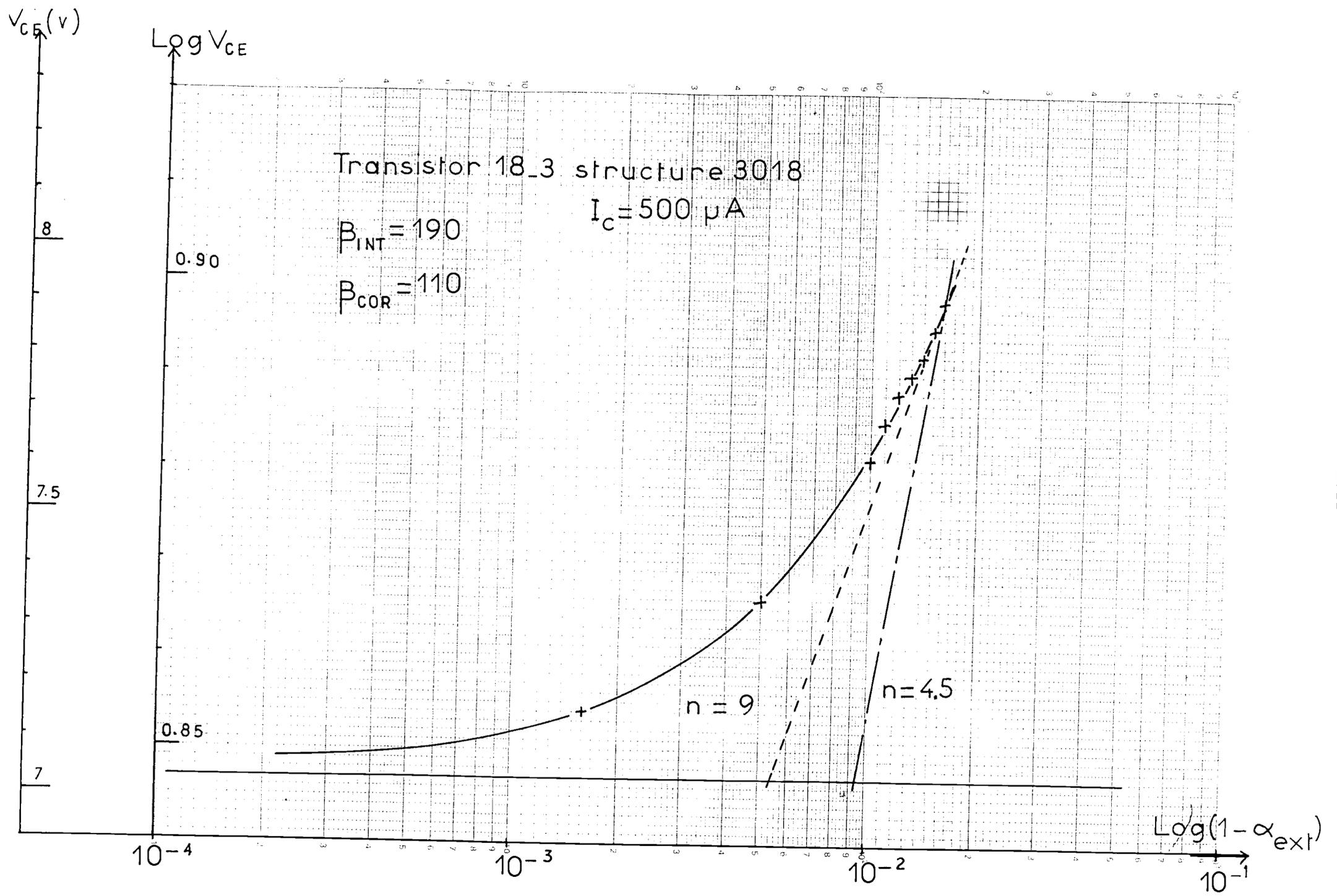












v)

Log V_{CE}

Tranststor 18_3 structure 3018

$I_C = 1 \text{ mA}$

$\beta_{INT} = 160$

$\beta_{COR} = 120$

0.90

0.85

$n=9$

$n=7$

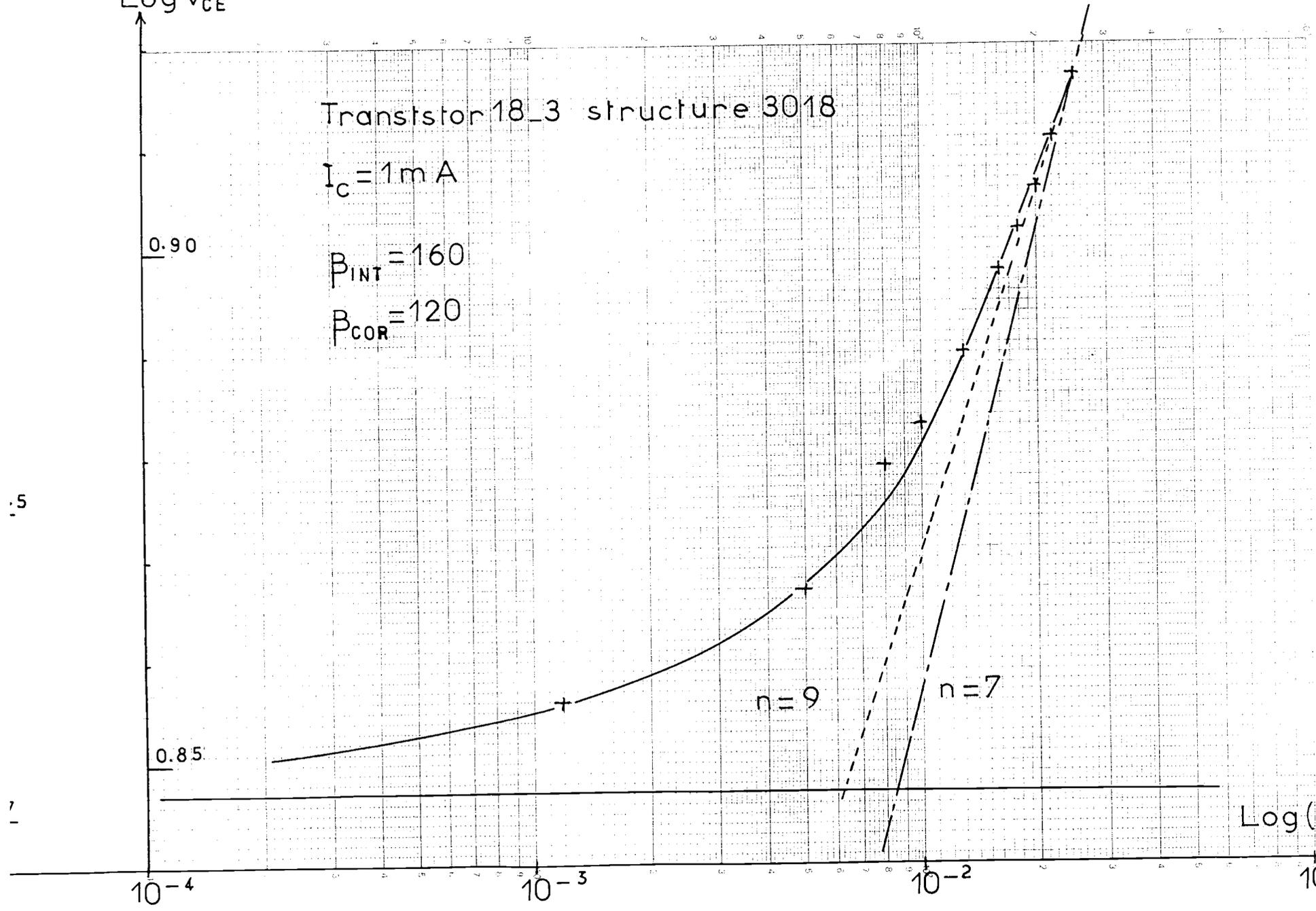
Log $(1 - \alpha_{ext})$

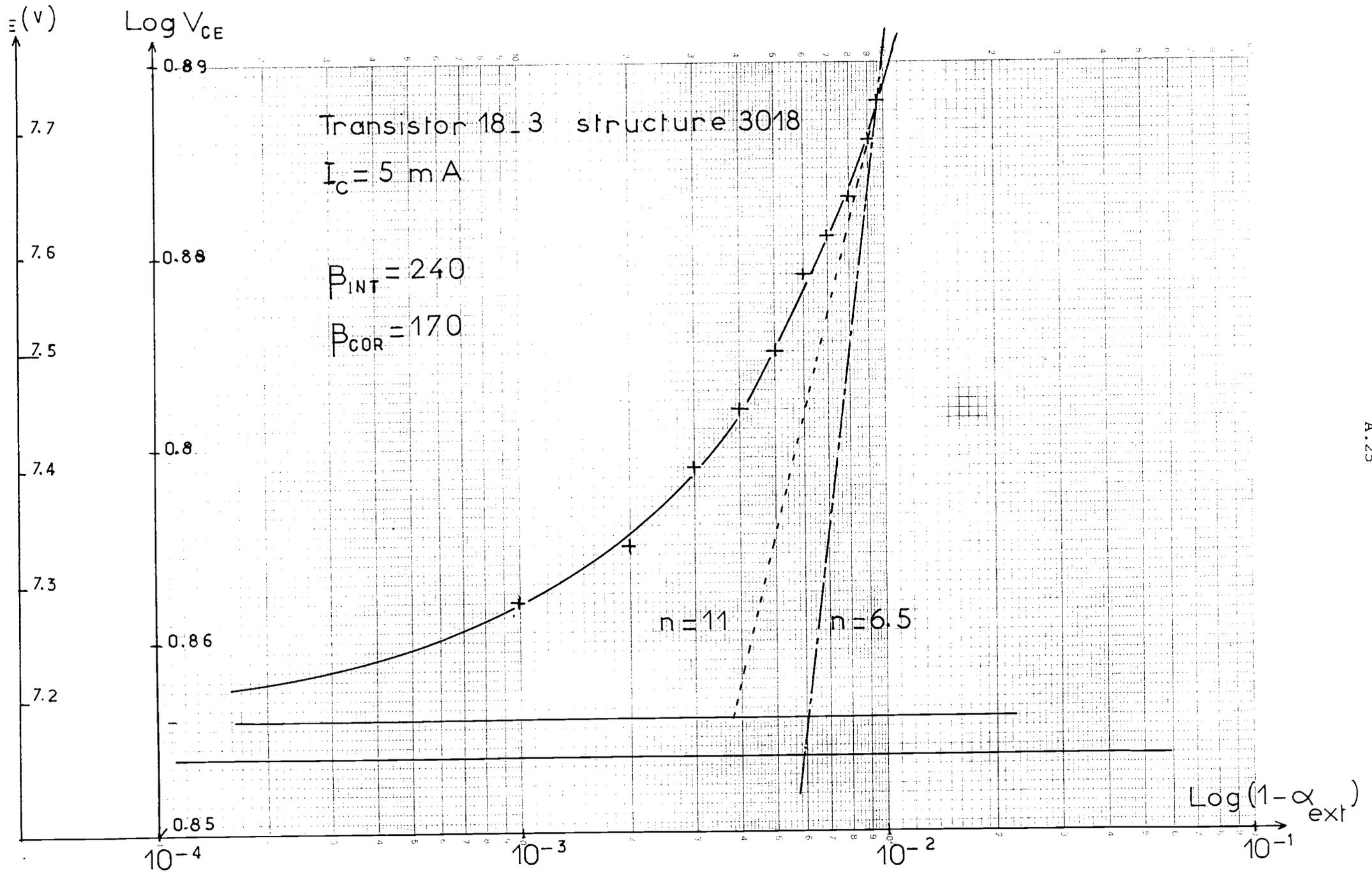
10^{-4}

10^{-3}

10^{-2}

10^{-1}





ANNEXE IV

CALCUL DU GAIN

*Nous présentons ici le calcul du gain
tel que nous l'avons publié [27]*

To calculate the gain we consider the conduction equations at the equilibrium [4, 26]

$$J_n = q D_n \left(\frac{n}{U_T} \epsilon_n + \frac{dn}{dx} \right) \quad (\text{A.IV.1})$$

$$J_p = q D_p \left(\frac{p}{U_T} \epsilon_p - \frac{dp}{dx} \right)$$

where $J_n = J_p = 0$.

If we consider the degeneracy we have

$$\epsilon_n = - \frac{U_T}{N_C} \frac{dN_C}{dx} - \frac{d}{dx} \left(\frac{E_F - E_C}{q} \right)$$

$$\epsilon_p = \frac{U_T}{N_V} \frac{dN_V}{dx} + \frac{d}{dx} \left(\frac{E_V - E_F}{q} \right)$$

Using the vacuum level E_0 and χ the electron affinity, we can write :

$$\epsilon_n = - \frac{U_T}{N_C} \frac{dN_C}{dx} - \frac{d}{dx} \left(\frac{E_F - E_0}{q} \right) - \frac{d}{dx} \left(\frac{E_0 - E_C}{q} \right)$$

$$\epsilon_p = \frac{U_T}{N_V} \frac{dN_V}{dx} + \frac{d}{dx} \left(\frac{E_V - E_0}{q} \right) + \frac{d}{dx} \left(\frac{E_0 - E_F}{q} \right)$$

thus using the conduction equations (A.IV.1) we have

$$J_n = q D_n \left(\frac{n}{U_T} \epsilon - \frac{n}{U_T} \frac{d\chi}{dx} - \frac{n}{N_C} \frac{dN_C}{dx} + \frac{dn}{dx} \right) \quad (\text{A.IV.2})$$

$$J_p = q D_p \left(\frac{p}{U_T} \epsilon - \frac{p}{U_T} - \frac{p}{kT} \frac{dE_g}{dx} + \frac{p}{N_V} \frac{dN_V}{dx} - \frac{dp}{dx} \right)$$

where $\epsilon = \frac{d}{dx} \left(\frac{E_0 - E_F}{q} \right)$

Using equations (A.IV.2) we have

$$\frac{J_n}{q D_n n} = - \frac{1}{U_T} \frac{d}{dx} (v + \chi) + \frac{d}{dx} \left(\ln \frac{n}{N_C} \right) \quad (\text{A.IV.3})$$

$$\frac{J_p}{q D_p p} = - \frac{1}{U_T} \frac{d}{dx} (v + \chi) - \frac{d}{dx} \left(\ln \frac{p}{N_V} \right) - \frac{1}{kT} \frac{dE_g}{dx}$$

Then

$$(A.IV.4) \quad \frac{J_n}{q D_n n} - \frac{J_p}{q D_p p} = \frac{d}{dx} \left(\ln \frac{pn}{N_C N_V} \right) + \frac{1}{kT} \frac{dE_g}{dx}$$

We know the intrinsic concentration is

$$(A.IV.4) \quad n_i^2 = N_C N_V \exp \left(- \frac{E_g}{kT} \right)$$

Using (A.IV.4) and (A.IV.5) we have

$$(A.IV.5) \quad \frac{J_n}{q D_n n} - \frac{J_p}{q D_p p} = \frac{d}{dx} \left(\ln \frac{pn}{n_i^2} \right)$$

With minor re-arrangement equation, (A.IV.6) becomes

$$\frac{p}{n_i^2} \frac{J_n}{q D_n} - \frac{n}{n_i^2} \frac{J_p}{q D_p} = \frac{d}{dx} \left(\frac{pn}{n_i^2} \right)$$

Integrating this equation between the two ohmic contacts A and B we can write

$$\int_A^B \frac{p}{n_i^2} \frac{J_n}{q D_n} dx - \int_A^B \frac{n}{n_i^2} \frac{J_p}{q D_p} dx = \left(\frac{pn}{n_i^2} \right)_B - \left(\frac{pn}{n_i^2} \right)_A = 0$$

then

$$\int_A^B \frac{p}{n_i^2} \frac{J_n}{q D_n} dx = \int_A^B \frac{n}{n_i^2} \frac{J_p}{q D_p} dx$$

If we neglect the recombination, J_n and J_p are constant then :

$$(A.IV.7) \quad \nabla = \frac{J_n}{J_p} = \frac{\int_A^B \frac{n}{D_p n_i^2} dx}{\int_A^B \frac{p}{D_n n_i^2} dx}$$

We have now to calculate expression (A.IV.7). The N^+ region is heavily doped thus we have

$$(A.IV.8) \quad \int_A^B \frac{n}{D_p n_i^2} dx \approx \int_J^B \frac{n}{D_p n_i^2} dx \approx \int_J^B \frac{N_{D^+}}{D_p n_{iE}^2} dx \approx \frac{Q_E}{q D_{pE} n_{iE}^2}$$

where Q_E (C/cm^2) is the charge of the donor atoms in the emitter

$$Q_E = q N_D^+ Z_E$$

we calculate now

$$(A.IV.9) \int_A^B \frac{p}{D_n n_{iB}^2} dx = \frac{Q_B}{q D_{nB} n_{iB}^2} + \frac{Q_{SB}}{q D_{nB} n_{iB}^2} + \frac{Q_{SE}}{q D_{nE} n_{iE}^2}$$

where n_{iB} is the intrinsic concentration in the base, with conventional value : $1.4 \times 10^{10} \text{ cm}^{-3}$.

Q_B is the charge of the acceptor atoms in the base

$$Q_B = q \int_0^{Z_B} P(z) dz$$

Q_{SB} is the stored charge in the base

$$Q_{SB} = \frac{q Z_B n_{iB}^2}{2 P_A} \left(\exp \frac{V(x)}{U_T} - 1 \right)$$

Q_{SE} is the stored charge in the emitter

$$Q_{SE} = \frac{q Z_E n_{iE}^2}{2 N_D^+} \left(\exp \frac{V(x)}{U_T} - 1 \right)$$

Using expression (A.IV.7) (A.IV.8) (A.IV.9) we obtain the value of ∇ which is expressed in the texte (equation 23)

$$\nabla = \frac{\frac{D_{nB} n_{iB}^2 Q_E}{D_{pE} n_{iE}^2 Q_B}}{1 + \frac{Q_{SB}}{Q_B} + \frac{D_{nB} n_{iB}^2 Q_{SE}}{D_{nE} n_{iE}^2 Q_B}}$$

ANNEXE V

RÉSULTATS DE MODELISATION

Les courbes présentées dans cette annexe représentent la répartition de courant sous l'émetteur obtenue par le modèle développé au paragraphe II.5.

Plusieurs niveaux de courant collecteur sont traités, pour chaque courant I_C , deux cas sont considérés :

- a) $I_{Bext} = 0$
 - Répartition de tension en trait interrompu
 - Répartition de courant en trait pointillé espacé

- b) $I_{Bext} \neq 0$ (sa valeur est indiquée sur la courbe)
 - Répartition de tension en trait continu
 - Répartition du courant en trait pointillé serré

Les axes verticaux sont gradués en A/cm^2 pour la densité de courant et en volt pour la tension.

La focalisation des lignes de courant apparaît très nettement, la densité de courant est plus forte pour $x = 0$ que pour $x = H/2 = 15 \mu m$, l'abscisse $x = 0$ correspond au centre de la structure car seule la moitié de la structure est prise en compte.

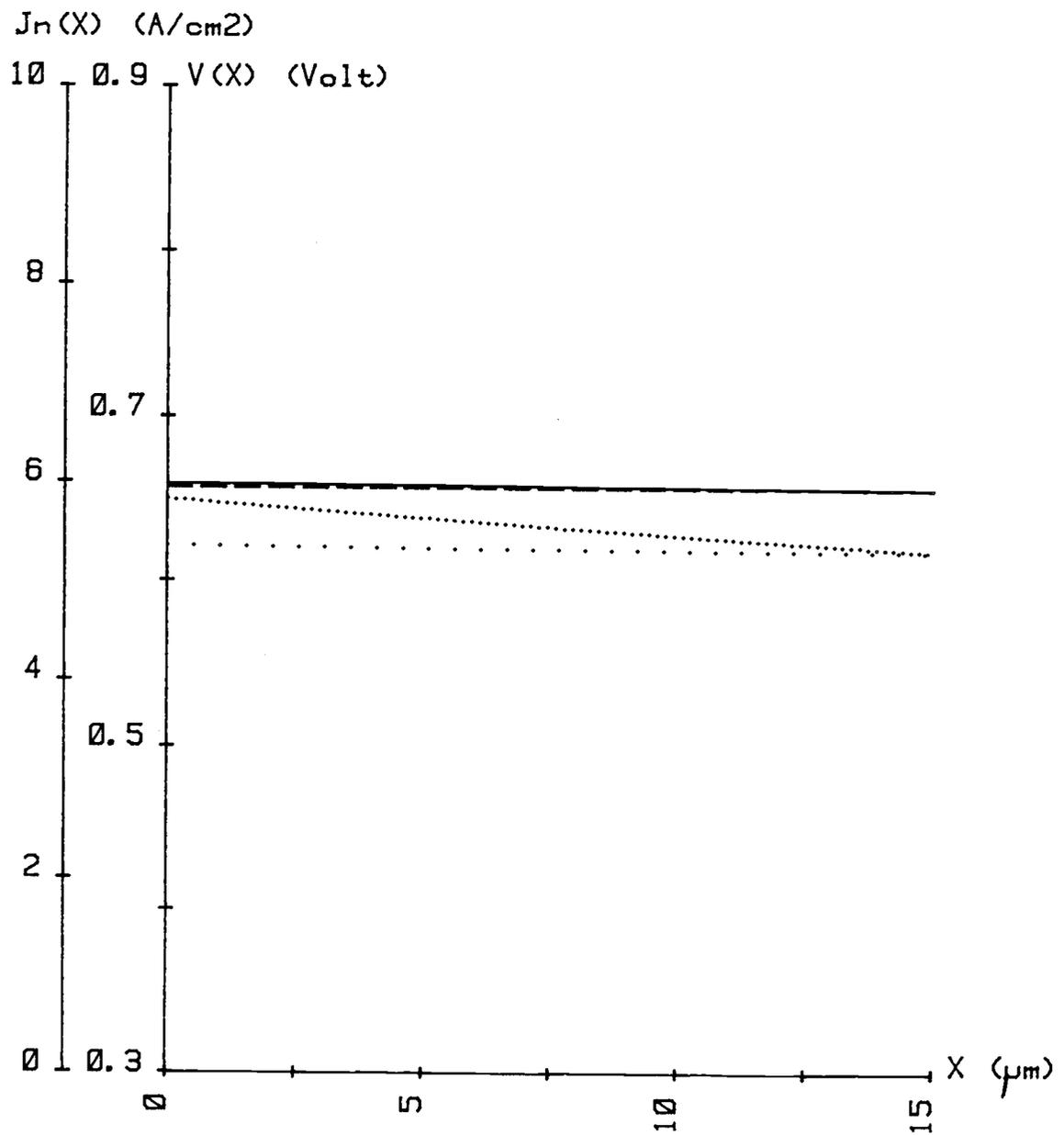


Figure A.V.1 : $I_C = 30 \mu\text{A}$; $I_{\text{Bext}} = 0,9 \mu\text{A}$

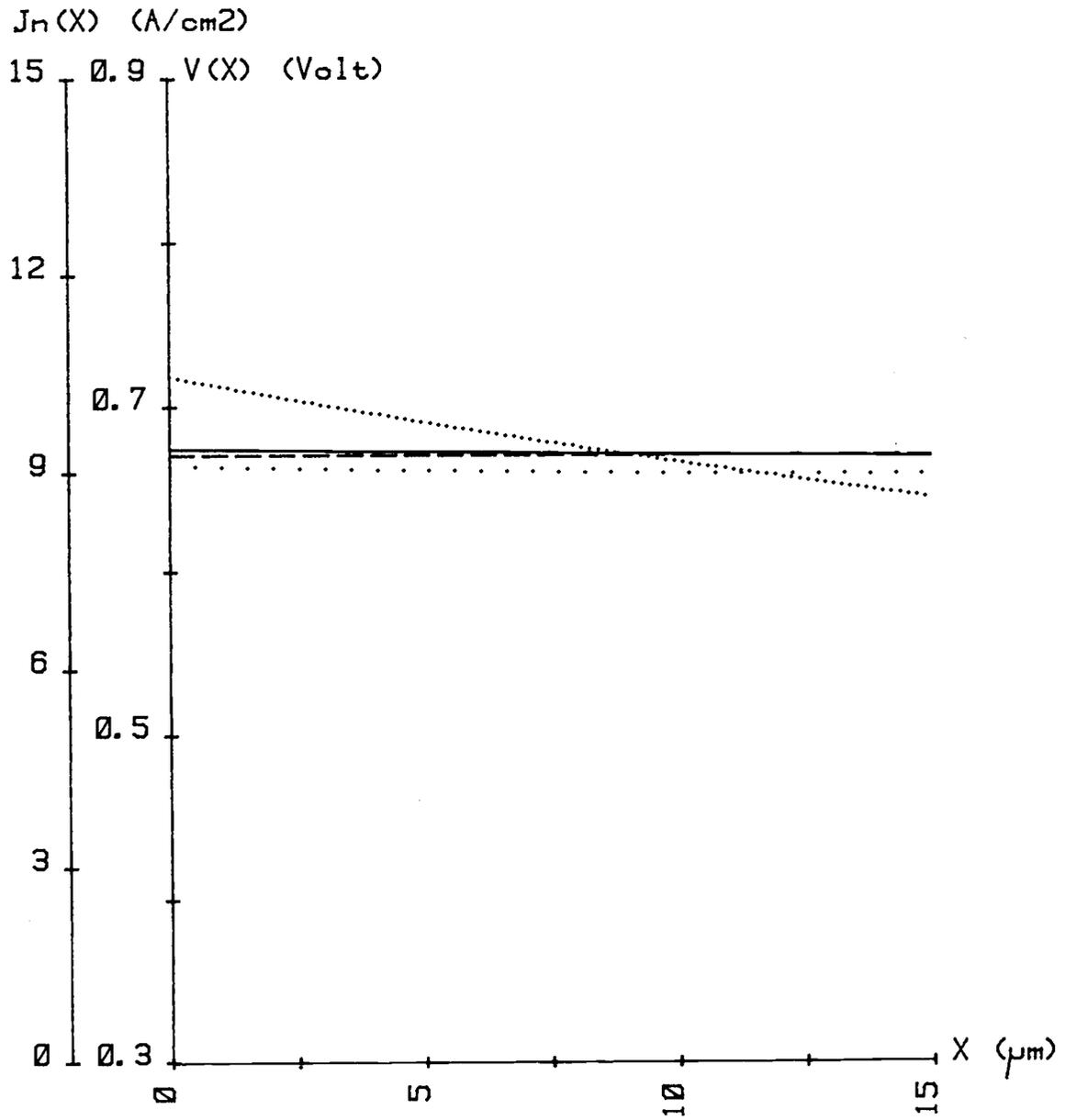


Figure A.V.2 : $I_C = 50 \mu\text{A}$; $I_{\text{Bext}} = 1,9 \mu\text{A}$

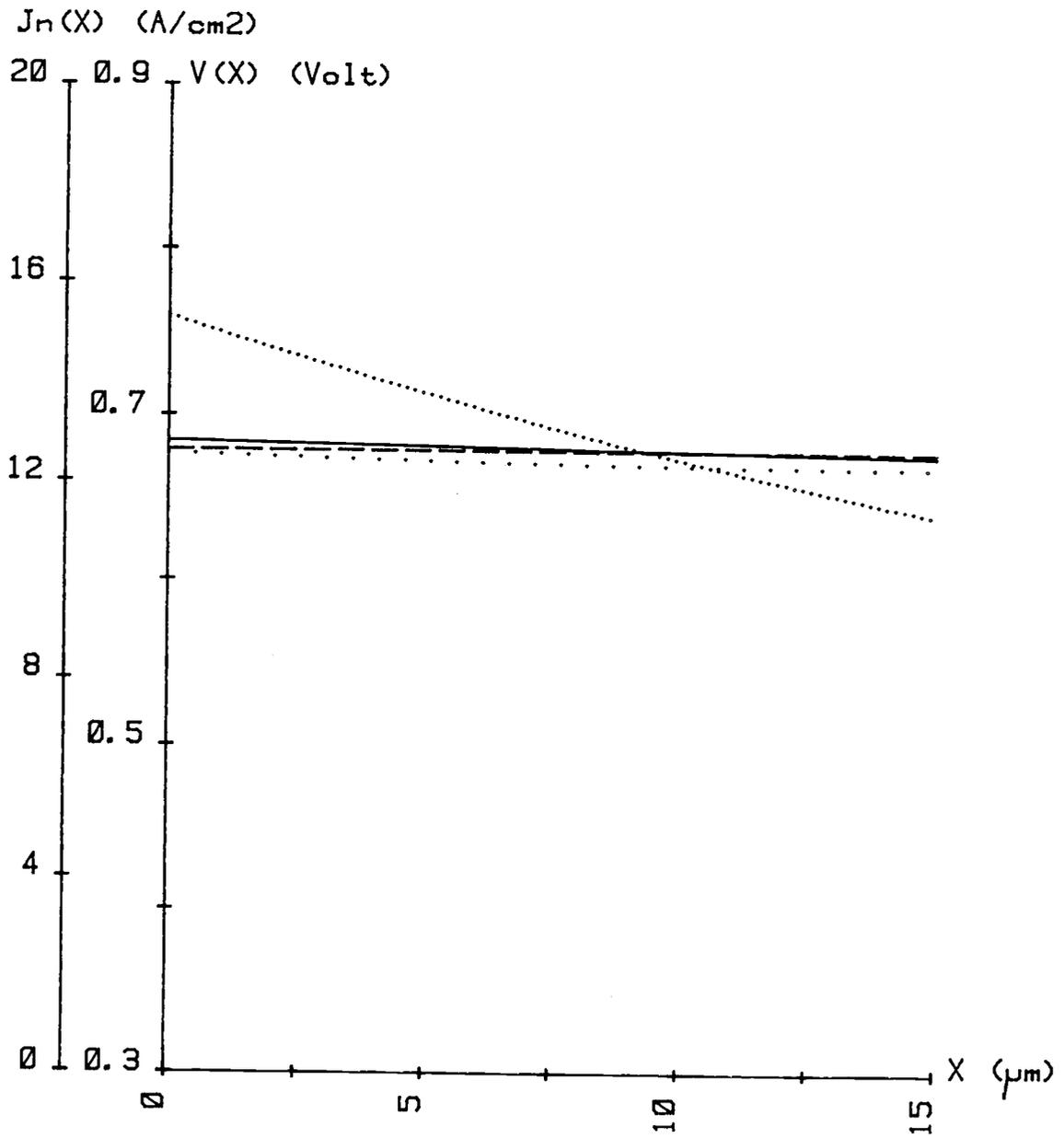


Figure A.V.3 : $I_C = 70 \mu\text{A}$; $I_{\text{Bext}} = 3 \mu\text{A}$

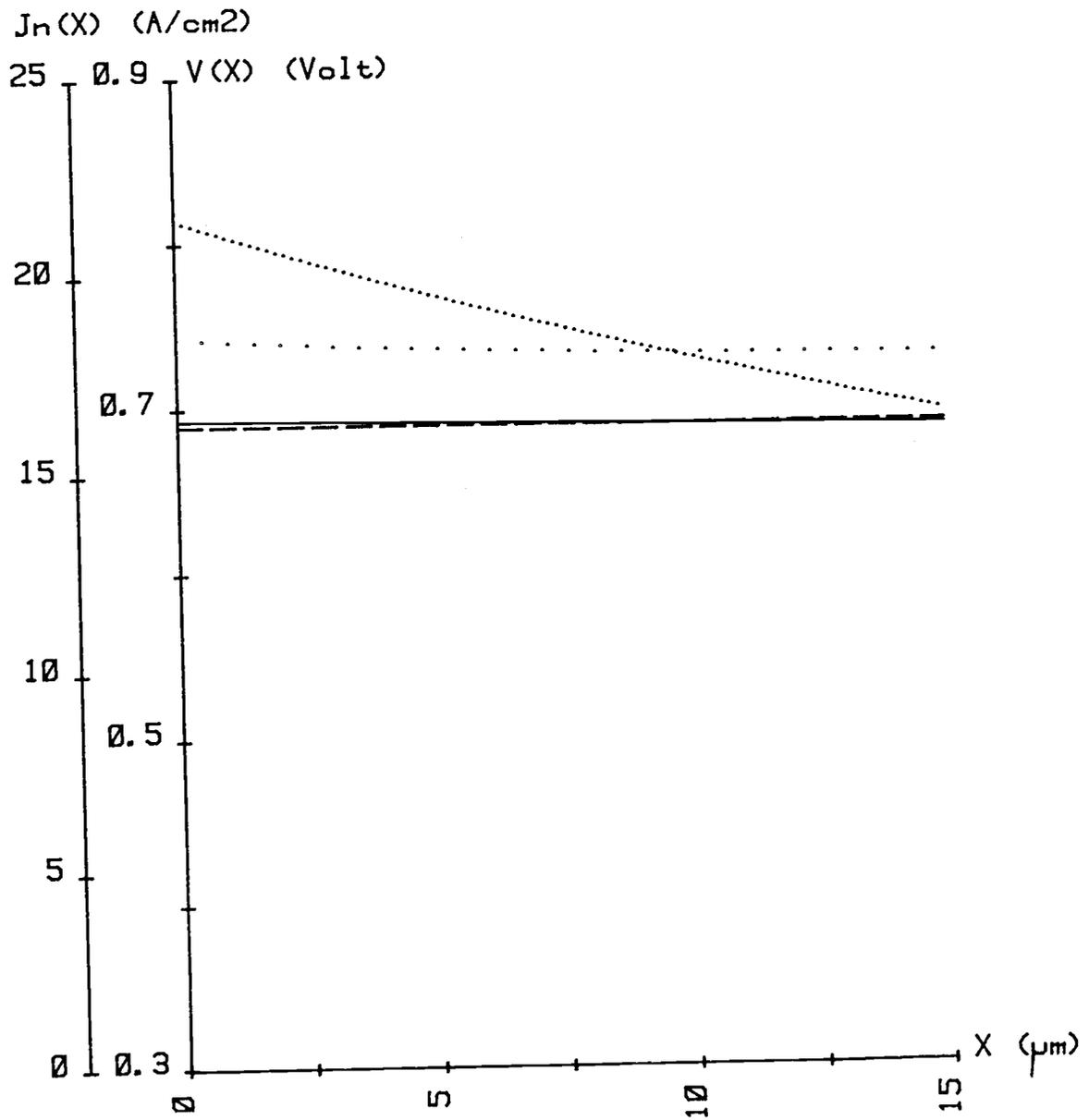


Figure A.V.4 : $I_C = 100 \mu\text{A}$; $I_{\text{Bext}} = 2,54 \mu\text{A}$

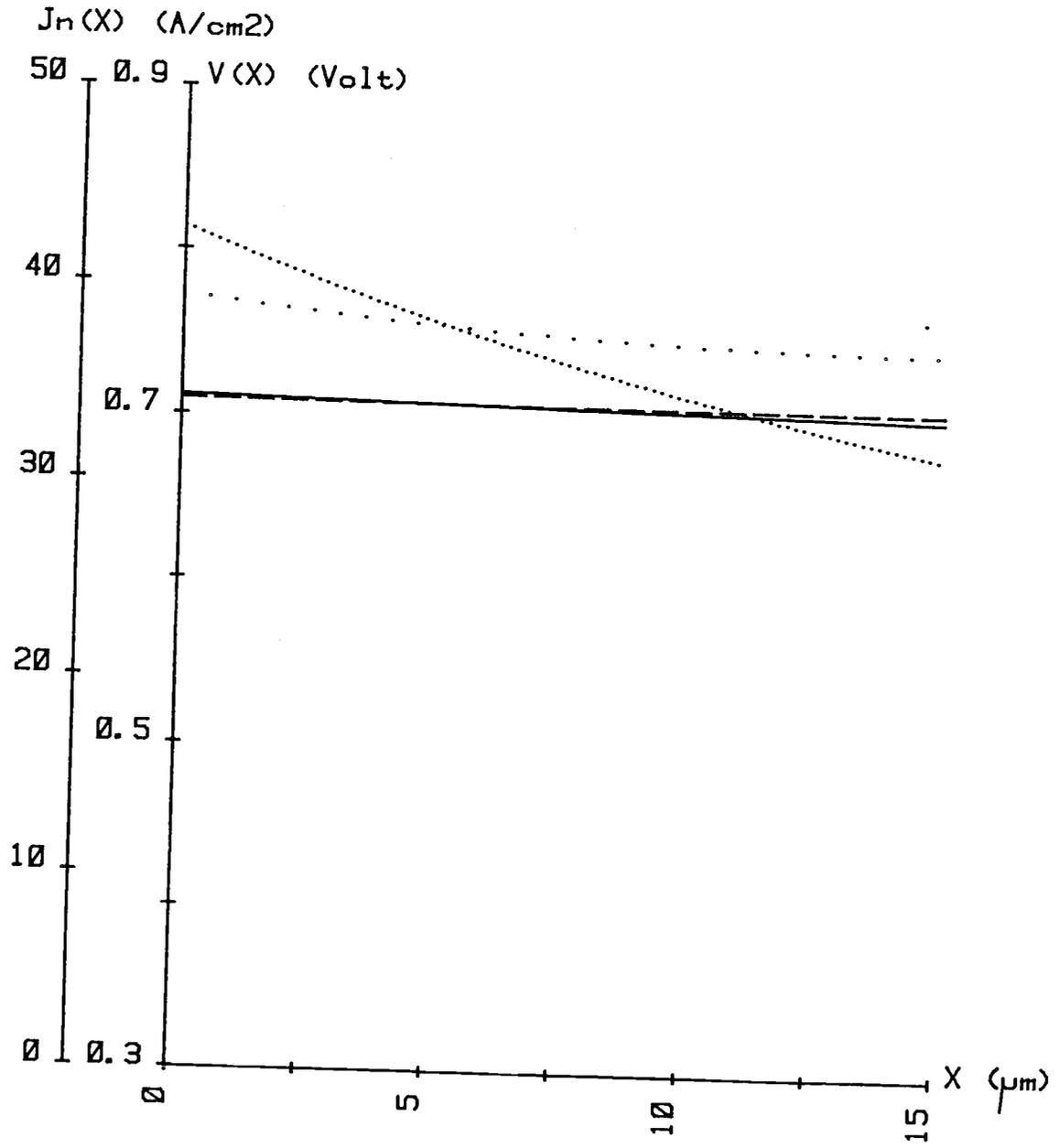


Figure A.V.5 : $I_C = 200 \mu\text{A}$; $I_{\text{Bext}} = 2,6 \mu\text{A}$

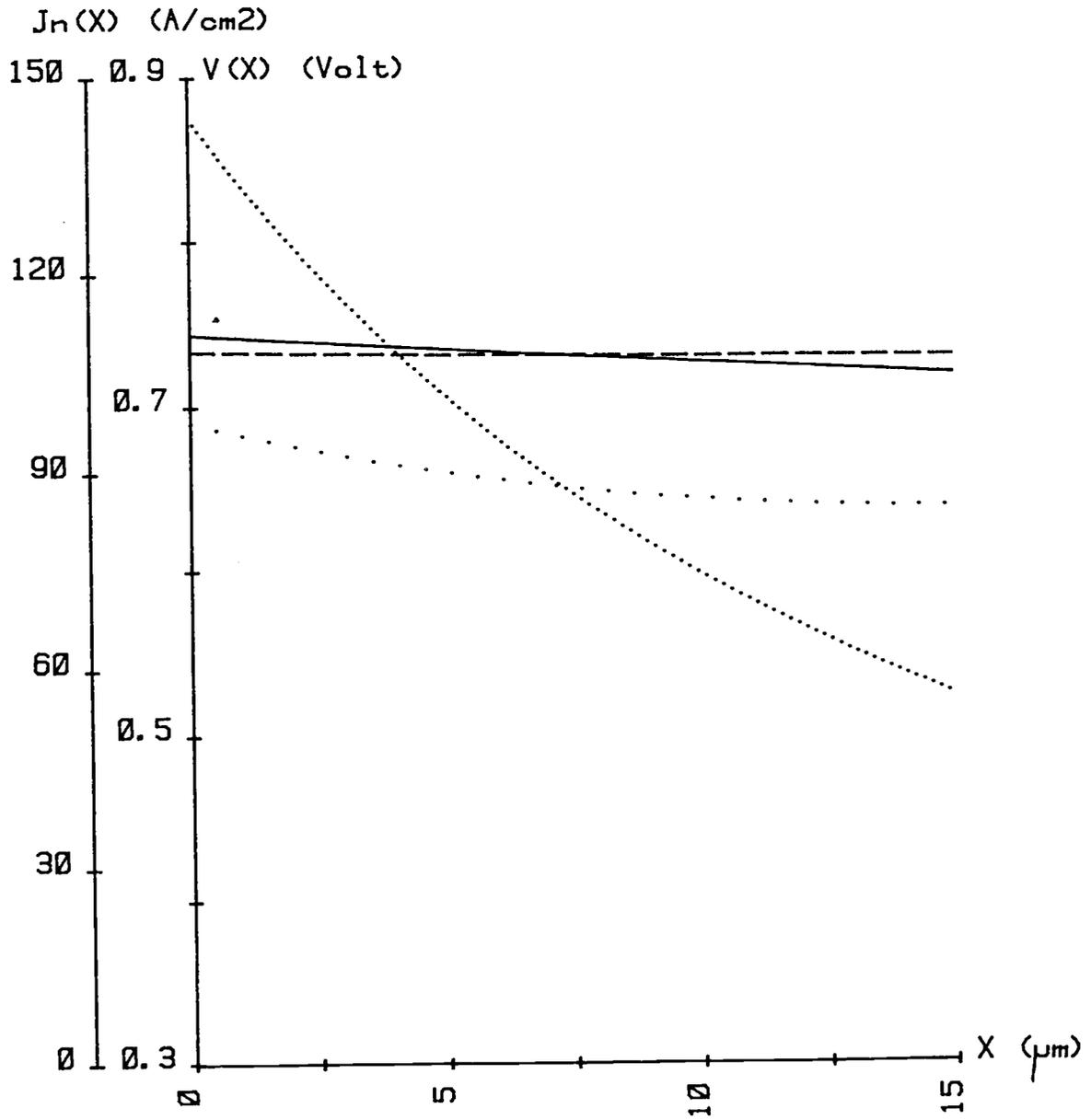


Figure A.V.6 : $I_C = 500 \mu\text{A}$; $I_{\text{Bext}} = 8,7 \mu\text{A}$

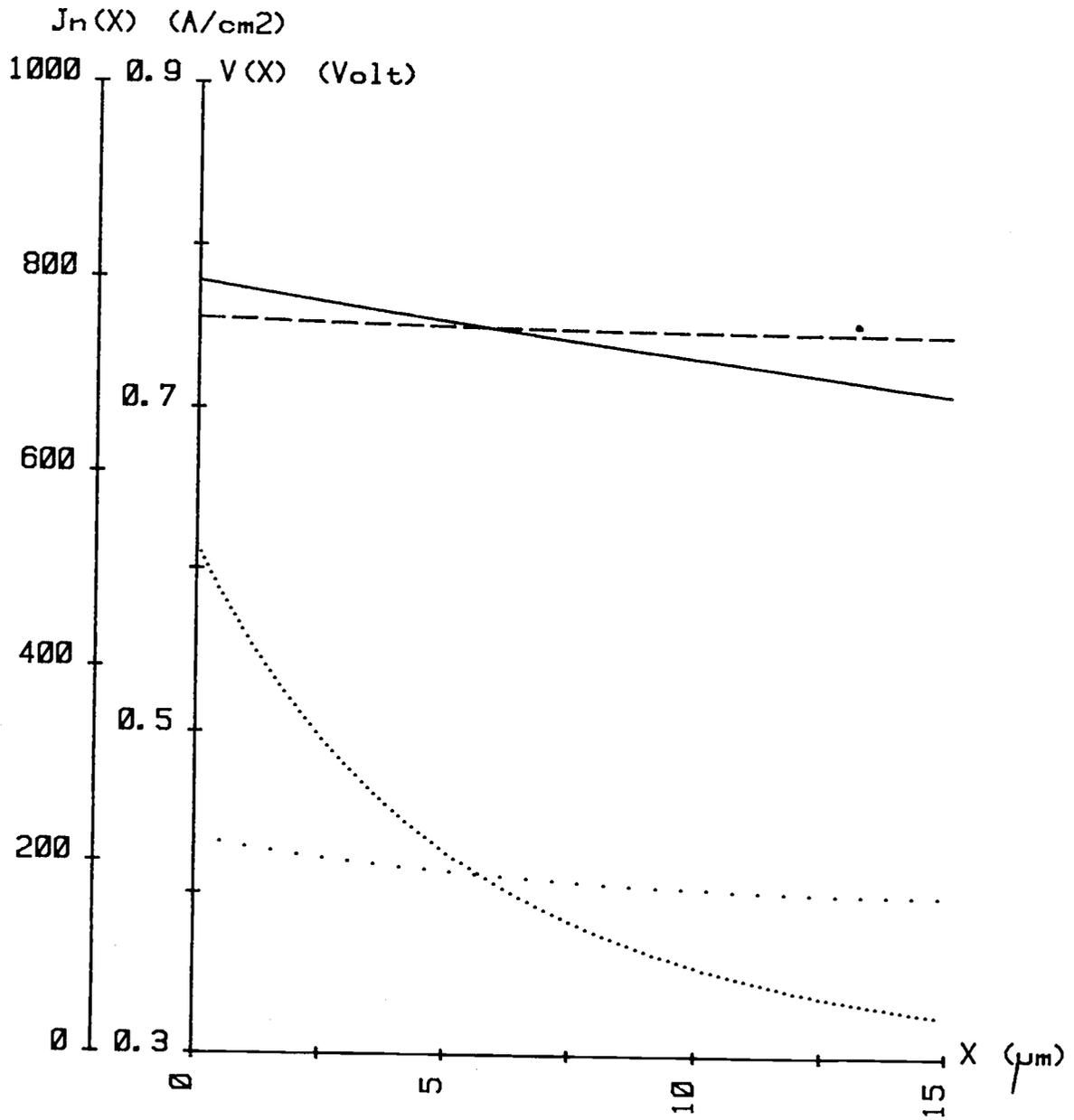


Figure A.V.7 : $I_C = 1 \text{ mA}$; $I_{\text{Bext}} = 25 \mu\text{A}$

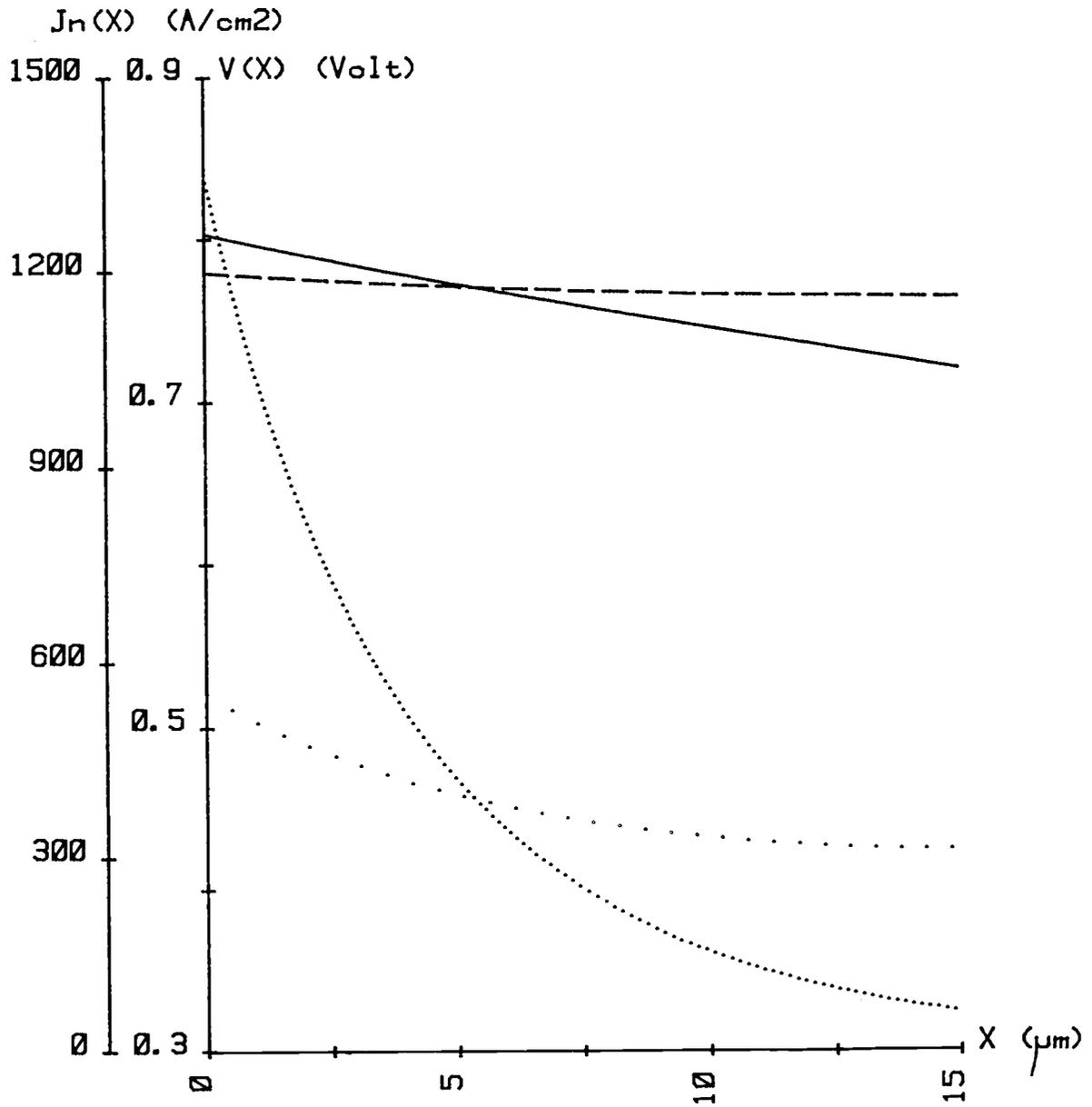


Figure A.V.8 : $I_C = 2 \text{ mA}$; $I_{\text{Bext}} = 29,8 \text{ }\mu\text{A}$

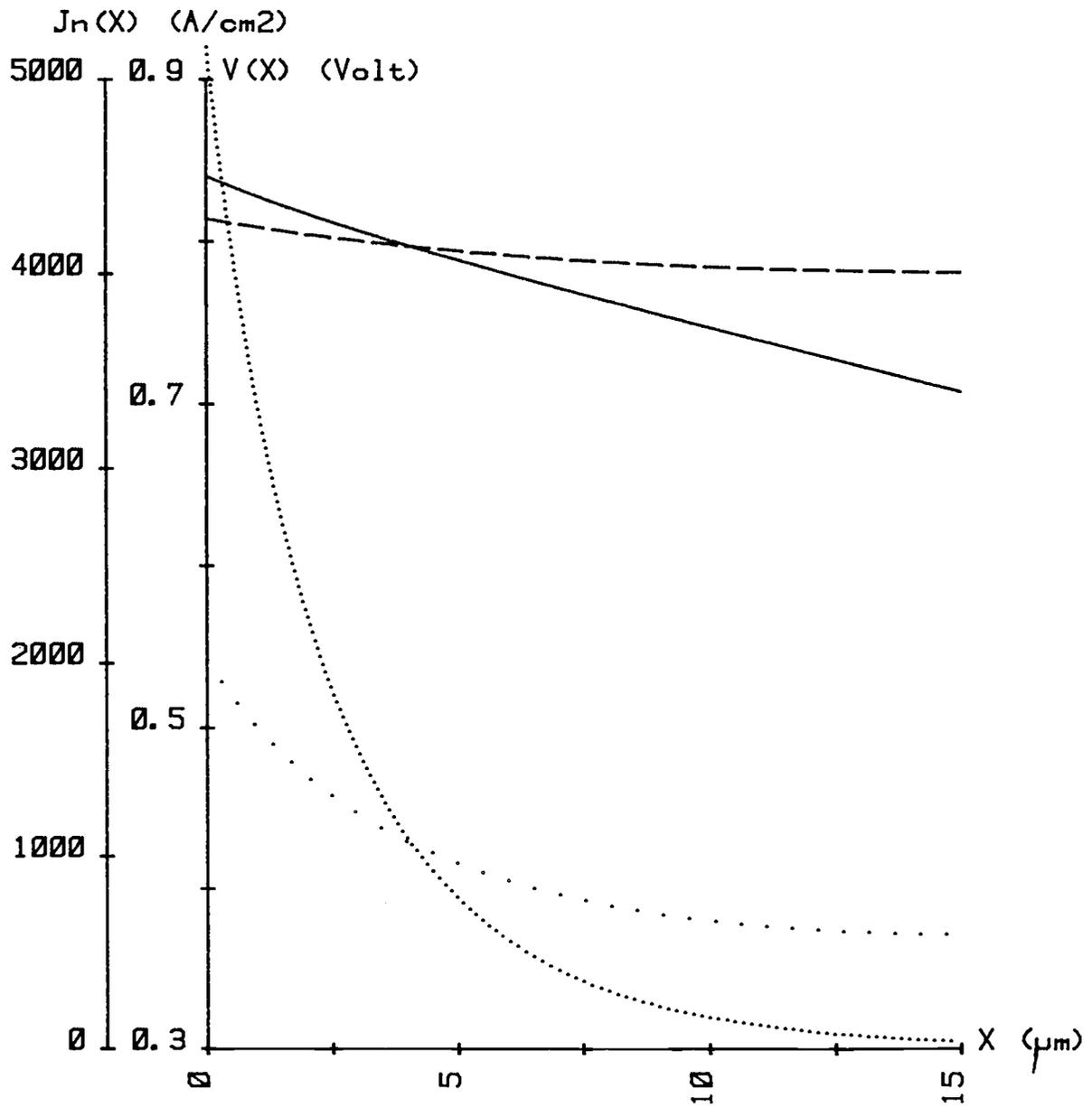


Figure A.V.9 : $I_C = 5 \text{ mA}$; $I_{\text{Bext}} = 47,5 \mu\text{A}$

ANNEXE VI

COURBES DE PÉNÉTRATION DES ÉLECTRONS
DANS DIFFÉRENTS MATÉRIAUX

Dans cette annexe, nous avons calculé d'après les formules du paragraphe III.3.2, la profondeur moyenne de pénétration maximale des électrons dans différents matériaux (R).

La silice et le nitrure de silicium sont des matériaux pouvant être amorphes, leur densité variera donc avec le taux de cristallinité. Nous avons tracé les courbes correspondant à la fourchette de densité la plus communément admise pour ces deux matériaux, les valeurs respectives de la densité sont portées à côté de chaque courbe.

Figure A.VI.1

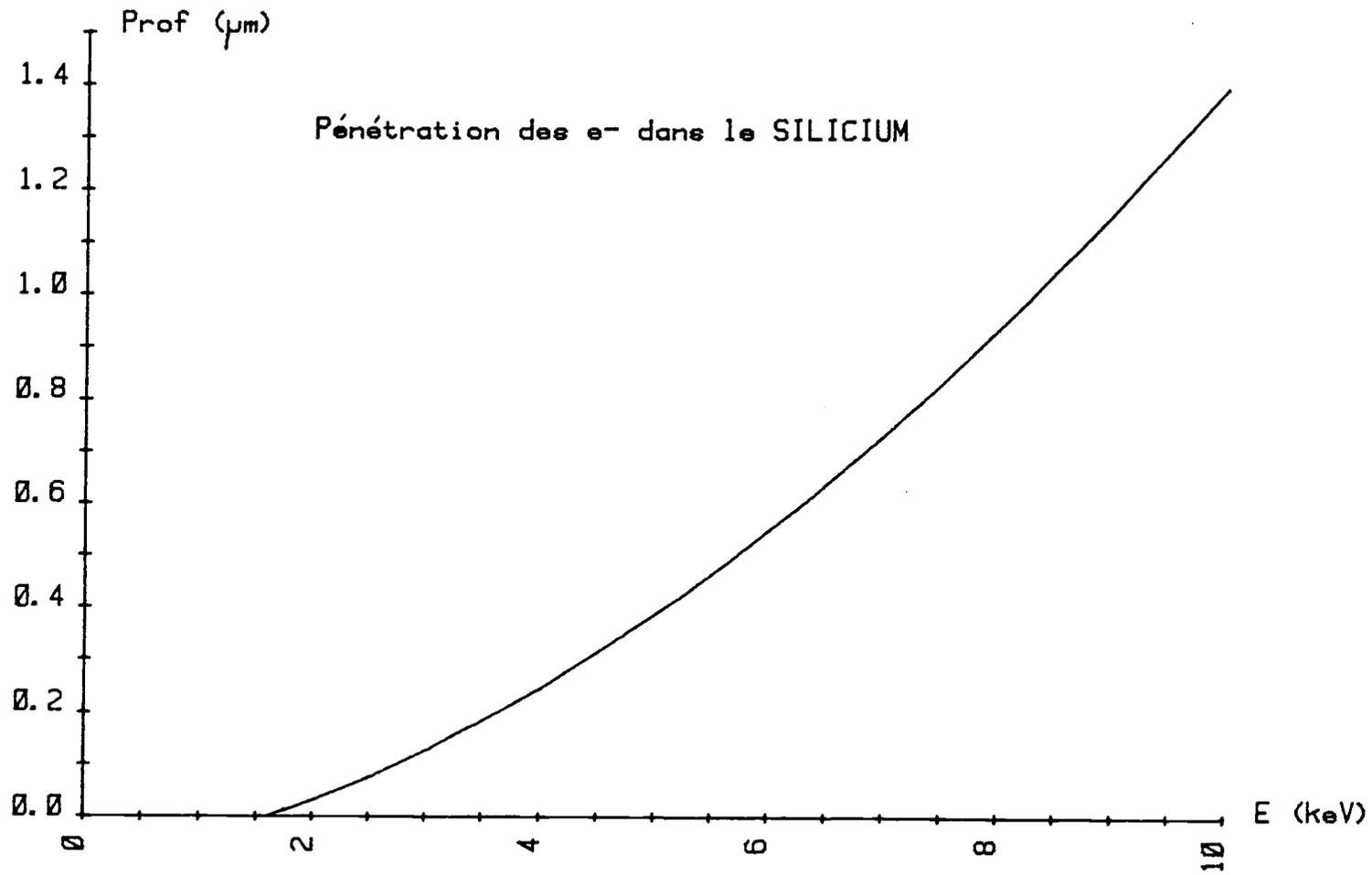


Figure A.VI.2

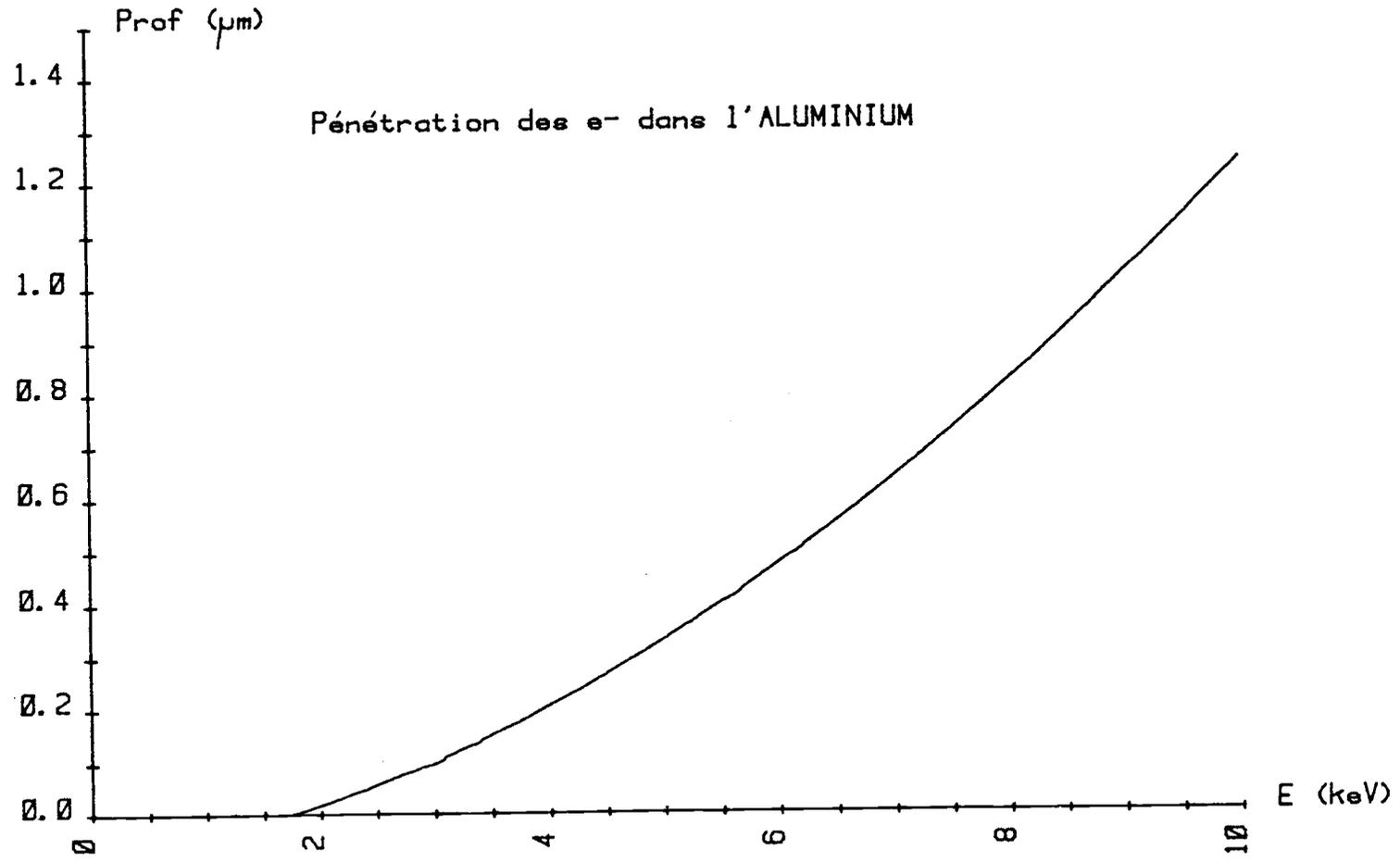


Figure A.VI.3

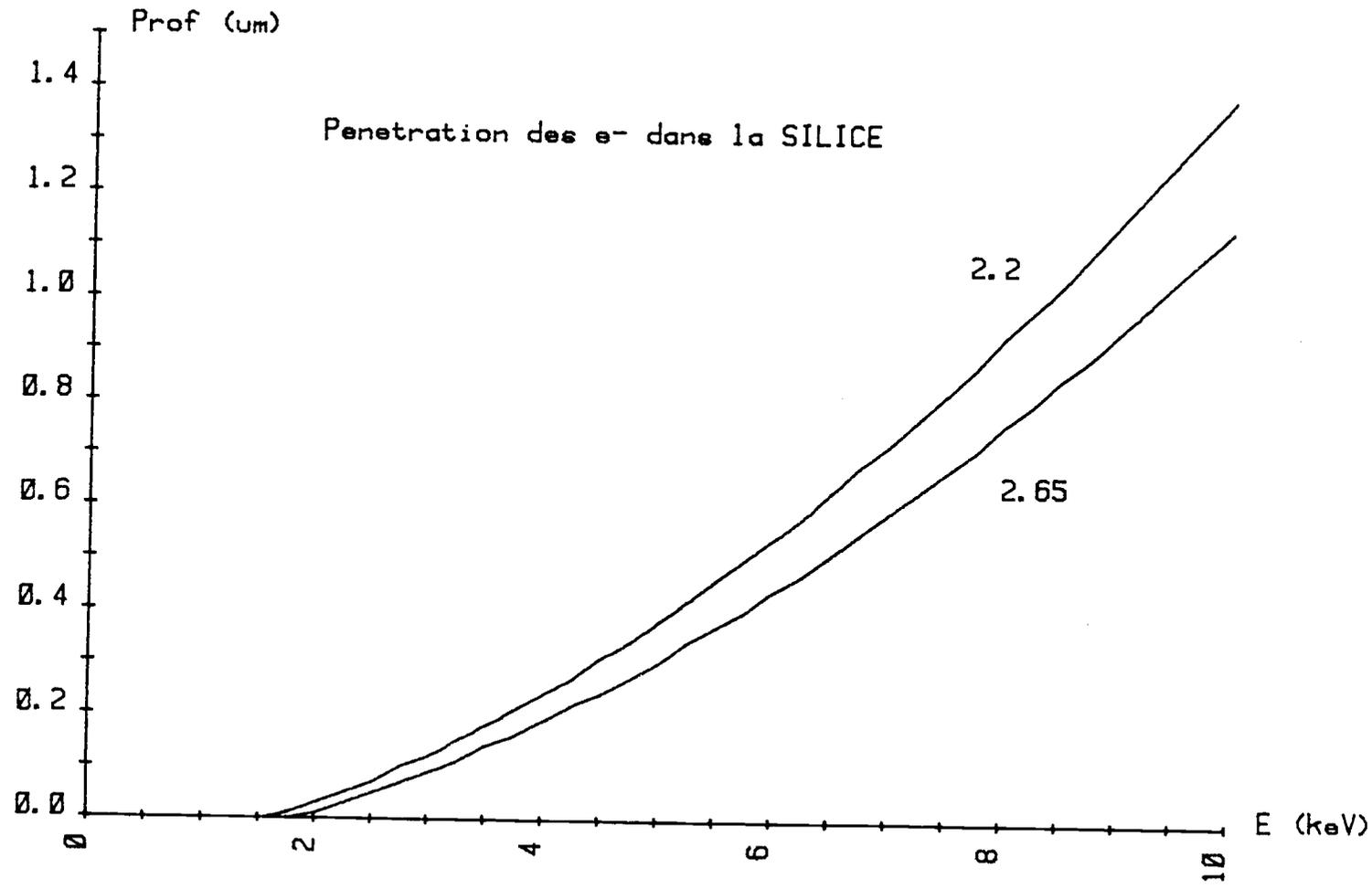
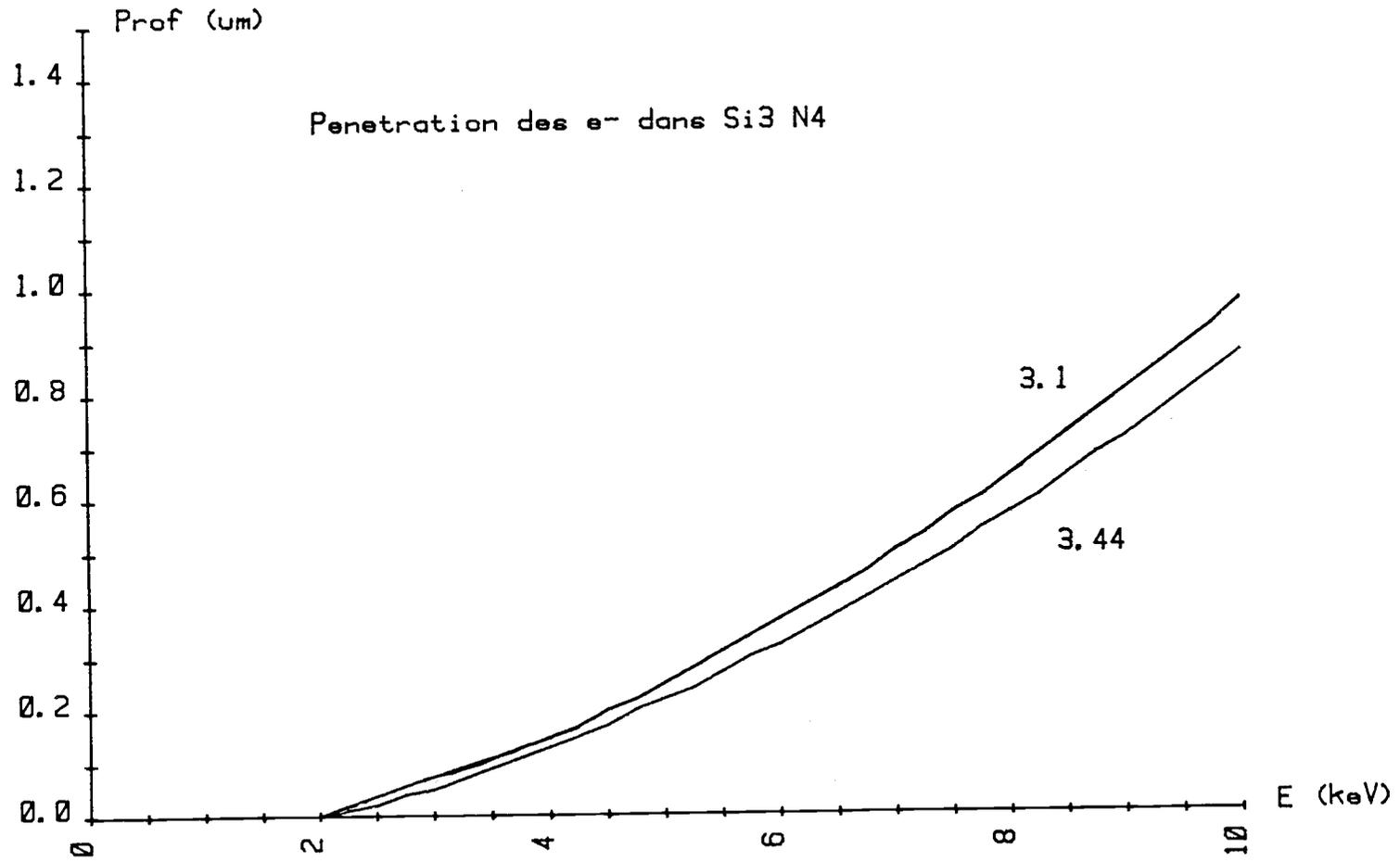


Figure A.VI.4



BIBLIOGRAPHIE

- [1] YASUO TAMI
IEEE trans. E.D : Technology for VLSI (part II) août 1980
pp 1321-1331
- [2] A. REY
Thèse de Docteur-Ingénieur - Université de Grenoble (1981)
- [3] J.R. HAUSER
IEEE trans. E.D, p 1238, mai 1964
- [4] M. THOUY
Thèse de 3e cycle - Université de Toulouse (1976)
- [5] M. LE HELLEY, D. SEBILLE, J.P. CHANTE
L'Onde Electrique, mars 1982
- [6] B. BAILLY, C. LAVEU
Rapport DEA - Ecole Centrale de Lyon 1981
- [7] O. BONNAUD
Thèse de 3e cycle - Université de Lyon (1978)
- [8] J.J. URGELL
Thèse d'Etat - Université de Toulouse (1969)
- [9] J.J. URGELL and R. LEGUERRE
Approximate values of the multiplication coefficient in
one-sided abrupt junctions - Solid St. Elect., 17, p875-81 (1976)
- [10] R. Van OVERSTRAETEN and H. De MAN
Measurement of the ionization rates in diffused silicon p-n
junctions
Solid St. Elect., 13, p 583 (1970)
- [11] S.L. MILLER
Avalanche breakdown in germanium
Phys. Rev., 99, pp 1246-49 (1955)
- [12] M. ALBRECHT and L. LERACH
Normalized representation of the avalanche breakdown behaviour
in one sided abrupt junction
Solid St. Elect., 23, pp 357-364 (1980)
- [13] R. MARCHANDEAU
Thèse de Docteur-Ingénieur - Université de Grenoble (1962)
- [14] J.P. CHANTE
Thèse d'Etat - Université de Lyon (1981)
- [15] A.S. TAGER
Current fluctuations in a semiconductor (dielectric) under the
conditions of impact ionization and avalanche breakdown
Soviet Physics Sol. St., 6, n° 8 (1965)

- [16] R.J. Mac INTYRE
Multiplication noise in uniform avalanche diodes
IEEE trans E.D., ED - 13, n° 1 (1966)
- [17] W.A. LUKASJEK, A.V. der ZIEL and E.R. CHENETTE
Investigation of the transition from tunneling to impact
ionization multiplication in Si pn junctions
SSE, 19, pp 57-71 (1976)
- [18] W.T. READ
A proposed high frequency negative resistance diode
Bell Syst. Tech. J., 37, pp 401-46 (march 1958)
- [19] A.B. KUPER
Measurements of avalanche multiplication of injected holes in
germanium p-n-p diffused base transistors
IEEE trans E.D, pp 423-27, septembre (1964)
- [20] B.L. GRUNG
An approximate model for the graded base transistor
Solid St. Elect., 24, pp 165-71
- [21] M.S. LUNDSTROM, R.J. SCHWARTS, J.L. GRAY
Transport equations for the analysis of heavily doped semiconductor
devices
Solid St. Elect., 24, pp 195-202 (1981)
- [22] M. MARSHAK, M. Van VLIET
The Shockley-like equations for the carrier densities and
the current flows in materials with a nonuniform composition
SSE, 23, pp 49-53 (1980)
- [23] M. MARSHAK, M. Van VLIET
Carrier densities and emitter efficiency in degenerate materials
with position dependant band structure
SSE, 21, pp 429-434 (1978)
- [24] P. de PAUW, R. MERTENS and R. Van OVERSTRAETEN
Measurement of minority carrier diffusion lengths in heavily
doped substrates
ESSDERC Toulouse (1981)
- [25] A.W. WIEDER
Emitter effects in shallow bipolar devices measurements and
consequences
IEEE trans. E.D., ED -27, n° 8 (1980) pp 1402-1408
- [26] D. SEBILLE
Rapport DEA - Ecole Centrale de Lyon (1980)
- [27] D. SEBILLE, O. BONNAUD, J.P. CHANTE
Electric measurements and modelling of the E.B. junction behaviour
of VLSI silicon transistor
SSE, 24 (1981), pp 1053-1058
- [28] A.S. GROVE
Physique et technologie des dispositifs à semiconducteur
Edition Dunod (1971)

- [29] D. ESTEVE et H. MARTINOT
Excess surface currents in p-n junctions and bipolar transistors
SSE, 14, pp 693-705 (1971)
- [30] J.P. DOM
Thèse d'Etat - Université de Bordeaux I (1978)
- [31] F. ROHRLICH et B.C. CARLSON
Position-Electron differences in energy loss and multiple scattering
Phys. Rev., 93, n° 1, janvier (1954)
- [32] Handbook of spectroscopy
CRC Press, vol I (1974)
- [33] J.F. BRESSE
Thèse de Docteur-Ingénieur - Université de Grenoble (1974)
- [34] A.G. CHYNOWETH, R.A. LOGAN and D.E. THOMAS
Phonon assisted tunneling in silicon and germanium Esaki junctions
Phys. Rev., 125, n° 3, pp 877-881 (1962)
- [35] A.G. CHYNOWETH, W.L. FELDMANN and R.A. LOGAN
Excess tunnel current in silicon Esaki junctions
Phys. Rev., 121, n° 3, pp 684-694 (1961)
- [36] NORIE HANAOKA and AKIO ANZAI
Perspective of scaled bipolar devices
IEDM Washington (1981)

AUTORISATION DE SOUTENANCE

Vu les dispositions de l'article 3 de l'arrêté du 16 avril 1974,

Vu le rapport de présentation de Messieurs

J.J. URGELL
J.L. AUCOUTURIER
J. BELMAS
J.P. CHANTE
A. MIRCEA
P. PINARD

M. SEBILLE Dominique

est autorisé à présenter une soutenance de thèse pour l'obtention du titre de **DOCTEUR INGENIEUR, Spécialité Dispositifs de l'Electronique Intégrée.**

Fait à Ecully, le 26 mars 1982

Le Directeur de l'E.C.L.


A. MOIROUX

A rendre le

18 NOV. 1983



